| Gerb-BMSTU_01 | **Министерство науки и высшего образования Российской Федерации**  **Федеральное государственное бюджетное образовательное учреждение**  **высшего образования**  **«Московский государственный технический университет**  **имени Н.Э. Баумана**  **(национальный исследовательский университет)»**  **(МГТУ им. Н.Э. Баумана)** |
| --- | --- |

ФАКУЛЬТЕТ **ИНФОРМАТИКА И СИСТЕМЫ УПРАВЛЕНИЯ**

КАФЕДРА **ПРОГРАММНОЕ ОБЕСПЕЧЕНИЕ ЭВМ И ИНФОРМАЦИОННЫЕ ТЕХНОЛОГИИ (ИУ7)**

НАПРАВЛЕНИЕ ПОДГОТОВКИ **09.03.04 Программная инженерия**

**ОТЧЕТ**

| **по лабораторной работе №** | 1 |
| --- | --- |



Проектирование систем на кристалле на основе ПЛИС

**Дисциплина:** Архитектура ЭВМ

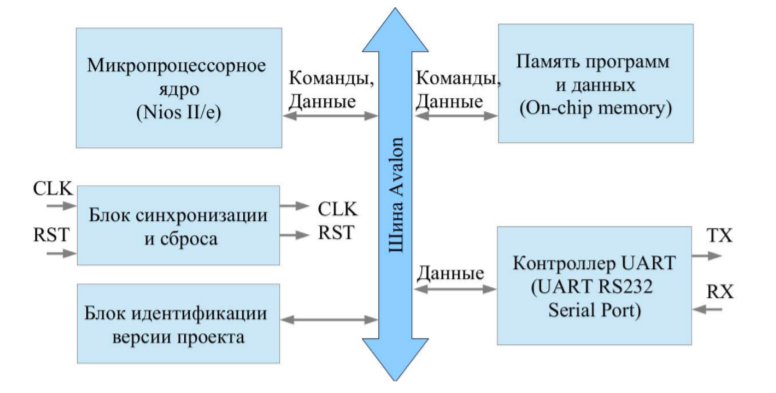
| Студент | ИУ7И-56Б |  |  | Андрич К. |
| --- | --- | --- | --- | --- |
|  | (Группа) |  | (Подпись, дата) | (И.О. Фамилия) |
|  |  |  |  |  |
| Преподаватель |  |  |  | А.Ю. Попов |
|  |  |  | (Подпись, дата) | (И.О. Фамилия) |

Москва, 2022

**Цель работы**

Целью данной лабораторной работы является изучение основ построения микропроцессорных систем на ПЛИС. В ходе работы необходимо ознакомиться с принципами построения систем на кристалле (СНК) на основе ПЛИС, получить навыки проектирования СНК в САПР Altera Quartus II, выполнить проектирование и верификацию системы с использованием отладочного комплекта Altera DE1Board.

**Функциональная схема разрабатываемой системы на кристалле**



Система на кристалле состоит из следующих блоков:

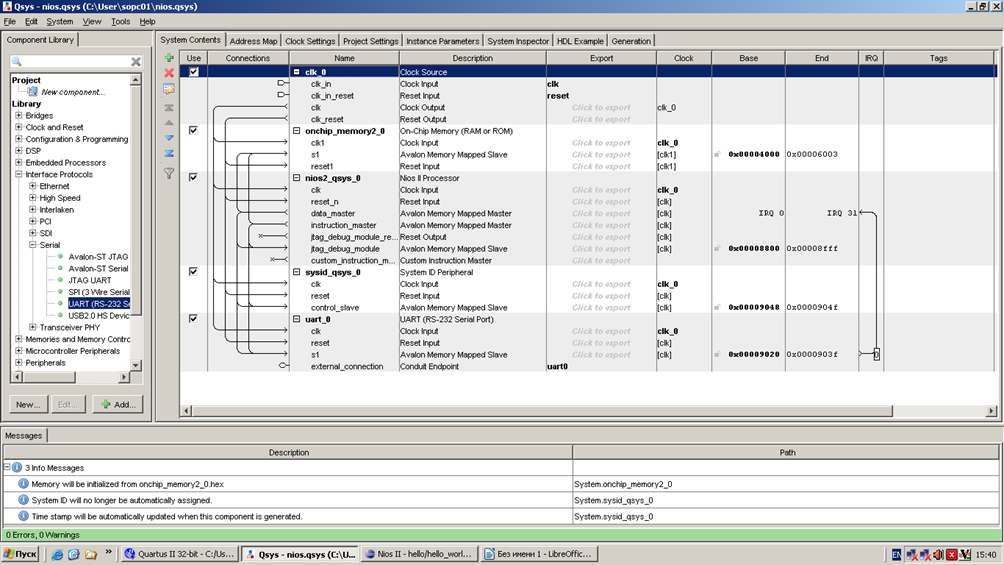
* Микропроцессорное ядро Nios II/e выполняет функции управления системой.
* Внутренняя оперативная память СНК, используемая для хранения программы управления и данных.
* Системная шина Avalon обеспечивает связность всех компонентов системы.
* Блок синхронизации и сброса обеспечивает обработку входных сигналов сброса и синхронизации и распределение их в системе. Внутренний сигнал сброса синхронизирован и имеет необходимую для системы длительность.
* Блок идентификации версии проекта обеспечивает хранение и выдачу уникального идентификатора версии, который используется программой управления при инициализации системы.
* Контроллер UART обеспечивает прием и передачу информации по интерфейсу RS232.

**Маршрута проектирования**

**Модуль в QSYS**

1. Был создан новый модуль Qsys.
2. Установлена частота внешнего сигнала синхронизации 50 000 000 Гц.
3. Добавлен в проект модуль синхронизируемого микропроцессорного ядра Nios2.
4. Добавлен в проект модуль ОЗУ программ и данных.
5. Добавлены компоненты Avalon System ID, Avalon UART.
6. Создана сеть синхронизации и сбоса системы.
7. Сигналы TX и RX экспортированы во внешние порты.
8. Назначены базовые адреса устройств.

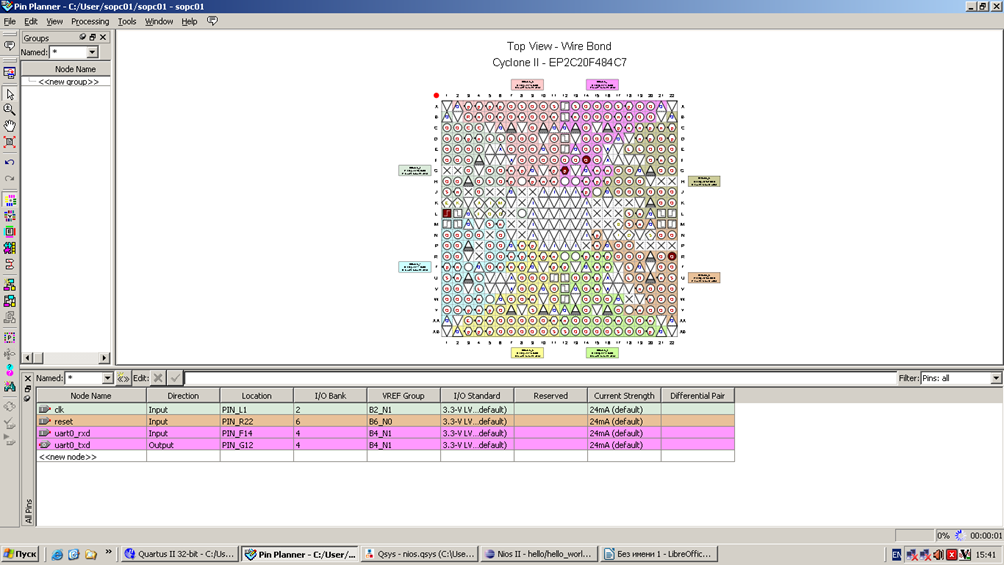
Итог выполненных действий показан на рисунке



**Назначение портам проекта контактов микросхемы**

Были назначены портам проекта контакты микросхемы в соответствии с таблицей, после чего был выполнен повторный синтез проекта

| **сигнал** | **контакт** |
| --- | --- |
| clk | L1 |
| reset | R22 |
| uart0\_rxd | F14 |
| uart0\_txd | G12 |

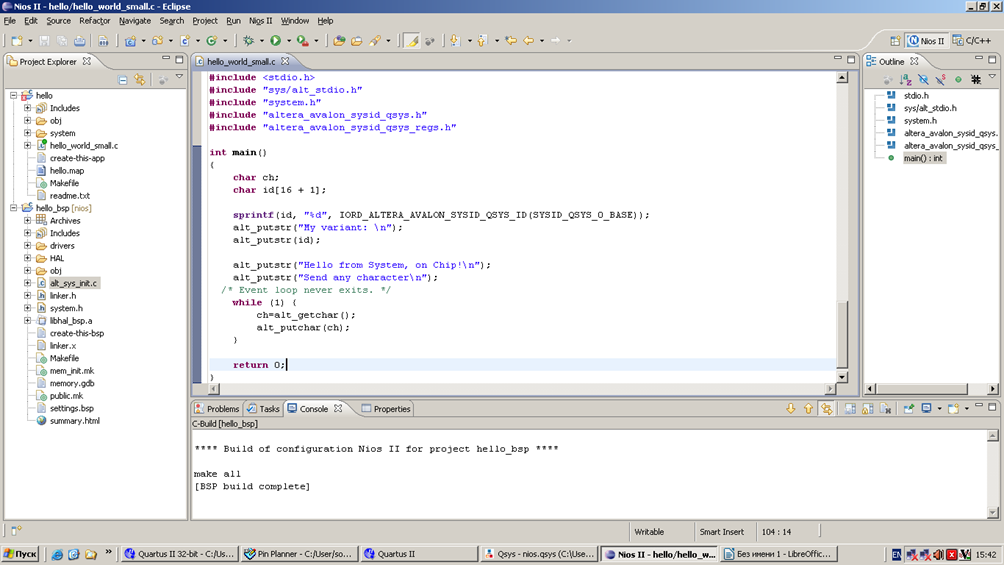


**Создание проекта Nios2**

В файл hello\_world\_small.c был добавлен код эхо-программы приема-передачи по интерфейсу RS232. Также был создан образ ОС HAL с драйверами устройств, используемых в аппаратном проекте.

| #include "sys/alt\_stdio.h"  int main()  {   char ch;  alt\_putstr("Hello from System on Chip\n");   alt\_putstr("Send any character\n");   /\* Event loop never exits. \*/   while (1)   {   ch=alt\_getchar();   alt\_putchar(ch);   }  return 0;  } |
| --- |

После успешной сборки и выполнения код программы был доработан: были добавлены строки, передающие по UART значение SystemID в виде четырех байт символов в ASCII формате.



**Вывод**

В ходе данной лабораторной работы были изучены основы построения микропроцессорных систем на ПЛИС, получены навыки проектирования СНК в САПР Altera Quartus II, также были выполнены проектирование и верификация системы с использованием отладочного комплекта Altera DE1Board