

Univerzitet u Nišu
Elektronski fakultet
Katedra za Računarstvo

Arhitektura i organizacija računara

O laboratorijskoj vežbi 3

Predmet:

- Sekvencijalne klauzule VHDL-a: *if*, *case* i *for* struktura, *wait*.
- *Generic* konstante.
- Bihejvioralni opis sinhronih kola.

Zadaci za drugu laboratorijsku vežbu obuhvataju:

- Brojače, binarne ili višecifrene BCD, sa paralelnim upisom i/ili resetom
- konvertere između int, binarnog i BCD zapisa
- komplementatore/dekomplementatore NK, PK i prirodnog BCD zapisa
- delitelje kloka zadatog odnosa deljenja i svih mogućih odnosa deljenja
- generatore kloka promenljive i "pulsirajuće" periode

Parametri mogu biti zadati ulaznim portovima ili generic konstantama.

Tražena kola treba opisati procesima i sekvencijalnim klauzulama, uz korišćenje *wait* klauzula ili *sensitivity* lista.

Potrebno je kreirati testbenč i talasne oblike ulaza koji demonstriraju sve značajne osobine kola. Test benč treba da sadrži i generator takta.

Primer:

- Na VHDL-u, korišćenjem procesa i sensitivity listi opisati 3-cifreni BCD brojač koji broji naniže.

Dodatni ulazi: CE - dozvola brojanja, WR - dozvola paralelnog upisa, Din -paralelni ulaz. Brojač realizovati tako da nakon poslednje vrednosti, na sledeću aktivnu ivicu kloka preuzima paralelni ulaz od koga broji nadalje od sledeće aktivne ivice kloka. Ne dozvoliti brojanje ukoliko je dozvoljen upis.

Kreirati testbenč sa talasnim oblicima ulaza koji demonstriraju sve osobine kola - željene i nepoželjne. U testbenč ugraditi generator kloka pogodne periode.

Priprijeti se za diskusiju ponašanja kola u svim karakterističnim situacijama.