

Arhitektura i organizacija računara

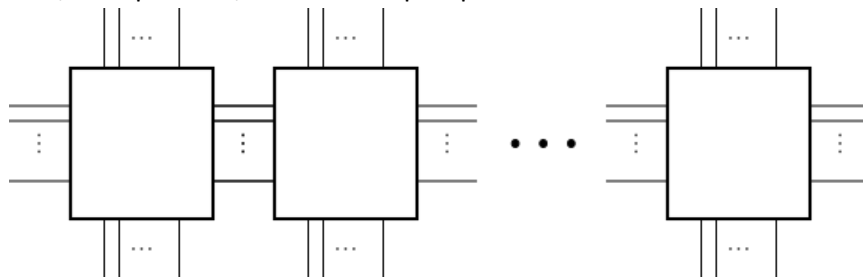
O laboratorijskoj vežbi 4

Predmet:

- Složeni tipovi, atributi i operacije
- Konverzije između numeričkih i tipova vektora bitova
- Generate klauzula: *if-generate*, i *for-generate*.
- Strukturalni opis.

Zadaci za drugu laboratorijsku vežbu obuhvataju:

- Kola strukture kao na slici, u kojima blokovi predstavljeni na slici sadrže po jedno ili nekoliko logičkih kola, multipleksera, sabirača ili flip-flopova.



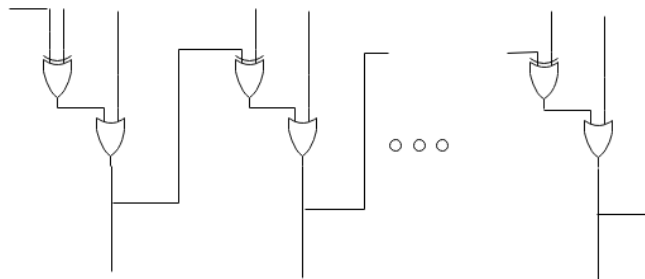
Parametri su zadati generic konstantama.

Tražena kola treba opisati instancama komponenata ili konkurentnim klauzulama dodele vrednosti signalu, koristeći attribute signala za granice diskretnih opsega, korišćenjem *if-generate* i *for-generate* struktura. Portovi su numerički (*integer*) ili vektori bitova (*bit_vector*, *std_logic_vector*, *signed* ili *unsigned*).

Potrebno je kreirati testbenč i talasne oblike ulaza koji demonstriraju sve značajne osobine kola. Za sinhrona kola test benč treba da sadrži i generator takta.

Primer:

Na VHDL-u opisati kolo sa slike korišćenjem generate klauzula. Koristiti isključivo *for-generate* klauzule, i u okviru njih instance komponenata, koje takođe treba opisati. Za opisivanje diskretnih opsega koristiti generic konstante. Ne koristiti lokalne deklaracije u generic klauzulama. Kreirati testbenč sa talasnim oblicima ulaza koji demonstriraju sve osobine kola - željene i nepoželjne. U testbenč ugraditi generator



kloka pogodne periode.

Pripremiti se za diskusiju ponašanja kola u svim karakterističnim situacijama.