

Univerzitet u Nišu
Elektronski fakultet
Katedra za Računarstvo

Arhitektura i organizacija računara

O laboratorijskoj vežbi 2

Predmet:

- Ovladavanje procesom kreiranja dizajna i funkcionalne simulacije uz pomoć testbench-a.
- Osnovni elementi VHDL-a: procesi, konkurentne klauzule dodele signala, osnovni tipovi, if struktura.

Zadaci za drugu laboratorijsku vežbu obuhvataju:

- RS, JK i D flip-flopove sa sinhronim i asinhronim resetom, pozitivnom i negativnom logikom;
- multipleksere sa 2-4 ulaza tipa `bit_vector`, `std_logic_vector`, `signed` ili `unsigned`, selekcionim ulazima tipa `integer` ili `std_logic_vector`;
- komparatore koji propuštaju najmanji ili najveći ulaz.

Tražena kola treba opisati procesima ili konkurentnim klauzulama dodele vrednosti signalima, kreirati testbenč i talasne oblike ulaza koji demonstriraju sve značajne osobine kola.

Primer:

- Na VHDL-u, korišćenjem konkurentnih klauzula dodele vrednosti signalu, opisati D flipflop sa asinhronim resetom, i koji se okida prednjom ivicom. Portovi treba da su tipa `bit`.

Kreirati testbenč sa talasnim oblicima ulaza koji demonstriraju sve osobine kola - željene i nepoželjne.

Pripremiti se za diskusiju ponašanja kola u svim karakterističnim situacijama.