

# **Практическая работа**

## **№ 1**

## Тема: «Знакомство с САПР Altera Quartus II»

Система автоматизированного проектирования Quartus – среда для проектирования и отладки проектов на FPGA/CPLD Altera (Intel FPGA). До версии 15.0 среда имела наименование Quatus II. Начиная с версии 15.1 она называется Quartus Prime. Последняя вышедшая на данный момент версия – Quartus Prime v19.2 [1].



### Создание нового проекта

Для создания нового проекта в главном меню нажмите **File** и выберите **New Project Wizard** (рис. 1).

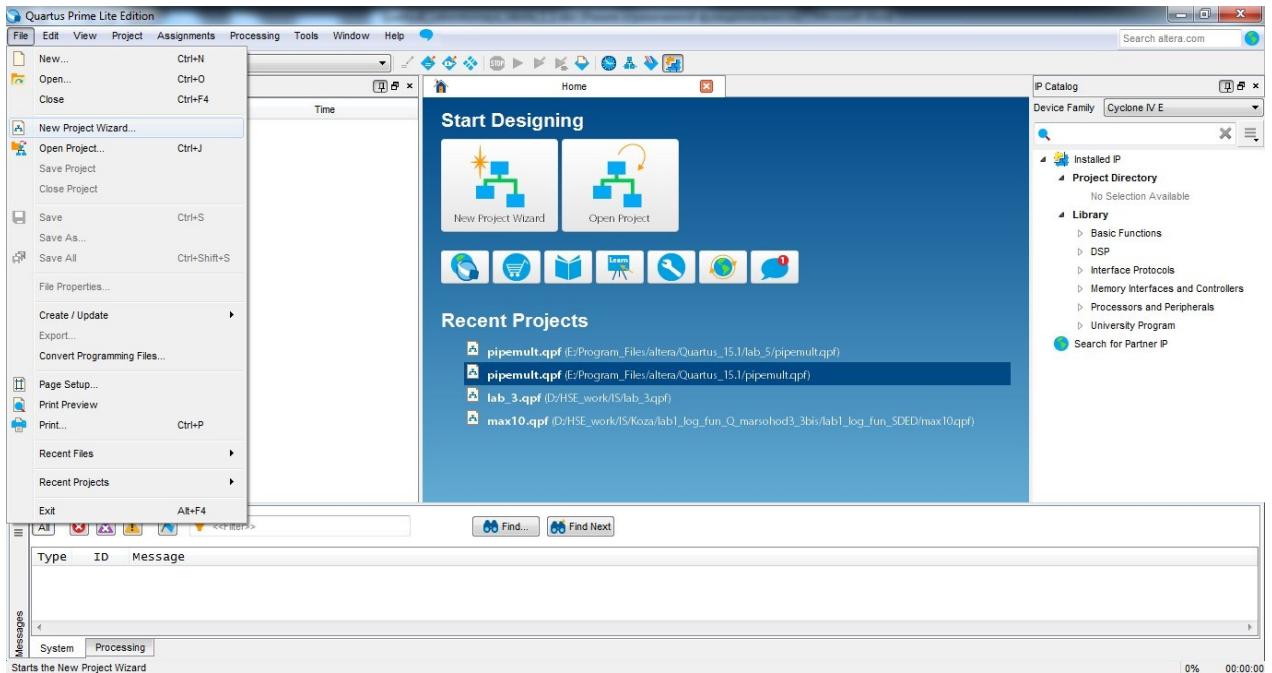


Рис. 1. Главное окно

В новом окне необходимо выбрать папку, в которой будет создан проект. Также нужно ввести имя проекта. Затем, нажмите **Next** два раза, пропуская следующее окно (рис. 2).

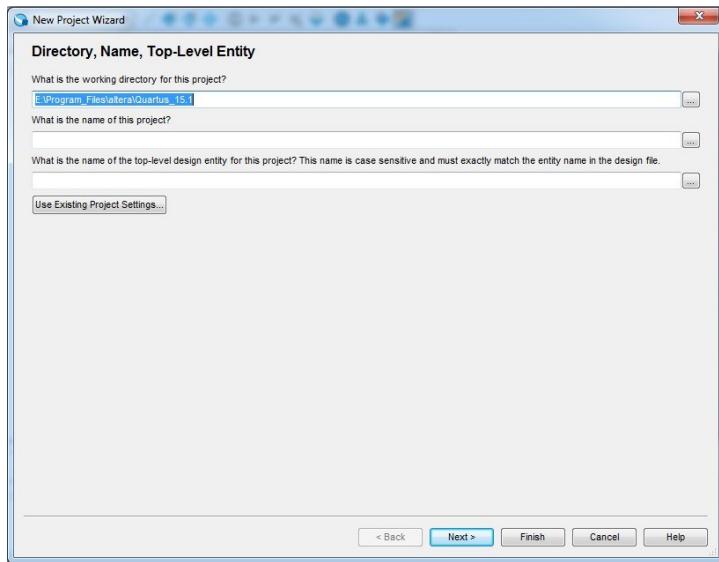


Рис. 2. Окно создания проекта

В случае возникновения ошибки (рис. 3):

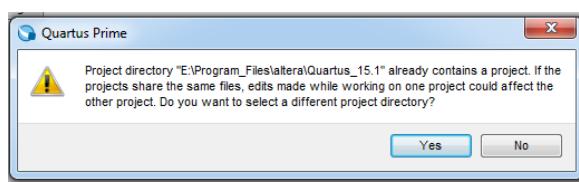


Рис. 3 Ошибка при создании проекта

Укажите новую папку для проекта:



Рис. 4, а) Новая папка проекта Quartus Prime

Если сделано все верно, то результат будет выглядеть следующим образом:

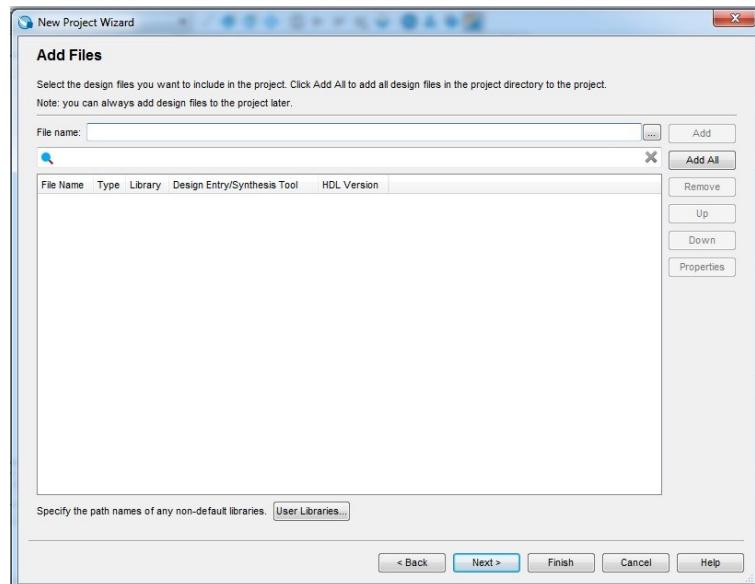


Рис. 4, б) Создание проекта

В следующем окне выберите в пункте **Family MAX 10(DA....SC), Devices MAX 10 DA, Name 1050DAF484C7G (Рис. 5).**

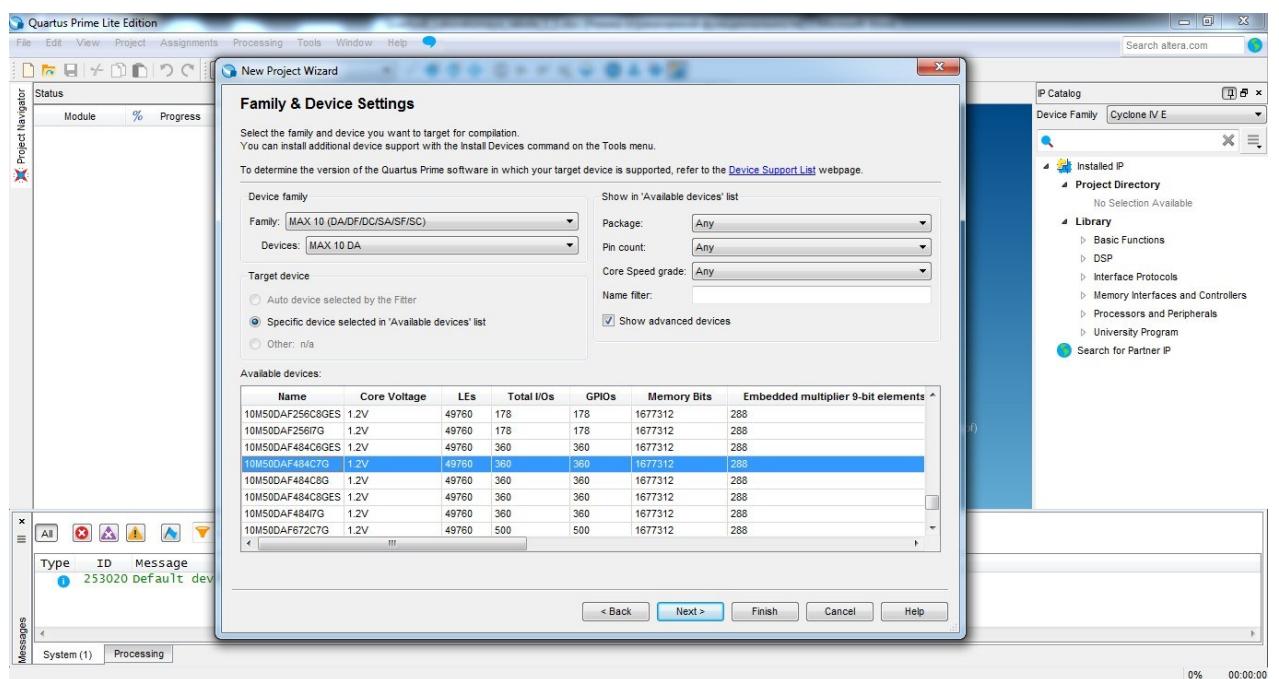


Рис. 5. Настройки платы для отладки проекта

В следующем окне, настройки изменять не надо.

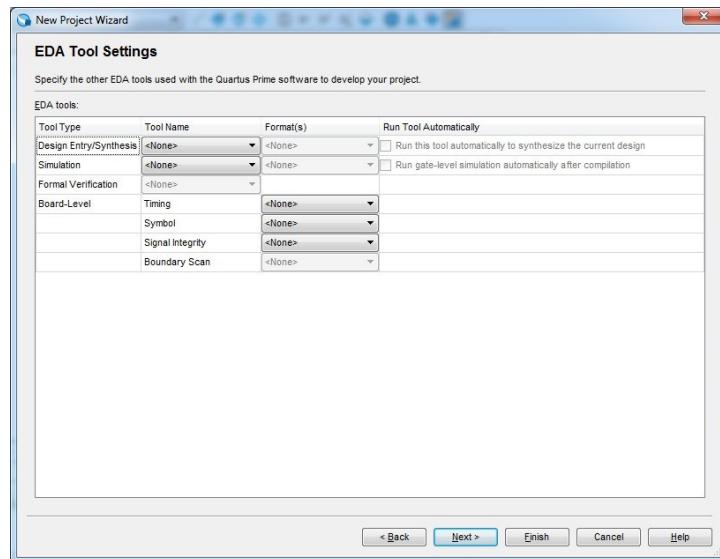


Рис. 6 EDA Tool Settings

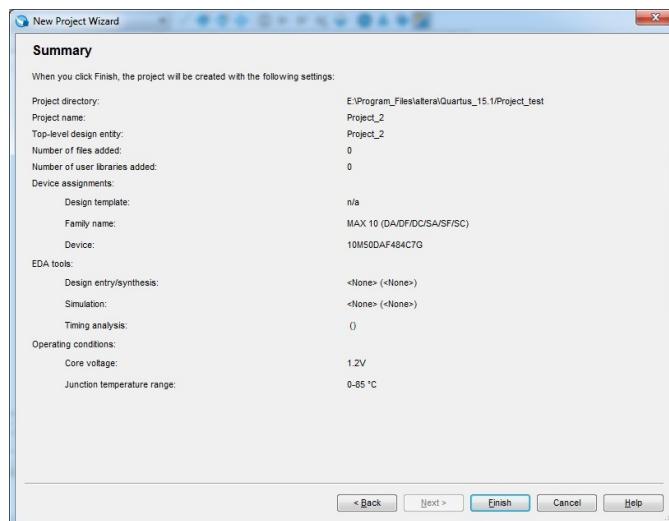


Рис. 7 Подтверждение выбранных действий

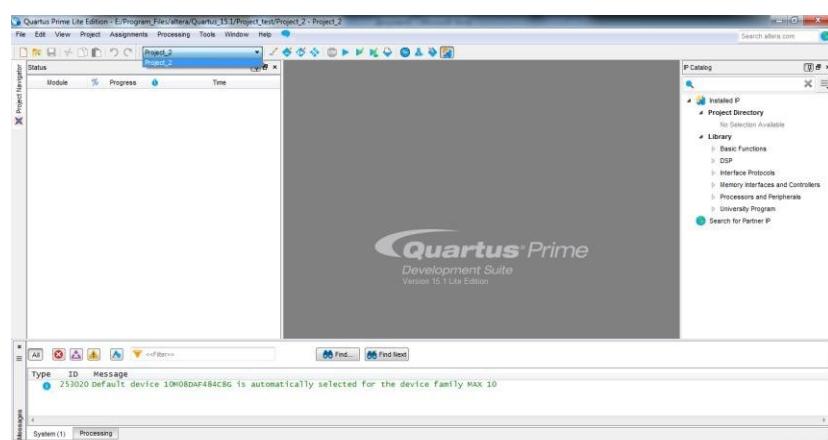


Рис. 8 Созданный проект в Quartus Prime

В **Project Navigator** откройте режим просмотра **Files** (Рис. 9):

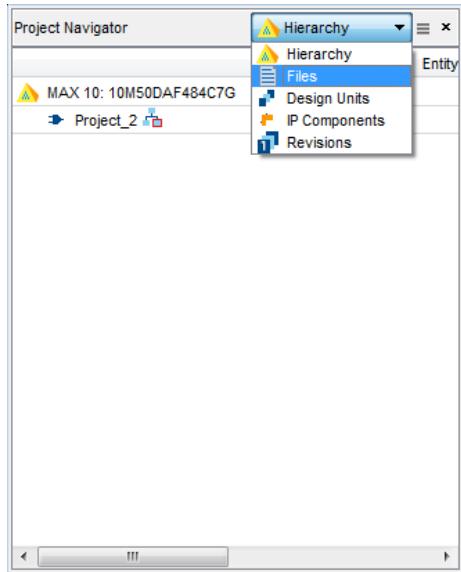


Рис. 9 Режим просмотра Project Navigator

## Создание bdf файла

Для создания схемы устройства в визуальном редакторе в проекте необходимо создать файл с расширением **bdf**. Для этого в меню **File** выберите пункт **New....** После этого, выберите **Block Diagram/Schematic File** (рис. 10):

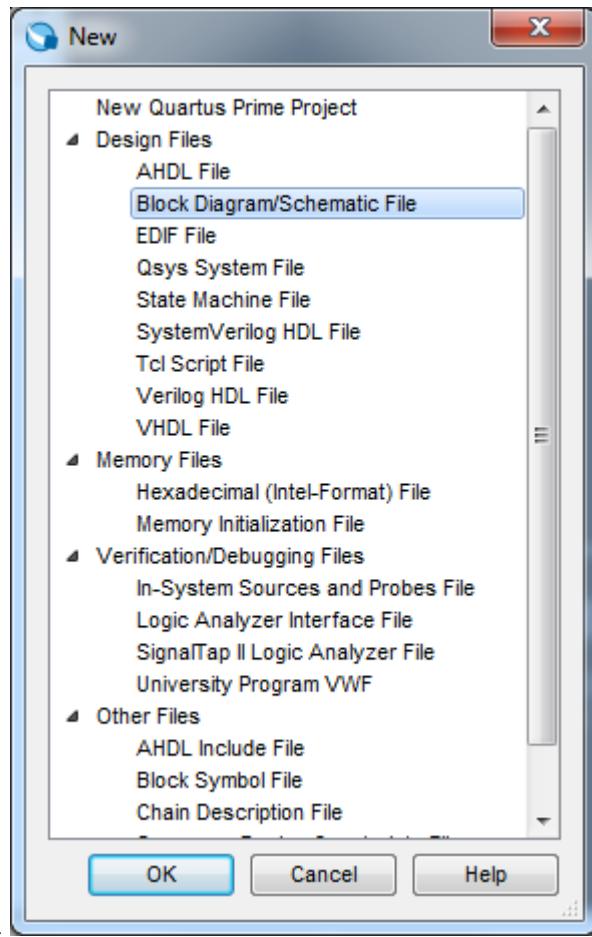


Рис. 10 Создание **bdf** файла

Далее, необходимо сохранить **bdf** файл.

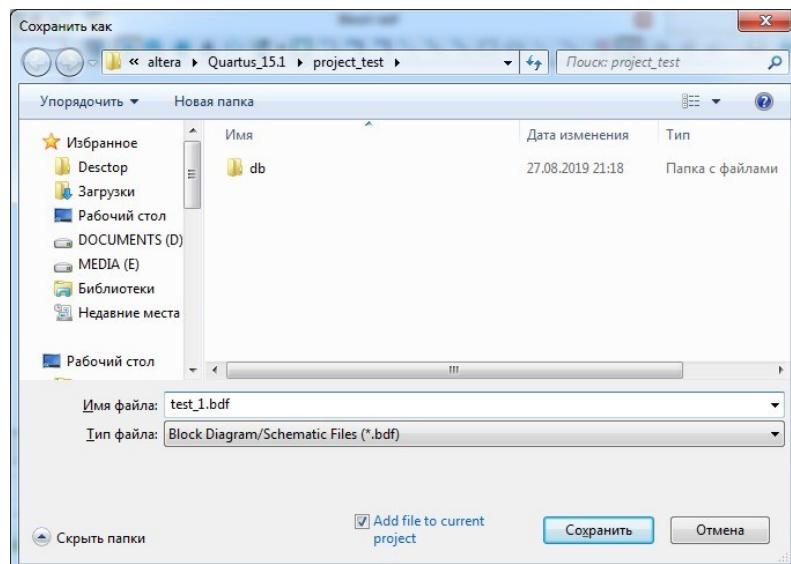


Рис.11 Сохранение **bdf** файла.

## 2. Порядок выполнения работы

### Задание № 1

Выполните моделирование указанного выражения в базисе И, ИЛИ, НЕ и постройте временную диаграмму. Пример логического выражения (1):

$$y = \overline{\overline{(x_1 \& (x_1 \vee x_2))}} \quad (1)$$

#### Пример выполнения задания №1

Составьте таблицу истинности для всех вариантов входящих сигналов. Для примера (1), таблица истинности имеет следующий вид:

Таблица 1

<b>X<sub>1</sub></b>	<b>X<sub>2</sub></b>	<b>y</b>
0	0	1
0	1	0
1	0	1
1	1	1

Состав пиктограмм для рисования схемы в режиме редактирования приведен на рис. 12 и рис. 13, а описание команд, соответствующих пиктограммам приведено в табл. 2 и табл. 3.

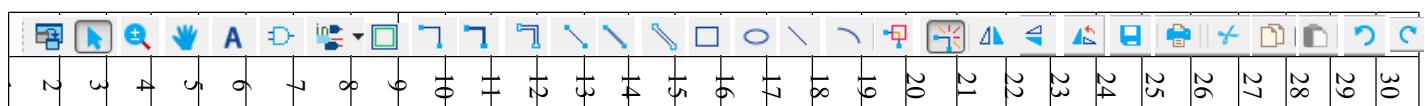


Рис. 12. Состав пиктограмм панели инструментов для редактирования схемы устройства

Таблица 2

<b>N</b>	<b>Команда</b>	<b>Описание</b>
<b>1</b>	<b>Detach Window</b>	Режим отсоединения окна разработки
<b>2</b>	<b>Select</b>	Режим выбора объектов
<b>3</b>	<b>Zoom Tool</b>	Инструмент масштабирования
<b>4</b>	<b>Hand Tool</b>	Инструмент управления «рука»
<b>5</b>	<b>Text Tool</b>	Инструмент добавления текста
<b>6</b>	<b>Symbol Tool</b>	Выбор в библиотеке компонента для размещения его символа на схеме
<b>7</b>	<b>Pin Tool</b>	Размещение символов выводов источников питания и "земли"
<b>8</b>	<b>Block Tool</b>	Инструмент создания блоков
<b>9</b>	<b>Orthogonal Node Tool</b>	Инструмент ортогонального узла
<b>10</b>	<b>Orthogonal Bus Tool</b>	Изображение шины (линии групповой связи)
<b>11</b>	<b>Orthogonal ConduitTool</b>	Инструмент добавления шины
<b>12</b>	<b>Diagonal Node Tool</b>	Инструмент диагонального узла
<b>13</b>	<b>Diagonal Bus Tool</b>	Инструмент шина
<b>14</b>	<b>Diagonal ConduitTool</b>	Инструмент диагональной шины
<b>15</b>	<b>Rectangle Tool</b>	Инструмент рисования прямоугольника
<b>16</b>	<b>Oval Tool</b>	Инструмент рисования овала
<b>17</b>	<b>Line Tool</b>	Инструмент рисования линии
<b>18</b>	<b>Arc Tool</b>	Инструмент рисования дуги
<b>19</b>	<b>Use Partial Line Selection</b>	Использование выбора частей соединительной линии
<b>20</b>	<b>Use Rubberbanding</b>	Магнитный инструмент соединительных линий при перемещении элементов схемы.
<b>21</b>	<b>Flip Horizontal</b>	Отразить по горизонтали
<b>22</b>	<b>Flip Vertical</b>	Отразить по вертикали
<b>23</b>	<b>Rotate Left 90</b>	Повернуть влево на 90
<b>24</b>	<b>Save-Ctrl+S</b>	Сохранить
<b>25</b>	<b>Print-Ctrl+P</b>	Печать схемы
<b>26</b>	<b>Cut-Ctrl+X</b>	Вырезать
<b>27</b>	<b>Copy-Ctrl+C</b>	Копировать

28	<b>Paste-Ctrl+V</b>	Вставить
29	<b>Undo-Ctrl+Z</b>	Отменить последнее действие
30	<b>Redo-Ctrl+Y</b>	Вернуть последнее действие



Рис. 13. Состав пиктограмм панели инструментов для редактирования схемы устройства

Таблица 3

N	Команда	Описание
1	<b>New-Ctrl+N</b>	Создание нового файла
2	<b>Open-Ctrl+O</b>	Открыть новый файл
3	<b>Save-Ctrl+S</b>	Сохранить файл
4	<b>Cut-Ctrl+X</b>	Вырезать фрагмент
5	<b>Copy-Ctrl+C</b>	Копировать фрагмент
6	<b>Paste-Ctrl+V</b>	Вставить фрагмент
7	<b>Undo-Ctrl+Z</b>	Отменить последнее действие
8	<b>Redo-Ctrl+Y</b>	Вернуть последнее действие
9	<b>Settings-Ctrl+Shift+E</b>	Вызов окна настроек
10	<b>Assignment Editor-Ctrl+Shift+A</b>	Редактор назначений
11	<b>Pin Planner-Ctrl+Shift+N</b>	Планировщик размещения пинов
12	<b>Chip Planner</b>	Планировщик чипа
13	<b>Stop Processing-Ctrl+Shift+C</b>	Остановить процесс компиляции
14	<b>Start Compilation-Ctrl+L</b>	Начать компиляцию проекта
15	<b>Start Analysis&amp;Elaboration</b>	Начать анализ проекта
16	<b>Start Analysis&amp;Synthesis-Ctrl+K</b>	Начать анализ
17	<b>Compilation Report-Ctrl+L</b>	Вызвать окно с результатами компиляции

18	<b>TimeQuest Timing Analyzer</b>	Вызов инструмента
19	<b>Qsys</b>	Средство для создания HPS или NIOS II
20	<b>Programmer</b>	Программатор.
21	<b>IP Catalog-Alt+7</b>	<b>IP Каталог</b>

Для размещения входов **x<sub>1</sub>, x<sub>2</sub>, выхода** и логических элементов в **bdf** файле проекта нажмите правой кнопкой мыши в любом месте поля, затем выберите команду **Insert** и выберите **Symbol** (рис. 14).

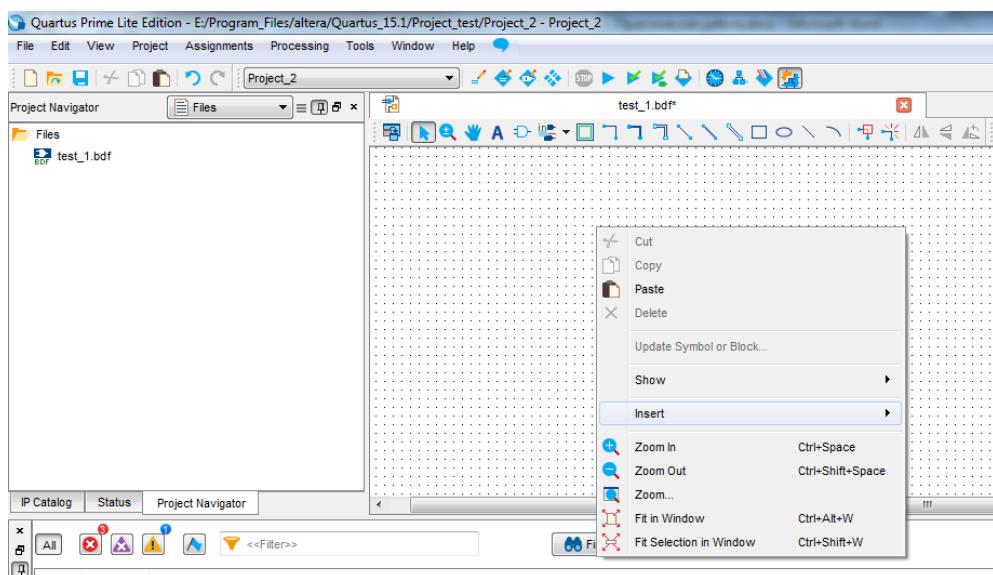


Рис. 14 Добавление элементов в схему

В появившемся окне вы можете найти все необходимые элементы для выполнения практической работы в папке **primitives**. В папке **pin** выберите **input**, затем нажмите **OK** (рис. 15). Данный элемент появится на поле редактора. Вам понадобится два элемента **input**. Выход схемы также находится в папке **pin**, а нужные логические элементы – в папке **logic**. Из нее нужны взять два элемента **not**, один **2or** и элемент **2and**.

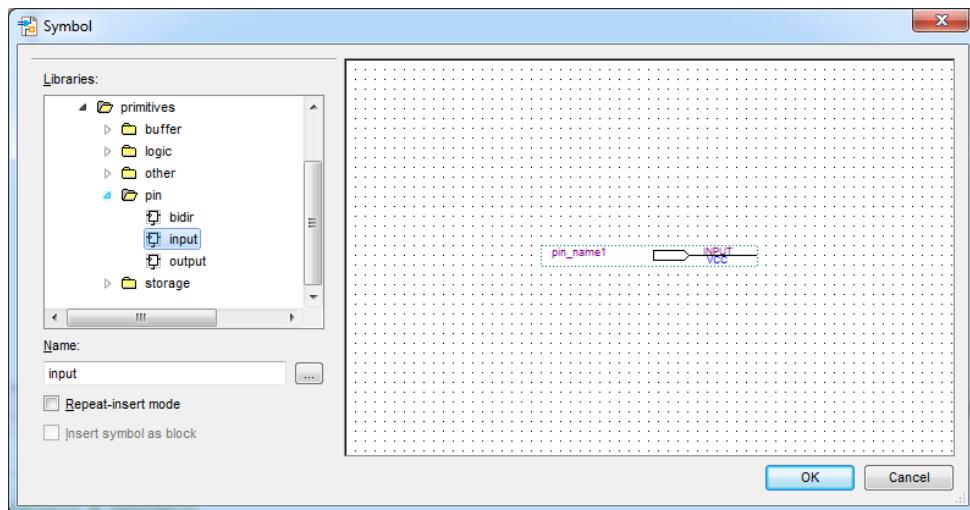


Рис. 15 Добавление элементов в схему

Расположите все элементы на схеме в нужном порядке и проставьте между ними связи. Это можно сделать, подведя курсор мыши к входам или выходам элементов. Если появился знак соединения, то нажав левой кнопкой мыши и удерживая ее можно рисовать связи между схемами. В местах соединений линий появляется точка.

В итоге должна получиться схема, показанная на рисунке 16.

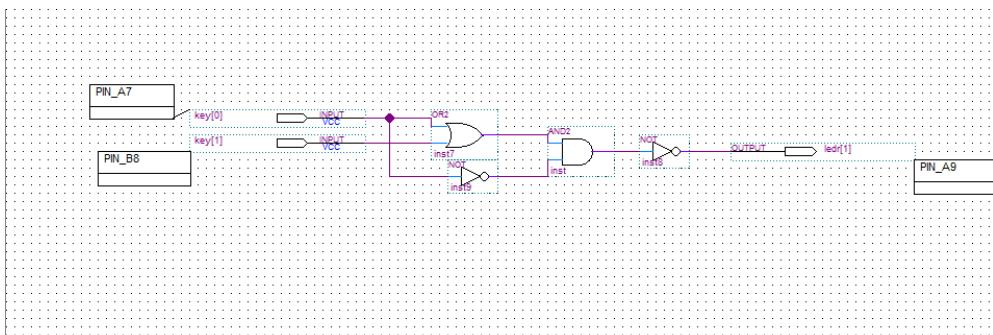


Рис. 16 Схема для задания № 1

Проверить правильность собранной схемы можно построив временную диаграмму. Для начала в левой части окна в **Project navigator** во вкладке **Files** нажмите правой кнопкой мыши на файл **bdf**, затем нажмите на **Set as Top-Level Entity** (рис. 13).

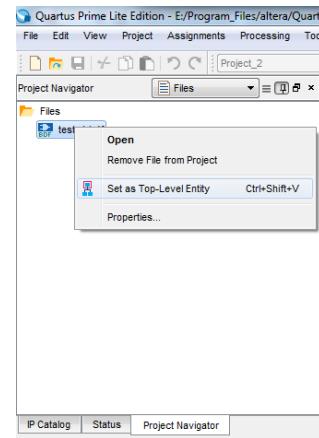


Рис. 17 Set as Top-Level Entity

Следующий шаг – необходимо провести компиляцию проекта. Для этого используйте пиктограмму 14 из таблицы 2:

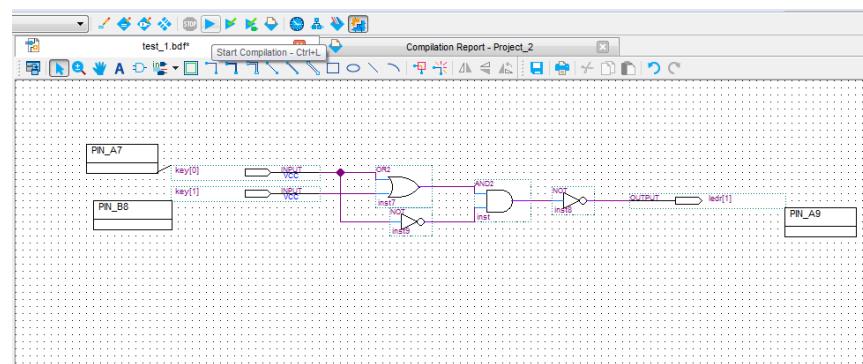


Рис. 18 Start Compilation

Удачный результат компилирования:

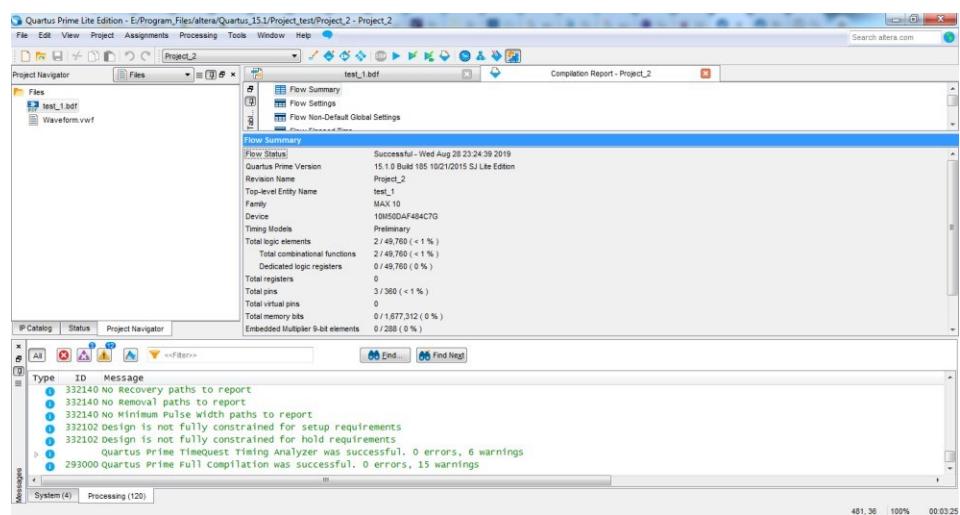


Рис. 19 Результат компиляции

Для того, чтобы назначить выводы FPGA схемы, пинам необходимо воспользоваться пиктограммой 11 из таблицы 3. Необходимо обратиться к [методическим указаниям по плате DE10-Lite](#). Начиная с 25 страницы описаны названия входов/выходов, которые соответствуют необходимым пинам схемы. Выберите необходимые пины для входов и выхода схемы.

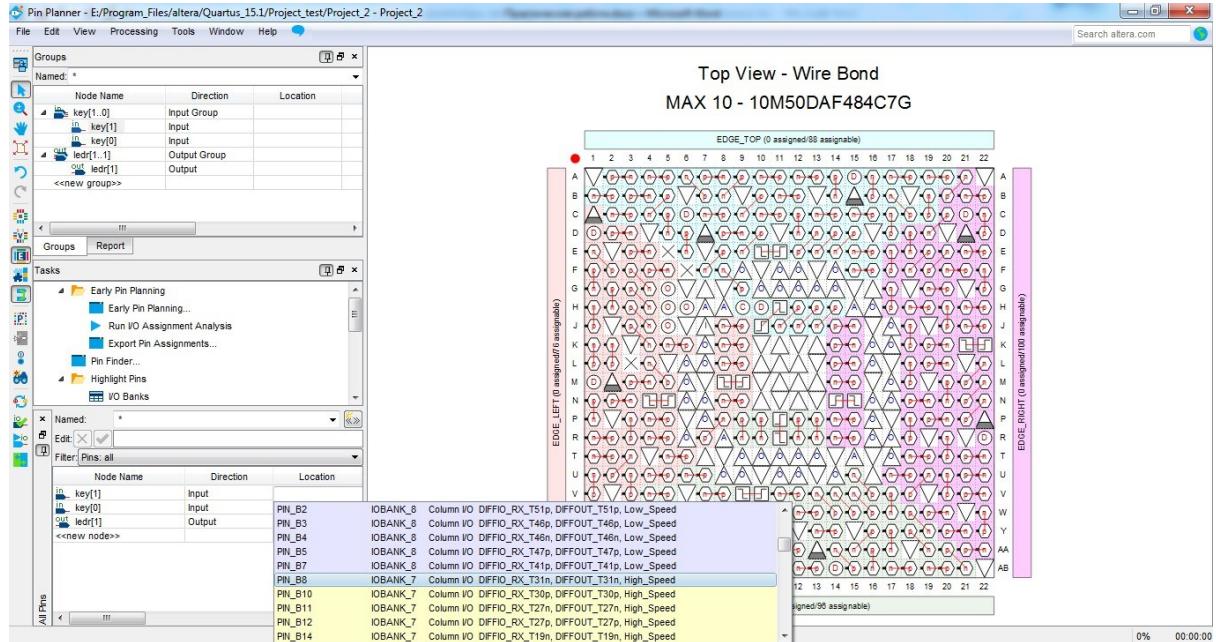


Рис. 20. Выбор пути пинов

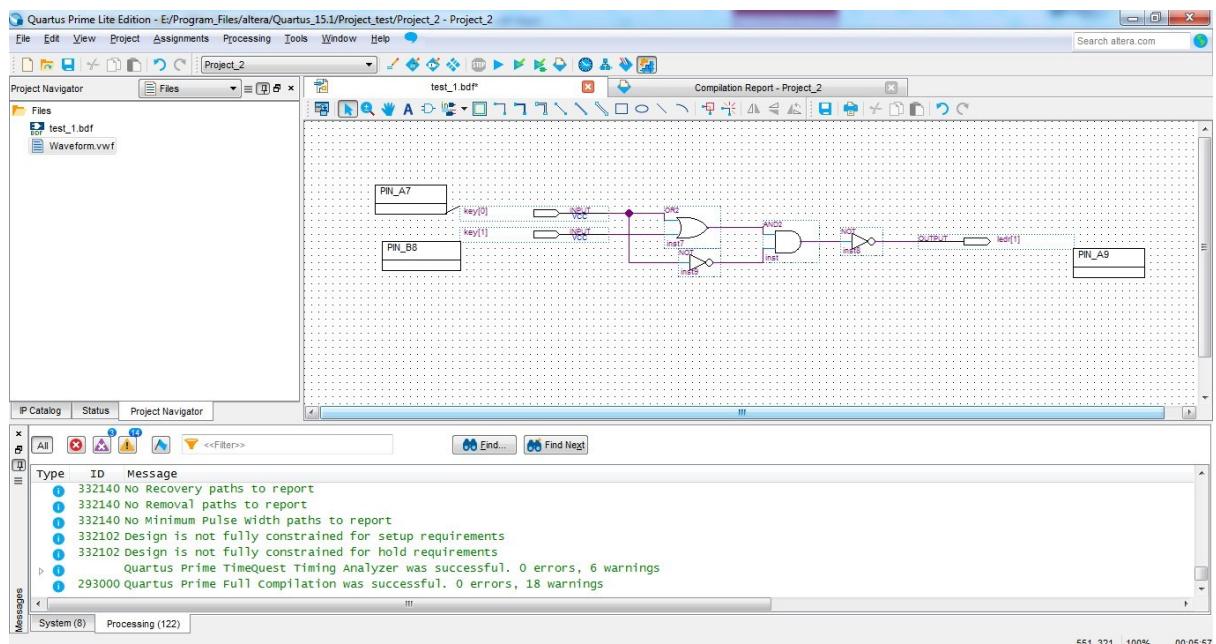


Рис. 21 Результат

После успешной компиляции можно приступить к созданию **Waveform File**. Для этого нужно добавить новый файл. В появившемся окне выберите вкладку **Verification/Debugging Files**. В ней выберите **University Program VWF** (рис. 22). Далее сохраните созданный файл:

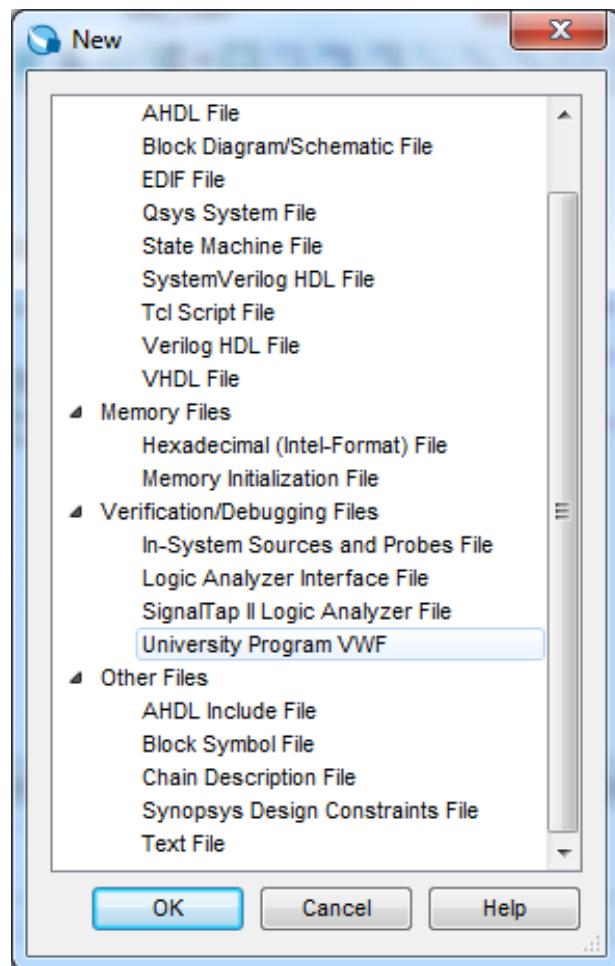


Рис. 22. Создание **Waveform File**

После этого в любом месте поля **Name** нажмите правой кнопкой мыши, и выберите пункт **Insert Node or Bus...**

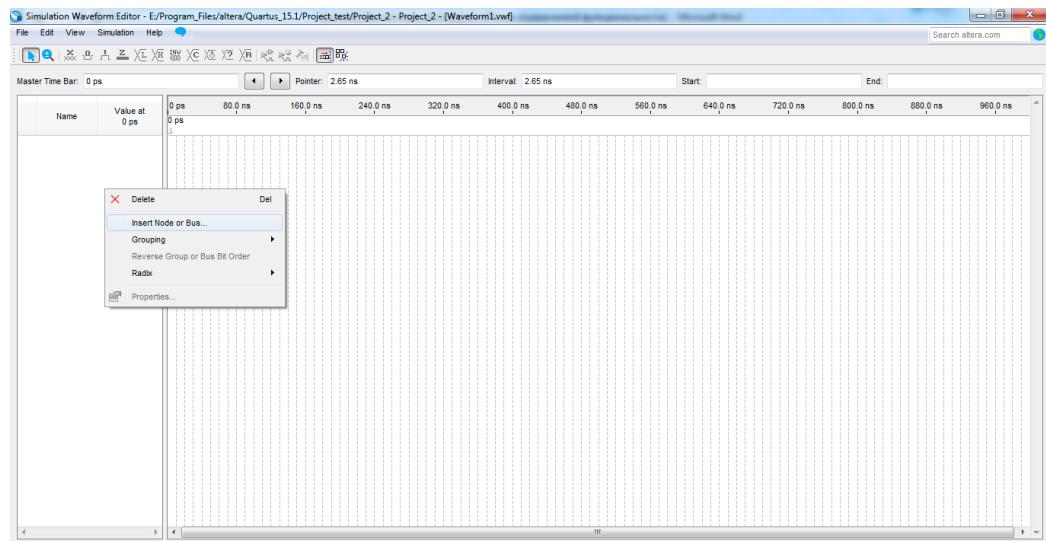


Рис. 23 Insert Node or Bus

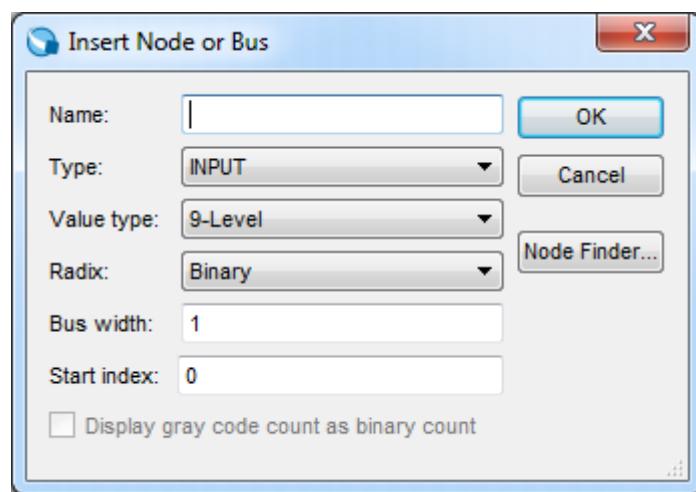


Рис. 24 Окно добавления элементов

В появившемся окне нажмите на кнопку **Node Finder...**

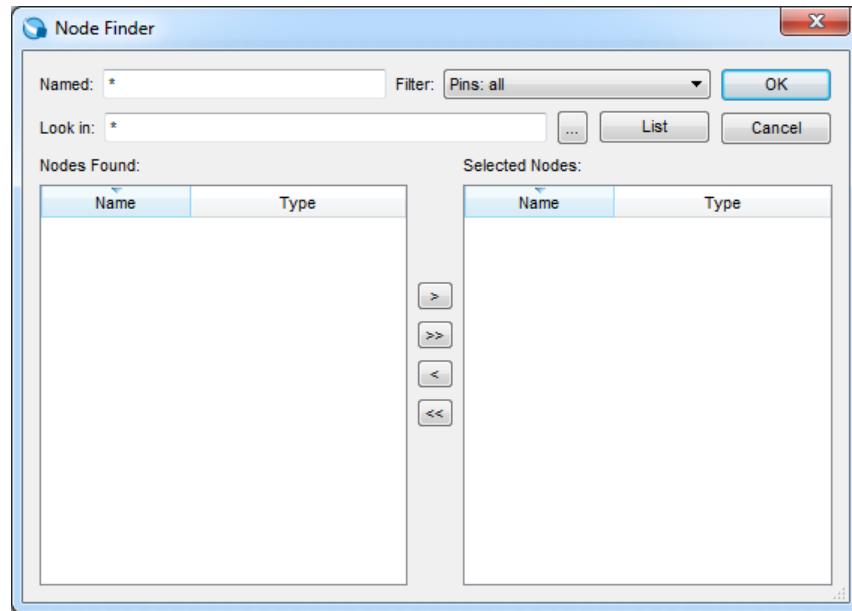


Рис. 25 Настройки Waveform File

Далее, выберите **List...** В окне **Nodes Found** появятся все входы и выходы схемы. Нужно выделить необходимые входы и выходы и нажать на кнопку **<>>** (рис. 26).

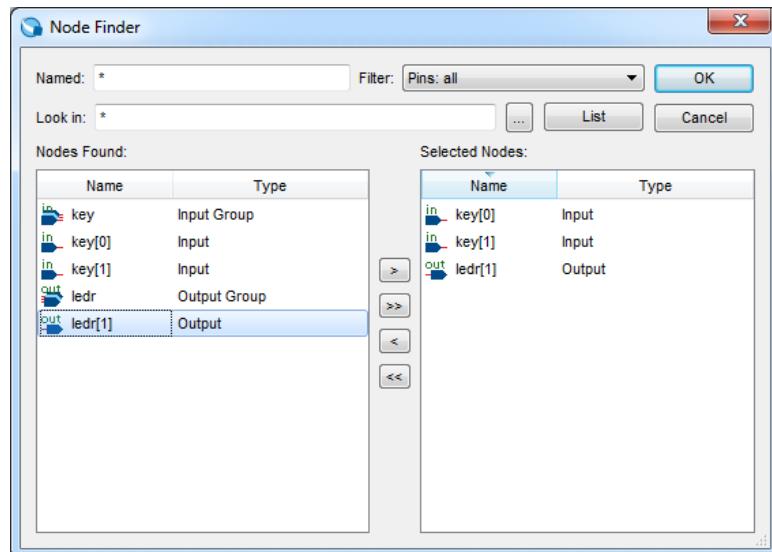


Рис. 26 Выбор необходимых входов и выходов

Выбранные пины появятся в окне **Selected Nodes**. Нужно два раза нажать на кнопку **OK** – в текущем окне и в окне, появившемся следующим.

Для подачи периодического сигнала, надо правой кнопкой мыши нажать на *входной* сигнал, и выбрать пункт **Count Value** (рис. 27).

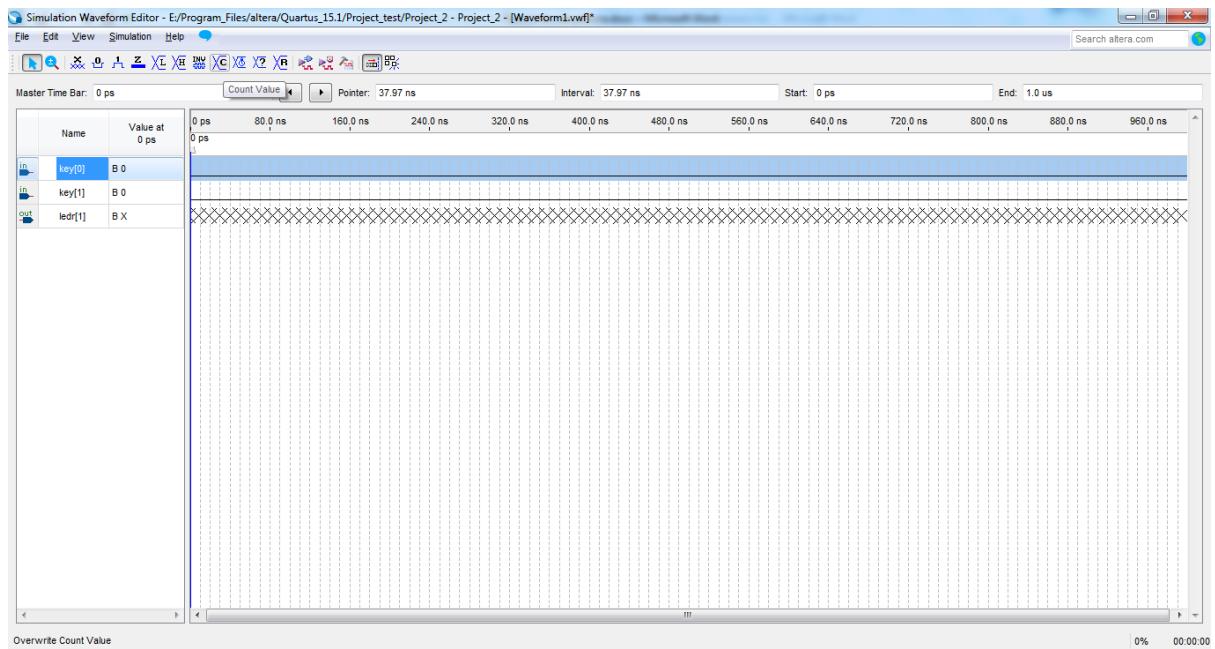


Рис. 27 Count Value

В открывшемся окне установите значения, приведенные на рисунке 28.

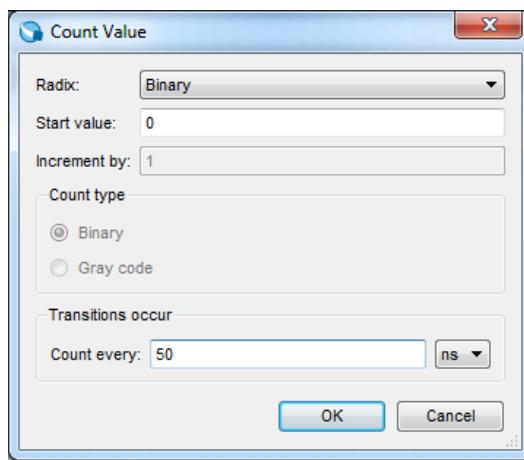


Рис. 28. Установка значений для пинов

Во вкладке **Simulation** в главном меню выберите пункт **Run Functional Simulation** и нажмите **OK**. (рис. 29). Функциональная симуляция происходит без учета задержек прохождения сигналов!

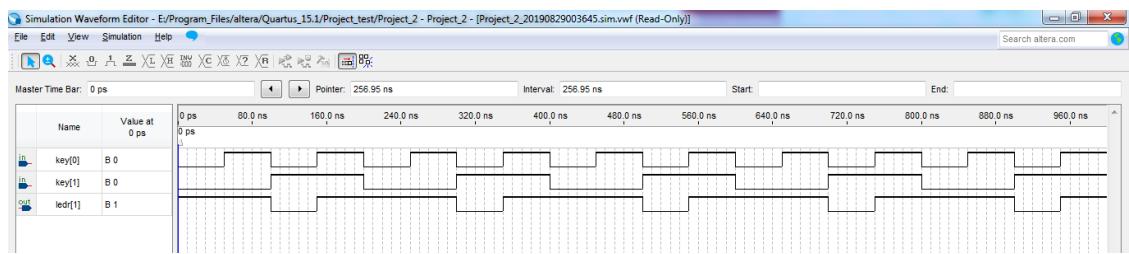


Рис. 29. Временная диаграмма для логической схемы из задания № 1

Полученная вейформа совпадает с таблицей истинности. На выходе логический 0 только при 0 на первом входе и 1 на втором. В остальных же случаях, на выходе присутствует 1.

# Самостоятельная работа

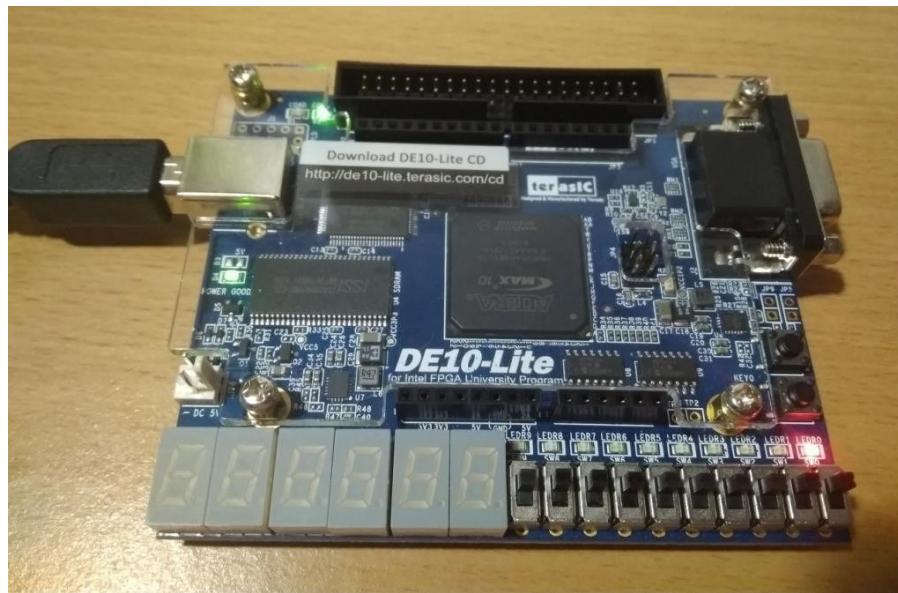
## Часть 1

Составить схему указанного выражения в базисе И, ИЛИ, НЕ.  
Построить временную диаграмму и выполнить моделирование в режимах **Functional** и **Time**. Оценить аппаратные ресурсы на реализацию схемы и обосновать полученный результат. Упростить заданное логическое выражение с помощью алгебры логики. Сравнить работу двух схем. Запрограммировать учебную плату и продемонстрировать результаты работы на макете (Часть 2).

1	$!(\neg x_1 \wedge (x_1 \vee x_2))$
2	$!(\neg x_1 \wedge \neg(x_1 \vee x_2))$
3	$\neg x_1 \wedge \neg(x_1 \vee x_2)$
4	$!(\neg x_1 \wedge (x_1 \vee \neg x_2))$
5	$\neg x_1 \wedge (x_1 \vee \neg x_2)$
6	$\neg x_1 \wedge (x_1 \vee x_2)$
7	$x_1 \wedge (\neg x_1 \vee \neg x_2)$
8	$x_1 \wedge (\neg x_1 \vee x_2)$
9	$x_1 \wedge \neg(\neg x_1 \vee x_2)$
10	$x_1 \wedge \neg(\neg x_1 \vee \neg x_2)$
11	$x_1 \vee \neg(\neg x_1 \wedge \neg x_2)$
12	$x_1 \vee \neg(\neg x_1 \wedge x_2)$
13	$\neg(x_1 \vee \neg(\neg x_1 \wedge \neg x_2))$
14	$\neg(x_1 \vee \neg(\neg x_1 \wedge x_2))$
15	$x_1 \vee (\neg x_1 \wedge \neg x_2)$
16	$x_1 \vee (\neg x_1 \wedge x_2)$
17	$\neg(x_1 \vee (\neg x_1 \wedge \neg x_2))$
18	$\neg(x_1 \vee (\neg x_1 \wedge x_2))$
19	$\neg x_1 \vee (x_1 \wedge \neg x_2)$
20	$\neg x_1 \vee (x_1 \wedge x_2)$
21	$\neg(\neg x_1 \vee (x_1 \wedge \neg x_2))$
22	$\neg(\neg x_1 \vee (x_1 \wedge x_2))$
23	$\neg(\neg x_1 \vee \neg(x_1 \wedge x_2))$
24	$\neg(\neg x_1 \vee \neg(x_1 \wedge \neg x_2))$
25	$\neg(x_1 \wedge (x_1 \wedge x_2))$
26	$x_2 \wedge (\neg x_1 \vee \neg x_2)$
27	$x_2 \wedge (\neg x_1 \vee x_2)$
28	$x_2 \wedge (\neg x_1 \vee \neg x_2)$
29	$x_2 \vee \neg(\neg x_1 \wedge \neg x_2)$
30	$x_2 \vee \neg(\neg x_1 \wedge x_2)$
31	$\neg(x_1 \vee \neg(\neg x_2 \wedge \neg x_1))$
32	$\neg(x_1 \vee \neg(\neg x_2 \wedge x_1))$
33	$x_1 \vee \neg(\neg x_1 \wedge \neg x_2)$
34	$x_2 \vee \neg(\neg x_1 \wedge \neg x_2)$

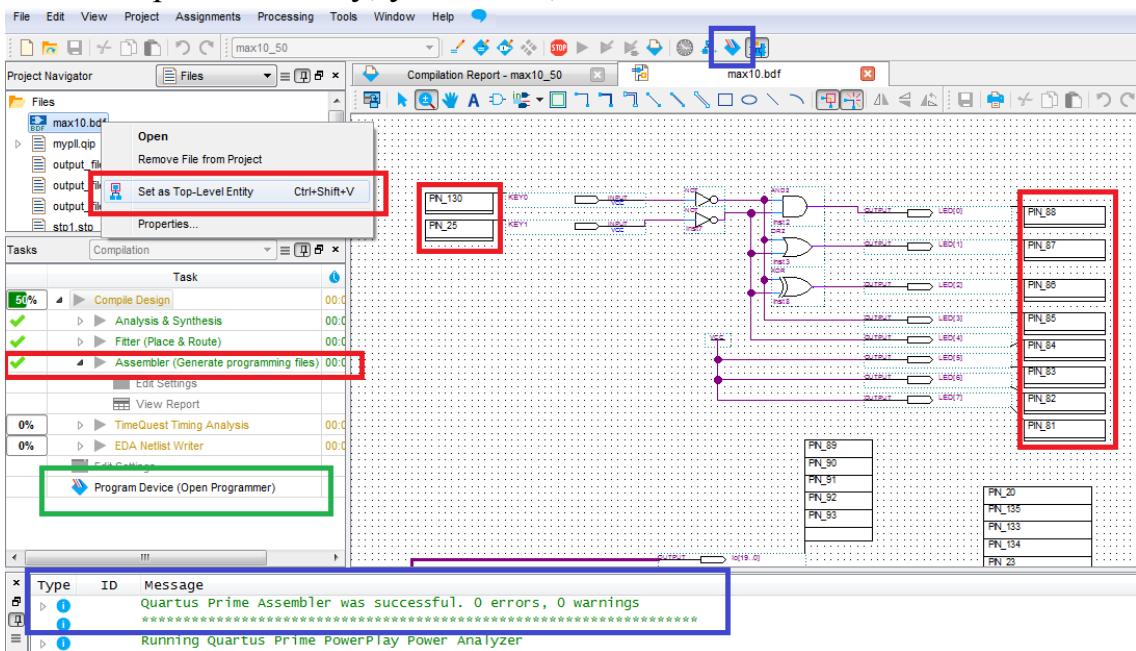
## Часть 2

Запрограммировать учебную плату и продемонстрировать результаты работы на макете

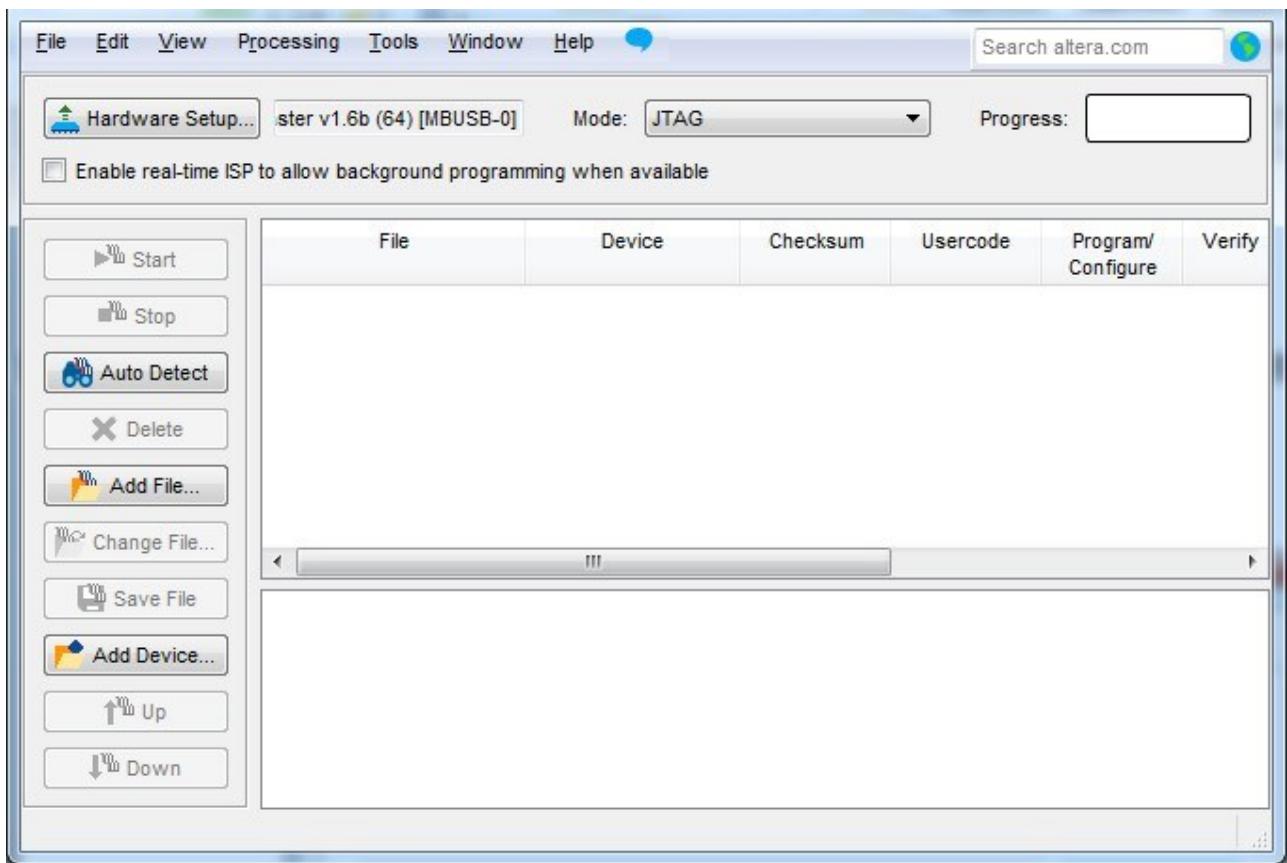


### Программирование отладочной платы в Quartus Prime software Lite edition

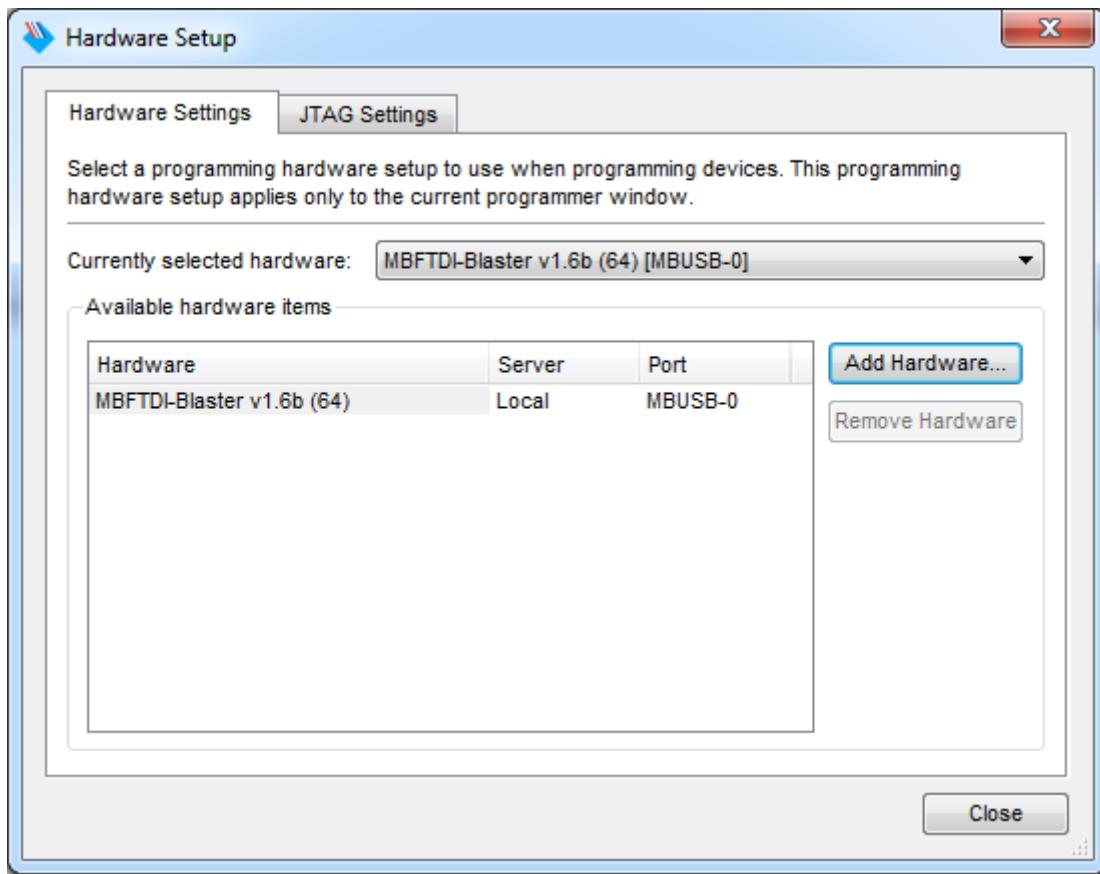
1. Выполнить компиляцию проекта; установить файл проекта как Top-Level Entity; убедиться, что назначены пины.



2. Запустить программатор. Выбрать средства программирования платы.

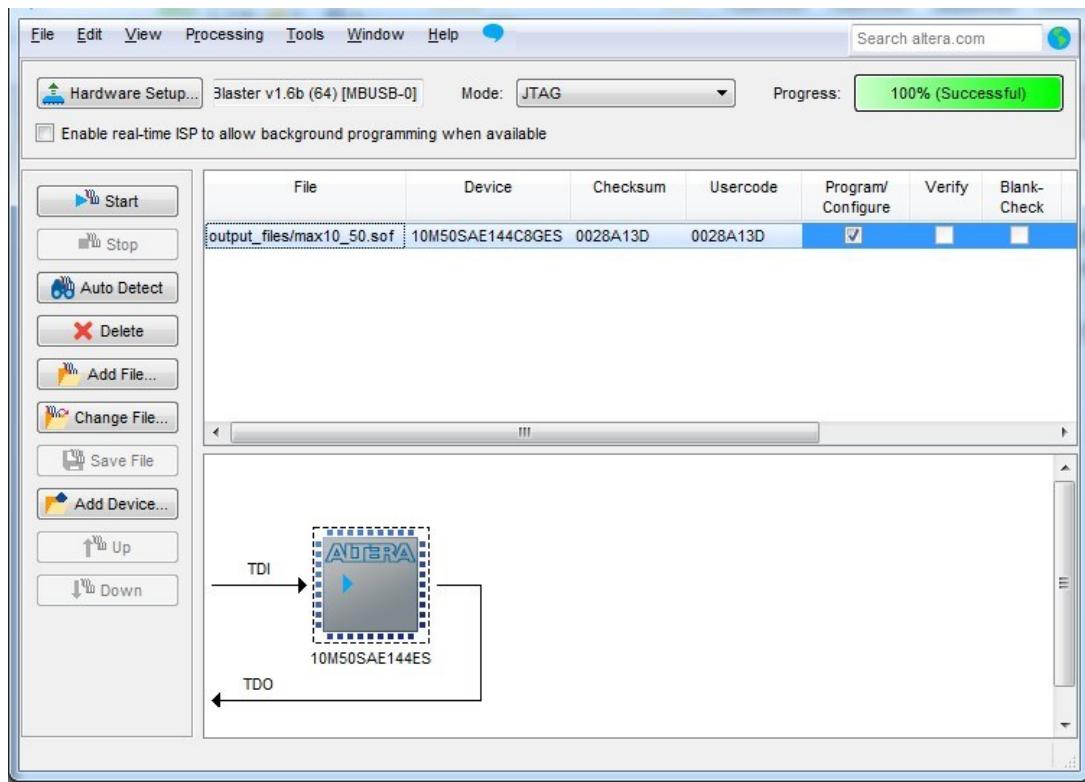


3. Подключите отладочную плату.
4. Если средства программирования не выбраны, настроить драйвер с помощью кнопки Hardware Setup...



\* Для работы с платами Марсоход, необходимо распаковать файлы драйверов (например, jtag\_hw\_mbftdi\_blaster\_v16b.zip) в папку среды, например c:\altera\15.0\quartus\bin64, с официального сайта.

5. Выбрать файлы программирования \*.sof из подпапки output\_files папки проекта.
6. Выполнить программирование отладочной платы.



7. \* Возможная проблема – на плате Марсоход 3 могут не светиться светодиоды. Данная проблема решается подачей сигналов (любых, GND, VCC, логических) на все светодиоды.
8. Вывести результат на LEDR[5..9].

## **Контрольные вопросы:**

1. Опишите основные компоненты главного меню Altera Quartus II?
2. Как уменьшить/увеличить масштаб рабочего окна Altera Quartus II?
3. В чем отличие между **Orthogonal Node Tool** и **Orthogonal Bus Tool**?
4. Какое принципиальное отличие при симуляции схемы **Run Functional Simulation** от **Run Timing Simulation**?
5. Какие элементы содержаться **Symbol/Primitives/logic**?
6. Как называется файл редактора временных диаграмм пакета Quartus II?
7. При компиляции проекта, студент получил Compilation Report-max\_50 (Рисунок прилагается). Оцените аппаратные ресурсы на реализацию схемы:

Flow Summary	
Flow Status	Successful - Thu Jan 31 23:31:08 2019
Quartus Prime Version	15.1.0 Build 185 10/21/2015 SJ Lite Edition
Revision Name	max10_50
Top-level Entity Name	lab_1
Family	MAX 10
Device	10M50SAE144C8GES
Timing Models	Preliminary
Total logic elements	2 / 49,760 (< 1 % )
Total combinational functions	2 / 49,760 (< 1 % )
Dedicated logic registers	0 / 49,760 ( 0 % )
Total registers	0
Total pins	3 / 101 ( 3 % )
Total virtual pins	0
Total memory bits	0 / 1,677,312 ( 0 % )
Embedded Multiplier 9-bit elements	0 / 288 ( 0 % )
Total PLLs	0 / 1 ( 0 % )
UFM blocks	0 / 1 ( 0 % )
ADC blocks	0 / 1 ( 0 % )

8. Для чего необходимо провести симуляцию проекта?
9. Какое расширение у проекта платы?
- 10.Какое количество программируемых логических элементов содержится в плате DE10-Lite?
- 11.Опишите основные компоненты платы DE10-Lite?
- 12.Какова память платы DE10-Lite?
- 13.Опишите основные выводы платы DE10-Lite?
- 14.Какое расширение у файла конфигурации платы?
- 15.Опишите логическую функцию по временной диаграмме:



16. Составьте таблицу истинности для всех вариантов входящих сигналов:

$$f(x_1, x_2, x_3) = \overline{(\overline{x_1} + \overline{x_2}) * x_3} + (\overline{x_1} + x_2)$$

# **Практическая работа**

## **№2**

**Тема работы:** Синтез и моделирование комбинационных устройств, заданных в табличной форме

## 1. Теоретические сведения

### Построение схемы по произвольной таблице истинности

Пример таблицы истинности:

$x_1$	$x_2$	$y$
0	0	1
0	1	0
1	0	0
1	1	1

Таблица истинности функции  $y = x_1 \sim x_2$

Таблица показывает, чему равен выходной сигнал схемы  $y$  при различных возможных сочетаниях входных сигналов  $x_1$  и  $x_2$ . Такая таблица называется **таблицей истинности**. Имея таблицу истинности, легко осуществить переход к аналитическому выражению функции.

В алгебре логики существуют две основные аналитические формы представления функций: совершенная дизъюнктивная нормальная форма (**СДНФ**) и совершенная конъюнктивная нормальная форма (**СКНФ**). Каждая из этих форм образуется посредством суперпозиции специально образуемых вспомогательных элементарных функций – минтермов и макстермов.

**Минтерм** – это конъюнкция (логическое произведение), в которую входят все  $n$  входных переменных в прямой или инверсной форме, а **макстерм** – дизъюнкция (логическая сумма), в которую также входят в прямой или инверсной форме все  $n$  переменных, образующих функцию.

Количество минтермов и макстермов заданного числа  $n$  переменных совпадает с числом различных наборов переменных –  $2^n$ .

**СДНФ логической функции** – это дизъюнкция минтермов, соответствующих наборам входных переменных, для которых функция равна единице.

**СКНФ логической функции** – это конъюнкция макстермов, соответствующих входным наборам, для которых функция равна нулю.

**Алгоритм перехода от таблицы истинности логической функции к ее записи в виде СДНФ:**

1. Выбрать в таблице такие наборы входных переменных, на которых функция обращается в единицу;
2. Записать минтермы для выбранных наборов входных переменных. При этом необходимо руководствоваться следующим правилом: если значение входной переменной в наборе – единичное, то она записывается в прямой форме, если же значение переменной – нулевое, то – в инверсной форме;
3. Полученные минтермы объединить между собой знаками дизъюнкции.

**Пример 1.** Получить СДНФ логической функции  $y = x_1 \sim x_2$ .

**Решение.** Из таблицы истинности следует, что функция  $y=1$  на двух наборах входных переменных:  $(0\ 0)$  и  $(1\ 1)$ . Для выбранных наборов записываем минтермы в соответствии с п. 2 приведенного выше алгоритма:

$$m_1 = \overline{x}_1 \cdot \overline{x}_2, \quad m_4 = x_1 \cdot x_2.$$

Соединив минтермы знаком дизъюнкции, получим СДНФ функции:

$$y = \overline{x}_1 \cdot \overline{x}_2 + x_1 \cdot x_2$$

**Алгоритм перехода от таблицы истинности логической функции к ее записи в виде СКНФ:**

1. Выбрать в таблице истинности такие наборы входных переменных, на которых функция принимает нулевые значения;

2. Записать макстермы для выбранных наборов. При этом следует руководствоваться следующим правилом: если значение входной переменной в наборе нулевое, то она записывается в прямой форме, если значение переменной единичное, то – в инверсной форме;

3. Полученные макстермы соединить знаками конъюнкции.

**Пример 2.** Получить СКНФ логической функции  $y = x_1 \sim x_2$ .

**Решение.** Из таблицы истинности следует, что функция  $y=x_1 \sim x_2=0$  на двух наборах входных переменных (0 1) и (1 0). Для указанных наборов записываем макстермы:

$$M_2 = x_1 + \bar{x}_2 \text{ и } M_3 = \bar{x}_1 + x_2.$$

Соединив их знаком конъюнкции, получим СКНФ функции:

$$y = (x_1 + \bar{x}_2) \cdot (\bar{x}_1 + x_2)$$

Нетрудно убедиться, что СДНФ и СКНФ функции эквивалентны.

## 2. Порядок выполнения работы

### Задание №2

Представить функцию алгебры логики, заданную таблицей истинности, в виде:

- совершенной дизъюнктивной нормальной формы (СДНФ);
- совершенной конъюнктивной нормальной формы (СКНФ).

Пример функции:

Таблица 3

i	a	b	c	d	$y(v_i)$
0	0	0	0	0	1
1	0	0	0	1	1
2	0	0	1	0	0
3	0	0	1	1	1
4	0	1	0	0	1
5	0	1	0	1	0
6	0	1	1	0	0
7	0	1	1	1	1
8	1	0	0	0	1
9	1	0	0	1	0
10	1	0	1	0	0
11	1	0	1	1	1
12	1	1	0	0	0
13	1	1	0	1	1
14	1	1	1	0	0
15	1	1	1	1	0

### Пример выполнения задания №2

Необходимо строить СДНФ и СКНФ в одном проекте на одной схеме (так как входы будут одинаковые).

Пример правильной схемы, построенной по таблице истинности (табл. 3) приведен на рисунке:

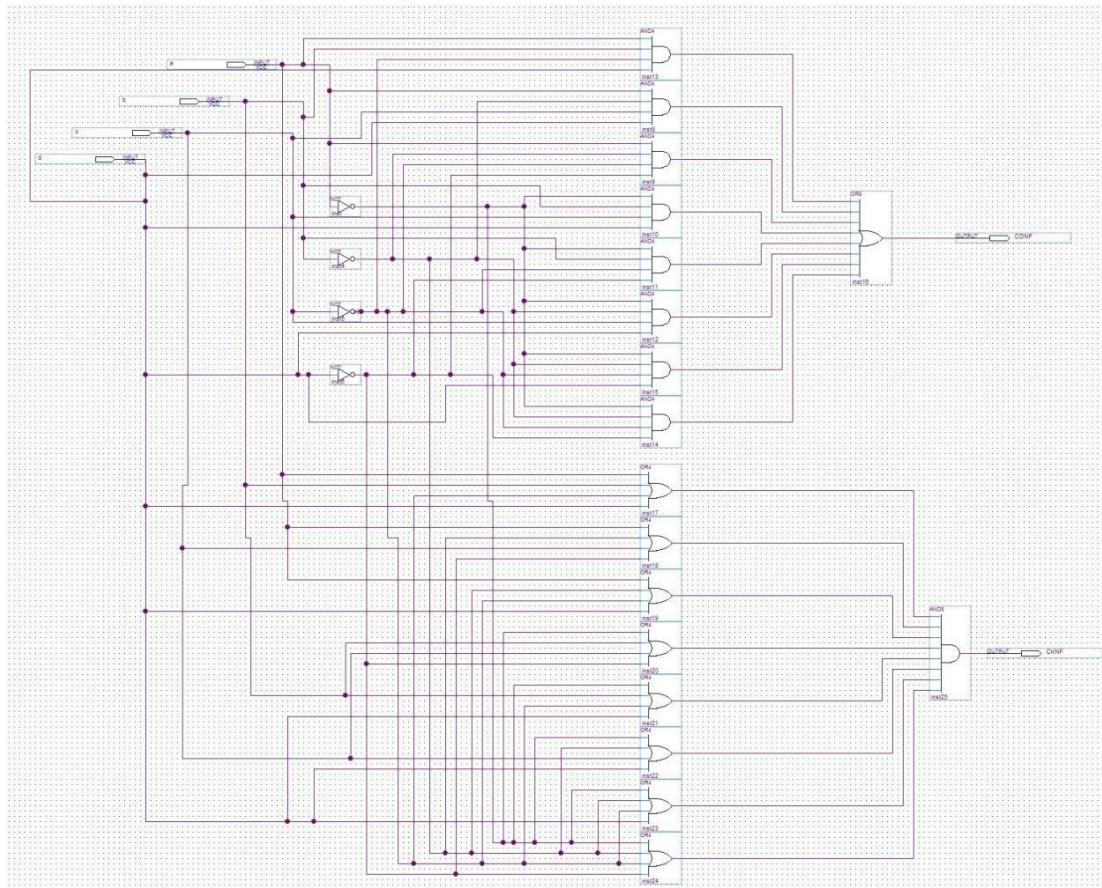


Рис. 23. Схема для примера задания №2

При установке периода следования сигналов для входов схемы рекомендуется, чтобы период каждого последующего сигнала был в 2 раза больше предыдущего для полного охвата комбинаций входных сигналов в таблице истинности. Если период для первого входа – 10 ns, то для последующих входов будут 20, 40 и 80 ns.

Результат симуляции должен быть такой, как на рис. 24.

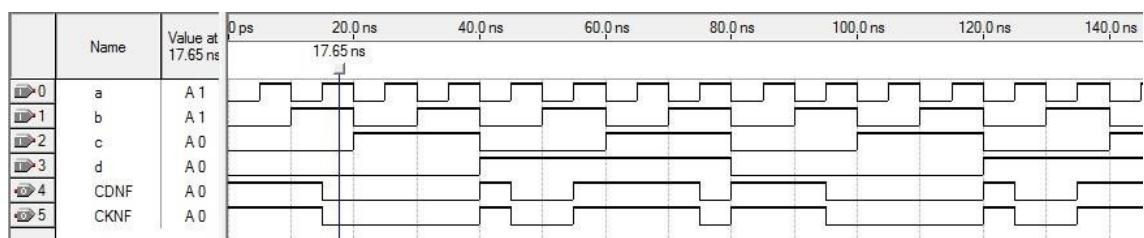


Рис. 24. Временная диаграмма для примера задания №2

Сверьте свои данные с таблицей истинности.

### **3. Самостоятельная работа**

**1)** Представить функцию алгебры логики, заданную таблицей истинности, в виде:

- совершенной дизъюнктивной нормальной формы (СДНФ);
- совершенной конъюнктивной нормальной формы (СКНФ).

Сравнить работу схем СДНФ и СКНФ.

**2)** Получить минимизированное представление, заданной логической функции, воспользовавшись методом Квайна-Мак-Класски.

**3)** Оценить аппаратные ресурсы на реализацию схемы и обосновать полученный результат.

**4)** Сравнить временные диаграммы двух схем, оценки аппаратных ресурсов.

**5)** Найти задержку распространения схемы, задержку реакции (отклика) схемы.

**6)** Запрограммировать учебную плату и продемонстрировать результаты работы на макете.

**Вариант 4****Вариант 5****Вариант 6**

X <sub>1</sub>	X <sub>2</sub>	X <sub>3</sub>	X <sub>4</sub>	Y
0	0	0	0	0
0	0	0	1	0
0	0	1	0	0
0	0	1	1	1
0	1	0	0	1
0	1	0	1	1
0	1	1	0	0
0	1	1	1	1
1	0	0	0	0
1	0	0	1	0
1	0	1	0	1
1	0	1	1	1
1	1	0	0	0
1	1	0	1	0
1	1	1	0	0
1	1	1	1	1

X <sub>1</sub>	X <sub>2</sub>	X <sub>3</sub>	X <sub>4</sub>	Y
0	0	0	0	1
0	0	0	1	0
0	0	1	0	0
0	0	1	1	1
0	1	0	0	0
0	1	0	1	1
0	1	1	0	0
0	1	1	1	1
1	0	0	0	0
1	0	0	1	1
1	0	1	0	1
1	0	1	1	0
1	1	0	0	0
1	1	0	1	0
1	1	1	0	0
1	1	1	1	1

X <sub>1</sub>	X <sub>2</sub>	X <sub>3</sub>	X <sub>4</sub>	Y
0	0	0	0	1
0	0	0	1	0
0	0	1	0	0
0	0	1	1	1
0	1	0	0	0
0	1	0	1	1
0	1	1	0	1
0	1	1	1	0
1	0	0	0	0
1	0	0	1	1
1	0	1	0	0
1	0	1	1	1
1	1	0	0	0
1	1	0	1	1
1	1	1	0	0
1	1	1	1	1

**Вариант 1****Вариант 2****Вариант 3**

X <sub>1</sub>	X <sub>2</sub>	X <sub>3</sub>	X <sub>4</sub>	Y
0	0	0	0	0
0	0	0	1	1
0	0	1	0	1
0	0	1	1	0
0	1	0	0	1
0	1	0	1	0
0	1	1	0	1
0	1	1	1	0
1	0	0	0	1
1	0	0	1	1
1	0	1	0	1
1	0	1	1	0
1	1	0	0	0
1	1	0	1	0
1	1	1	0	0
1	1	1	1	1

X <sub>1</sub>	X <sub>2</sub>	X <sub>3</sub>	X <sub>4</sub>	Y
0	0	0	0	1
0	0	0	1	1
0	0	1	0	0
0	0	1	1	0
0	1	0	0	1
0	1	0	1	0
0	1	1	0	0
0	1	1	1	0
1	0	0	0	0
1	0	0	1	1
1	0	1	0	0
1	0	1	1	0
1	1	0	0	0
1	1	0	1	0
1	1	1	0	0
1	1	1	1	1

X <sub>1</sub>	X <sub>2</sub>	X <sub>3</sub>	X <sub>4</sub>	Y
0	0	0	0	0
0	0	0	1	0
0	0	1	0	1
0	0	1	1	0
0	1	0	0	0
0	1	0	1	1
0	1	1	0	1
0	1	1	1	1
1	0	0	0	0
1	0	0	1	0
1	0	1	0	1
1	0	1	1	0
1	1	0	0	0
1	1	0	1	0
1	1	1	0	1
1	1	1	1	1

**Вариант 7**

X <sub>1</sub>	X <sub>2</sub>	X <sub>3</sub>	X <sub>4</sub>	Y
0	0	0	0	0
0	0	0	1	0
0	0	1	0	0
0	0	1	1	0
0	1	0	0	1
0	1	0	1	1
0	1	1	0	0
0	1	1	1	0
1	0	0	0	1
1	0	0	1	1
1	0	1	0	0
1	0	1	1	1
1	1	0	0	1
1	1	0	1	0
1	1	1	0	0
1	1	1	1	1

**Вариант 8**

X <sub>1</sub>	X <sub>2</sub>	X <sub>3</sub>	X <sub>4</sub>	Y
0	0	0	0	0
0	0	0	1	1
0	0	1	0	0
0	0	1	1	1
0	1	0	0	1
0	1	0	1	0
0	1	1	0	1
0	1	1	1	1
1	0	0	0	0
1	0	0	1	1
1	0	1	0	1
1	0	1	1	1
1	1	0	0	0
1	1	0	1	1
1	1	1	0	0
1	1	1	1	1

**Вариант 9**

X <sub>1</sub>	X <sub>2</sub>	X <sub>3</sub>	X <sub>4</sub>	Y
0	0	0	0	1
0	0	0	1	1
0	0	1	0	1
0	0	1	1	0
0	1	0	0	0
0	1	0	1	0
0	1	1	0	1
0	1	1	1	0
1	0	0	0	1
1	0	0	1	0
1	0	1	0	0
1	0	1	1	1
1	1	0	0	1
1	1	0	1	0
1	1	1	0	1
1	1	1	1	1

**Вариант 10**

X <sub>1</sub>	X <sub>2</sub>	X <sub>3</sub>	X <sub>4</sub>	Y
0	0	0	0	1
0	0	0	1	0
0	0	1	0	0
0	0	1	1	1
0	1	0	0	0
0	1	0	1	0
0	1	1	0	0
0	1	1	1	1
1	0	0	0	1
1	0	0	1	0
1	0	1	0	1
1	0	1	1	0
1	1	0	0	1
1	1	0	1	0
1	1	1	0	1
1	1	1	1	1

**Вариант 11**

X <sub>1</sub>	X <sub>2</sub>	X <sub>3</sub>	X <sub>4</sub>	Y
0	0	0	0	1
0	0	0	1	0
0	0	1	0	0
0	0	1	1	1
0	1	0	0	0
0	1	0	1	1
0	1	1	0	0
0	1	1	1	0
1	0	0	0	1
1	0	0	1	0
1	0	1	0	1
1	0	1	1	0
1	1	0	0	1
1	1	0	1	0
1	1	1	0	0
1	1	1	1	1

**Вариант 12**

X <sub>1</sub>	X <sub>2</sub>	X <sub>3</sub>	X <sub>4</sub>	Y
0	0	0	0	0
0	0	0	1	1
0	0	1	0	1
0	0	1	1	0
0	1	0	0	1
0	1	0	1	0
0	1	1	0	1
0	1	1	1	0
1	0	0	0	1
1	0	0	1	0
1	0	1	0	0
1	0	1	1	1
1	1	0	0	1
1	1	0	1	0
1	1	1	0	0
1	1	1	1	1

**Вариант 13**

X <sub>1</sub>	X <sub>2</sub>	X <sub>3</sub>	X <sub>4</sub>	Y
0	0	0	0	1
0	0	0	1	1
0	0	1	0	1
0	0	1	1	0
0	1	0	0	1
0	1	0	1	0
0	1	1	0	1
0	1	1	1	0
1	0	0	0	1
1	0	0	1	0
1	0	1	0	0
1	0	1	1	1
1	1	0	0	1
1	1	0	1	1
1	1	1	0	0
1	1	1	1	1

**Вариант 14**

X <sub>1</sub>	X <sub>2</sub>	X <sub>3</sub>	X <sub>4</sub>	Y
0	0	0	0	0
0	0	0	1	1
0	0	1	0	0
0	0	1	1	0
0	1	0	0	1
0	1	0	1	0
0	1	1	0	0
0	1	1	1	1
1	0	0	0	0
1	0	0	1	1
1	0	1	0	0
1	0	1	1	1
1	1	0	0	0
1	1	0	1	0
1	1	1	0	1
1	1	1	1	1

**Вариант 15**

X <sub>1</sub>	X <sub>2</sub>	X <sub>3</sub>	X <sub>4</sub>	Y
0	0	0	0	0
0	0	0	1	1
0	0	1	0	0
0	0	1	1	0
0	1	0	0	1
0	1	0	1	0
0	1	1	0	1
0	1	1	1	0
1	0	0	0	0
1	0	0	1	1
1	0	1	0	0
1	0	1	1	1
1	1	0	0	0
1	1	0	1	1
1	1	1	0	0
1	1	1	1	0

**Вариант 16**

X <sub>1</sub>	X <sub>2</sub>	X <sub>3</sub>	X <sub>4</sub>	Y
0	0	0	0	0
0	0	0	1	0
0	0	1	0	0
0	0	1	1	1
0	1	0	0	0
0	1	0	1	1
0	1	1	0	0
0	1	1	1	0
1	0	0	0	1
1	0	0	1	0
1	0	1	0	0
1	0	1	1	1
1	1	0	0	0
1	1	0	1	0
1	1	1	1	1

**Вариант 17**

X <sub>1</sub>	X <sub>2</sub>	X <sub>3</sub>	X <sub>4</sub>	Y
0	0	0	0	1
0	0	0	1	1
0	0	1	0	0
0	0	1	1	1
0	1	0	0	1
0	1	0	1	0
0	1	1	0	1
0	1	1	1	0
1	0	0	0	1
1	0	0	1	0
1	0	1	0	1
1	0	1	1	0
1	1	0	0	0
1	1	0	1	1
1	1	1	0	1
1	1	1	1	1

**Вариант 18**

X <sub>1</sub>	X <sub>2</sub>	X <sub>3</sub>	X <sub>4</sub>	Y
0	0	0	0	1
0	0	0	1	0
0	0	1	0	1
0	0	1	1	0
0	1	0	0	1
0	1	0	1	0
0	1	1	0	1
0	1	1	1	0
1	0	0	0	1
1	0	0	1	1
1	0	1	0	1
1	0	1	1	1
1	1	0	0	0
1	1	0	1	0
1	1	1	0	0
1	1	1	1	1

**Вариант 19**

X <sub>1</sub>	X <sub>2</sub>	X <sub>3</sub>	X <sub>4</sub>	Y
0	0	0	0	1
0	0	0	1	1
0	0	1	0	1
0	0	1	1	0
0	1	0	0	0
0	1	0	1	1
0	1	1	0	1
0	1	1	1	0
1	0	0	0	1
1	0	0	1	0
1	0	1	0	0
1	0	1	1	1
1	1	0	0	1
1	1	0	1	0
1	1	1	0	0
1	1	1	1	1

**Вариант 20**

X <sub>1</sub>	X <sub>2</sub>	X <sub>3</sub>	X <sub>4</sub>	Y
0	0	0	0	0
0	0	0	1	1
0	0	1	0	1
0	0	1	1	1
0	1	0	0	0
0	1	0	1	0
0	1	1	0	1
0	1	1	1	0
1	0	0	0	1
1	0	0	1	0
1	0	1	0	1
1	0	1	1	1
1	1	0	0	0
1	1	0	1	1
1	1	1	0	0
1	1	1	1	1

**Вариант 21**

X <sub>1</sub>	X <sub>2</sub>	X <sub>3</sub>	X <sub>4</sub>	Y
0	0	0	0	1
0	0	0	1	0
0	0	1	0	0
0	0	1	1	0
0	1	0	0	1
0	1	0	1	1
0	1	1	0	1
0	1	1	1	0
1	0	0	0	1
1	0	0	1	1
1	0	1	0	1
1	0	1	1	0
1	1	0	0	0
1	1	0	1	0
1	1	1	0	1
1	1	1	1	1

**Вариант 25**

X <sub>1</sub>	X <sub>2</sub>	X <sub>3</sub>	X <sub>4</sub>	Y
0	0	0	0	1
0	0	0	1	0
0	0	1	0	1
0	0	1	1	0
0	1	0	0	0
0	1	0	1	1
0	1	1	0	0
0	1	1	1	1
1	0	0	0	1
1	0	0	1	0
1	0	1	0	1
1	0	1	1	0
1	1	0	0	1
1	1	0	1	0
1	1	1	0	0
1	1	1	1	1

**Вариант 26**

X <sub>1</sub>	X <sub>2</sub>	X <sub>3</sub>	X <sub>4</sub>	Y
0	0	0	0	1
0	0	0	1	0
0	0	1	0	0
0	0	1	1	0
0	1	0	0	0
0	1	0	1	0
0	1	1	0	1
0	1	1	1	0
1	0	0	0	1
1	0	0	1	0
1	0	0	1	0
1	0	1	0	1
1	0	1	1	1
1	1	0	0	0
1	1	0	1	0
1	1	1	0	0
1	1	1	1	1

**Вариант 27**

X <sub>1</sub>	X <sub>2</sub>	X <sub>3</sub>	X <sub>4</sub>	Y
0	0	0	0	0
0	0	0	1	1
0	0	1	0	1
0	0	1	1	1
0	1	0	0	1
0	1	0	1	0
0	1	1	0	1
0	1	1	1	0
1	0	0	0	1
1	0	0	1	1
1	0	1	0	1
1	0	1	1	0
1	1	0	0	0
1	1	0	1	0
1	1	1	0	1
1	1	1	1	0

**Вариант 22**

X <sub>1</sub>	X <sub>2</sub>	X <sub>3</sub>	X <sub>4</sub>	Y
0	0	0	0	0
0	0	0	1	1
0	0	1	0	0
0	0	1	1	0
0	1	0	0	0
0	1	0	1	1
0	1	1	0	0
0	1	1	1	1
1	0	0	0	1
1	0	0	1	0
1	0	1	0	1
1	0	1	1	0
1	1	0	0	1
1	1	0	1	1
1	1	1	0	1
1	1	1	1	1

**Вариант 23**

X <sub>1</sub>	X <sub>2</sub>	X <sub>3</sub>	X <sub>4</sub>	Y
0	0	0	0	1
0	0	0	1	0
0	0	1	0	1
0	0	1	1	0
0	1	0	0	0
0	1	0	1	1
0	1	1	0	0
0	1	1	1	1
1	0	0	0	0
1	0	0	1	0
1	0	1	0	1
1	0	1	1	0
1	1	0	0	1
1	1	0	1	1
1	1	1	0	0
1	1	1	1	1

**Вариант 24**

X <sub>1</sub>	X <sub>2</sub>	X <sub>3</sub>	X <sub>4</sub>	Y
0	0	0	0	1
0	0	0	1	0
0	0	1	0	1
0	0	1	1	1
0	1	0	0	0
0	1	0	1	1
0	1	1	0	1
0	1	1	1	0
1	0	0	0	0
1	0	0	1	1
1	0	1	0	0
1	0	1	1	1
1	1	0	0	1
1	1	0	1	1
1	1	1	0	0
1	1	1	1	1

**Вариант 31**

X <sub>1</sub>	X <sub>2</sub>	X <sub>3</sub>	X <sub>4</sub>	Y
0	0	0	0	0
0	0	0	1	0
0	0	1	0	0
0	0	1	1	1
0	1	0	0	0
0	1	0	1	1
0	1	1	0	0
0	1	1	1	0
1	0	0	0	1
1	0	0	1	1
1	0	1	0	1
1	0	1	1	1
1	1	0	0	0
1	1	0	1	1
1	1	1	0	0
1	1	1	1	1

**Вариант 32**

X <sub>1</sub>	X <sub>2</sub>	X <sub>3</sub>	X <sub>4</sub>	Y
0	0	0	0	0
0	0	0	1	1
0	0	1	0	0
0	0	1	1	1
0	1	0	0	1
0	1	0	1	0
0	1	1	0	1
0	1	1	1	0
1	0	0	0	1
1	0	0	1	1
1	0	1	0	1
1	0	1	1	1
1	1	0	0	0
1	1	0	1	0
1	1	1	0	0
1	1	1	1	1

**Вариант 33**

X <sub>1</sub>	X <sub>2</sub>	X <sub>3</sub>	X <sub>4</sub>	Y
0	0	0	0	1
0	0	0	1	1
0	0	1	0	1
0	0	1	1	0
0	1	0	0	0
0	1	0	1	0
0	1	1	0	1
0	1	1	1	0
1	0	0	0	1
1	0	0	1	0
1	0	1	0	0
1	0	1	1	0
1	1	0	0	1
1	1	0	1	1
1	1	1	0	0
1	1	1	1	0

Полезные ссылки:

Исходные коды: <https://drive.google.com/open?id=0B2DyhVuZZ3BFZUVTOWdLaUl5bXc>

Мануал по GPIO: <https://drive.google.com/open?id=0B2DyhVuZZ3BFWFU2YXJjOEFRTVU>

Дополнительный мануал по GPIO:

<https://drive.google.com/open?id=0B2DyhVuZZ3BFNng2dTIPWWxMX1U>

Мануал по 7-сегментному индикатору:

<https://drive.google.com/open?id=0B2DyhVuZZ3BFREFBQWMzUW9QbWs>

#### **4. Общие требования к оформлению практической работы:**

использовать из методических указаний <https://www.hse.ru/ba/isct/kr>

Работа оформляется на листах бумаги стандартного формата А4.

Текст размещается на одной стороне листа. Размеры полей:

- ✓ левое – 2 см,
- ✓ правое – 1 см,
- ✓ верхнее – 2 см,
- ✓ нижнее – 2 см.

Используется межстрочный интервал **1,5**. Для основного текста используется шрифт **Times New Roman**, размер (кегль) **14 пт**.

Для заголовков рекомендуется использовать стиль «Заголовок» кегль **18 пунктов** для автоматического формирования содержания.

Абзацный отступ составляет **1.25 см**. Абзацы выравниваются **по ширине**. Между абзацами нет увеличенных интервалов.

Объем работы — в среднем **6-9 страниц**

#### **Правила написания формул:**

Все формулы и математические выражения необходимо прописывать через редактор формул.

#### **Правила оформления таблиц, рисунков и графиков**

Таблицы и рисунки должны иметь названия и порядковую нумерацию. В тексте работы должны быть обязательно ссылки на них (например, табл. 1, рис. 3). Нумерация таблиц и рисунков должна быть сквозной для всего текста работы. Порядковый номер таблицы проставляется в правом верхнем углу над ее названием.

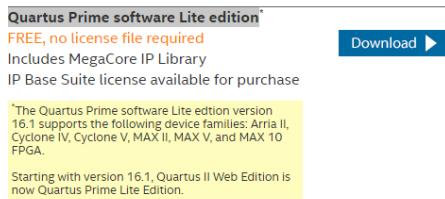
В структуру лабораторной работы входят:

- ✓ Титульный лист (Прил.1),
- ✓ Тема работы,
- ✓ Цель работы,

- ✓ Задание,
- ✓ Краткое описание выполнения каждого пункта задания,
- ✓ Выводы,
- ✓ Список использованной литературы.

## 5. Где скачать и как установить Quartus Prime 15.1

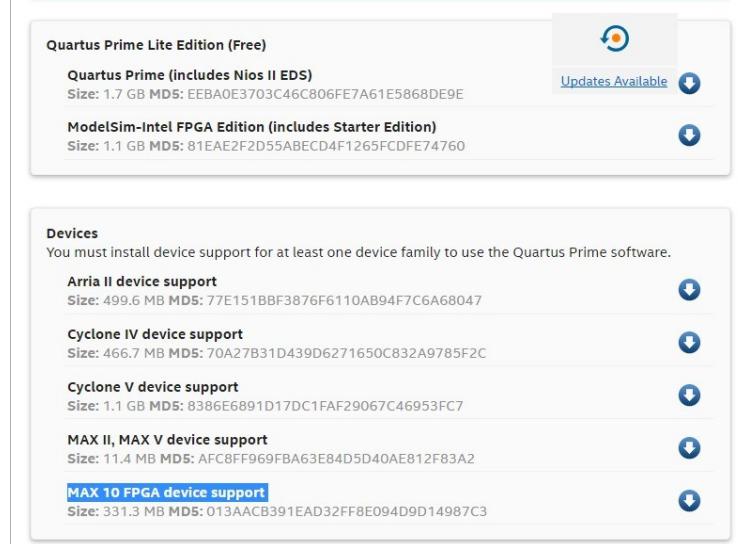
1. Зайти на официальный сайт Altera, центр загрузки:  
<https://www.altera.com/downloads/download-center.html>
2. Выбрать Quartus Prime software Lite edition (бесплатная версия, адрес:  
<http://dl.altera.com/?edition=lite>):



3. Выбрать версию, операционную систему и метод скачивания:



4. Скачать Quartus Prime, ModelSim-Intel FPGA Edition, а также необходимые библиотеки (для плат Марсоход и De1-SoC достаточно Cyclone III, Cyclone IV device support, Cyclone V device support, MAX 10 FPGA device support):



5. Установить программное обеспечение. После установки – согласиться на установку драйверов.
6. \* Если после установки возникает ошибка qreg.exe – необходимо установить последний сервис-пак Windows 7.
7. \* Для работы с платами Марсоход, необходимо распаковать файлы драйверов (например, jtag\_hw\_mbftdi\_blaster\_v16b.zip) в папку среды, например c:\altera\15.0\quartus\bin64, с официального сайта.

8. \* Установить ассоциации названий пинов с их положением на плате, например, DE1\_SoC\_pin\_assignments.csv.

### **N.B. Особенности работы с отладочными платами**

1. Платы Марсоход содержат различные типы ПЛИС. Проблема в том, что новые версии Quartus II не поддерживают серию Cyclone III. Поэтому, для работы с платой Марсоход 2 требуется установка Quartus II версии 12.1 или 13.1 (также подходит и для Марсоход 2bis). Для работы с платами Марсоход 3/3bis рекомендуется Quartus II версии старше 15.1 (также подходит и для Марсоход 2bis).

## Список использованной литературы

1. <https://www.altera.com/downloads/download-center.html>
2. <https://drive.google.com/drive/folders/1gkly9D6jTYQXpsqqEMnhts4W1NURQz1z>
3. <https://marsohod.org/aquartus2>
4. <https://drive.google.com/open?id=0B2DyhVuZZ3BFZUVTOWdLaUl5bXc>
5. <https://drive.google.com/open?id=0B2DyhVuZZ3BFWFU2YXJjOEFRTVU>
6. <https://drive.google.com/open?id=0B2DyhVuZZ3BFNng2dTlPWxMX1U>

ФЕДЕРАЛЬНОЕ ГОСУДАРСТВЕННОЕ АВТОНОМНОЕ  
ОБРАЗОВАТЕЛЬНОЕ УЧРЕЖДЕНИЕ ВЫСШЕГО ОБРАЗОВАНИЯ  
«НАЦИОНАЛЬНЫЙ ИССЛЕДОВАТЕЛЬСКИЙ УНИВЕРСИТЕТ  
«ВЫСШАЯ ШКОЛА ЭКОНОМИКИ»

*Московский институт электроники и математики им.А.Н.Тихонова*

**НАЗВАНИЕ ТЕМЫ ПР**

Практическая работа  
по направлению 09.03.01 Информатика и вычислительная техника  
студента образовательной программы бакалавриата  
«Информатика и вычислительная техника»

Проверил:

---

И.О. Фамилия

---

Подпись

Выполнил:

---

И.О. Фамилия

---

Подпись

Москва 20\_\_г.