

ПРАВИТЕЛЬСТВО РОССИЙСКОЙ ФЕДЕРАЦИИ  
ФЕДЕРАЛЬНОЕ ГОСУДАРСТВЕННОЕ АВТОНОМНОЕ  
ОБРАЗОВАТЕЛЬНОЕ УЧРЕЖДЕНИЕ ВЫСШЕГО ОБРАЗОВАНИЯ  
«НАЦИОНАЛЬНЫЙ ИССЛЕДОВАТЕЛЬСКИЙ УНИВЕРСИТЕТ  
«ВЫСШАЯ ШКОЛА ЭКОНОМИКИ»

**Московский институт электроники и математики  
Им. А.Н.Тихонова НИУ ВШЭ**

**Департамент компьютерной инженерии**

**Практическая работа №2  
«Знакомство с САПР Altera Quartus II»  
Вариант №13**

**Выполнил:**

Студент группы БИВ174

Солодянкин Андрей Александрович

**Проверил:**

Романова Ирина Ивановна

Москва 2020 г.

# **Содержание**

<b>1 Цель работы</b>	<b>3</b>
<b>2 Задание</b>	<b>3</b>
<b>3 Выполнение работы</b>	<b>4</b>
<b>4 Вывод</b>	<b>10</b>
<b>СПИСОК ИСПОЛЬЗОВАННЫХ ИСТОЧНИКОВ</b>	<b>11</b>

# **1 Цель работы**

Синтез и моделирование комбинационных устройств, заданных в табличной форме

# **2 Задание**

Вариант 13

1. Представить функцию алгебры логики, заданную таблицей истинности, в виде:
  - Совершенной дизъюнктивной нормальной формы (СДНФ);
  - Совершенной конъюнктивной нормальной формы (СКНФ);
  - Сравнить работу схем СДНФ и СКНФ.
2. Получить минимизированное представление, заданной логической функции, воспользовавшись методом Квайна-Мак-Класки.
3. Оценить аппаратные ресурсы на реализацию схемы и обосновать полученный результат.
4. Сравнить временные диаграммы двух схем, оценки аппаратных ресурсов.
5. Найти задержку распространения схемы, задержку реакции (отклика) схемы.
6. Запрограммировать учебную плату и продемонстрировать результаты работы на макете.

Таблица 1: Таблица истинности

$X_1$	$X_2$	$X_3$	$X_4$	$Y$
0	0	0	0	1
0	0	0	1	1
0	0	1	0	1
0	0	1	1	0
0	1	0	0	1
0	1	0	1	0
0	1	1	0	1
0	1	1	1	0
1	0	0	0	1
1	0	0	1	0
1	0	1	0	0
1	0	1	1	1
1	1	0	0	1
1	1	0	1	1
1	1	1	0	0
1	1	1	1	1

### 3 Выполнение работы

Итоговая схема схема для СДНФ, СКНФ минимизированных и СКНФ, СДНФ не минимизированных соответственно (рис. 1).

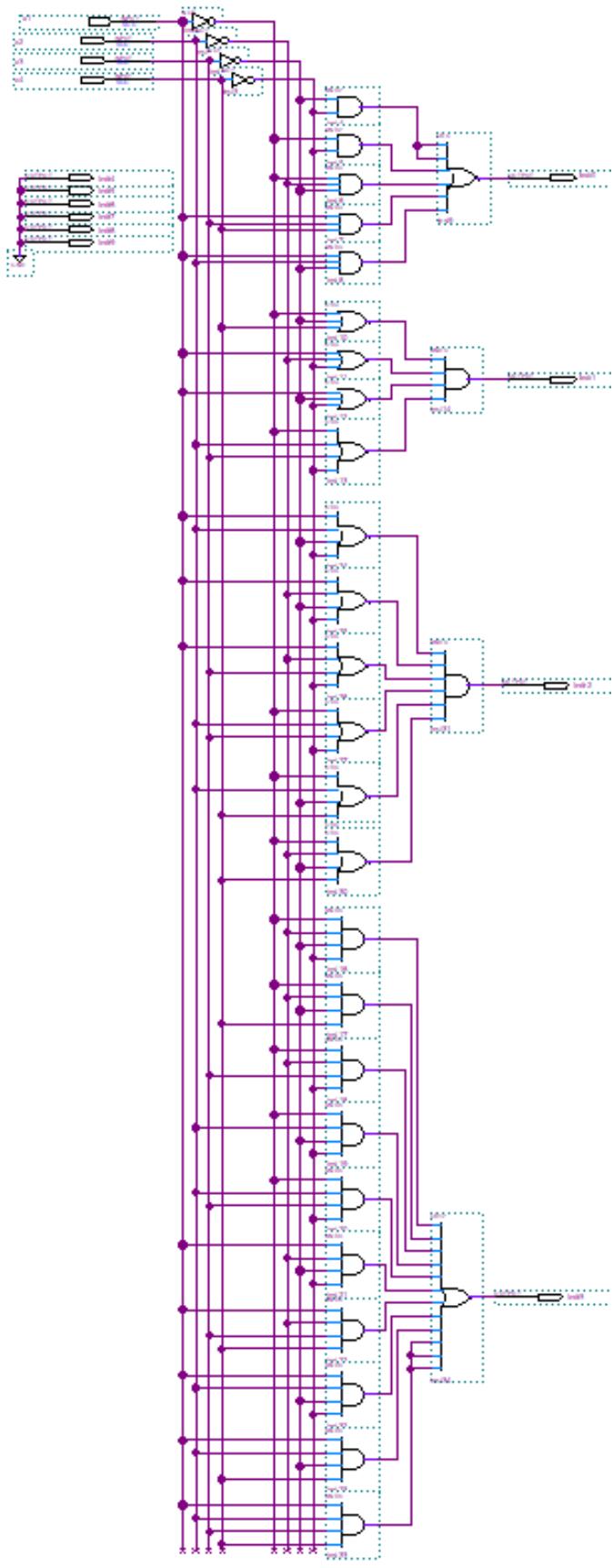


Рис. 1: Итоговая схема

1. Запишем логические функции для СДНФ (формула 1) и СКНФ (формула 2) :

$$\begin{aligned}
& \overline{X}_1 \overline{X}_2 \overline{X}_3 \overline{X}_4 + \overline{X}_1 \overline{X}_2 \overline{X}_3 X_4 + \overline{X}_1 \overline{X}_2 X_3 \overline{X}_4 + \overline{X}_1 X_2 \overline{X}_3 \overline{X}_4 + \\
& \overline{X}_1 X_2 X_3 \overline{X}_4 + X_1 \overline{X}_2 \overline{X}_3 \overline{X}_4 + X_1 \overline{X}_2 X_3 X_4 + X_1 X_2 \overline{X}_3 \overline{X}_4 + X_1 X_2 \overline{X}_3 X_4 + \\
& X_1 X_2 X_3 X_4 = Y
\end{aligned} \quad (1)$$

$$\begin{aligned}
& (X_1 + X_2 + \overline{X}_3 + \overline{X}_4)(\overline{X}_1 + X_2 + \overline{X}_3 + X_4)(\overline{X}_1 + X_2 + X_3 + X_4) \\
& (X_1 + \overline{X}_2 + \overline{X}_3 + X_4)(X_1 + \overline{X}_2 + X_3 + \overline{X}_4)(\overline{X}_1 + \overline{X}_2 + \overline{X}_3 + X_4) = Y
\end{aligned} \quad (2)$$

Полученные схемы:

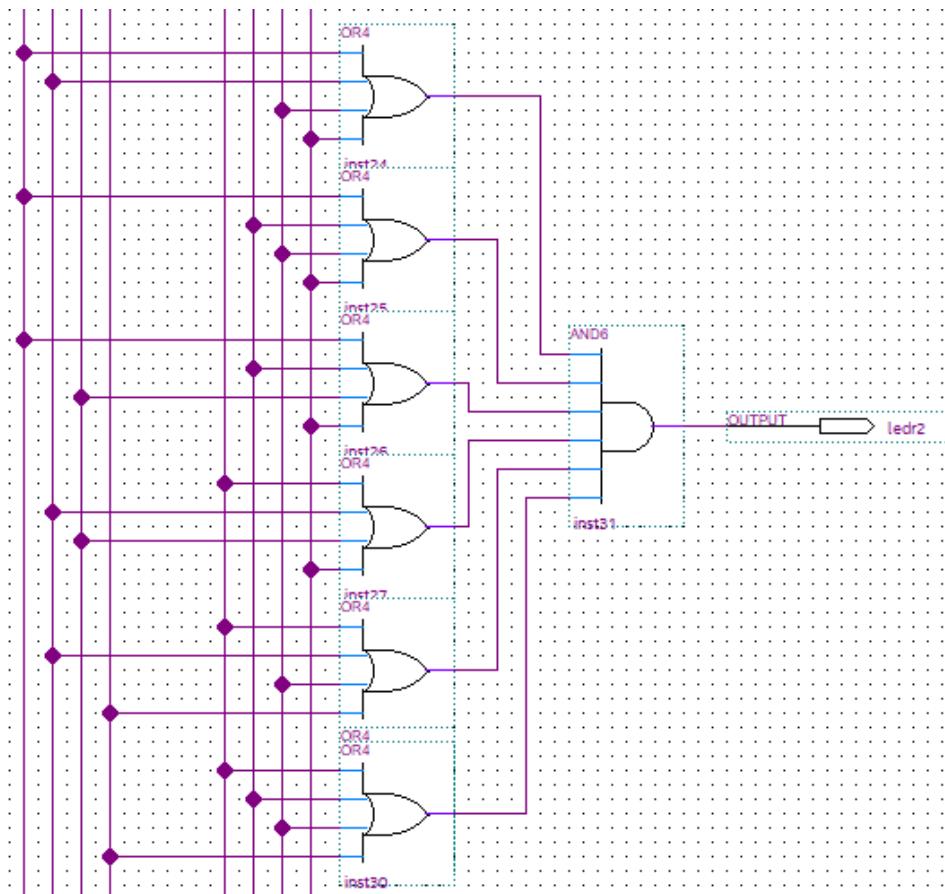


Рис. 2: Схема СКНФ не минимизированная

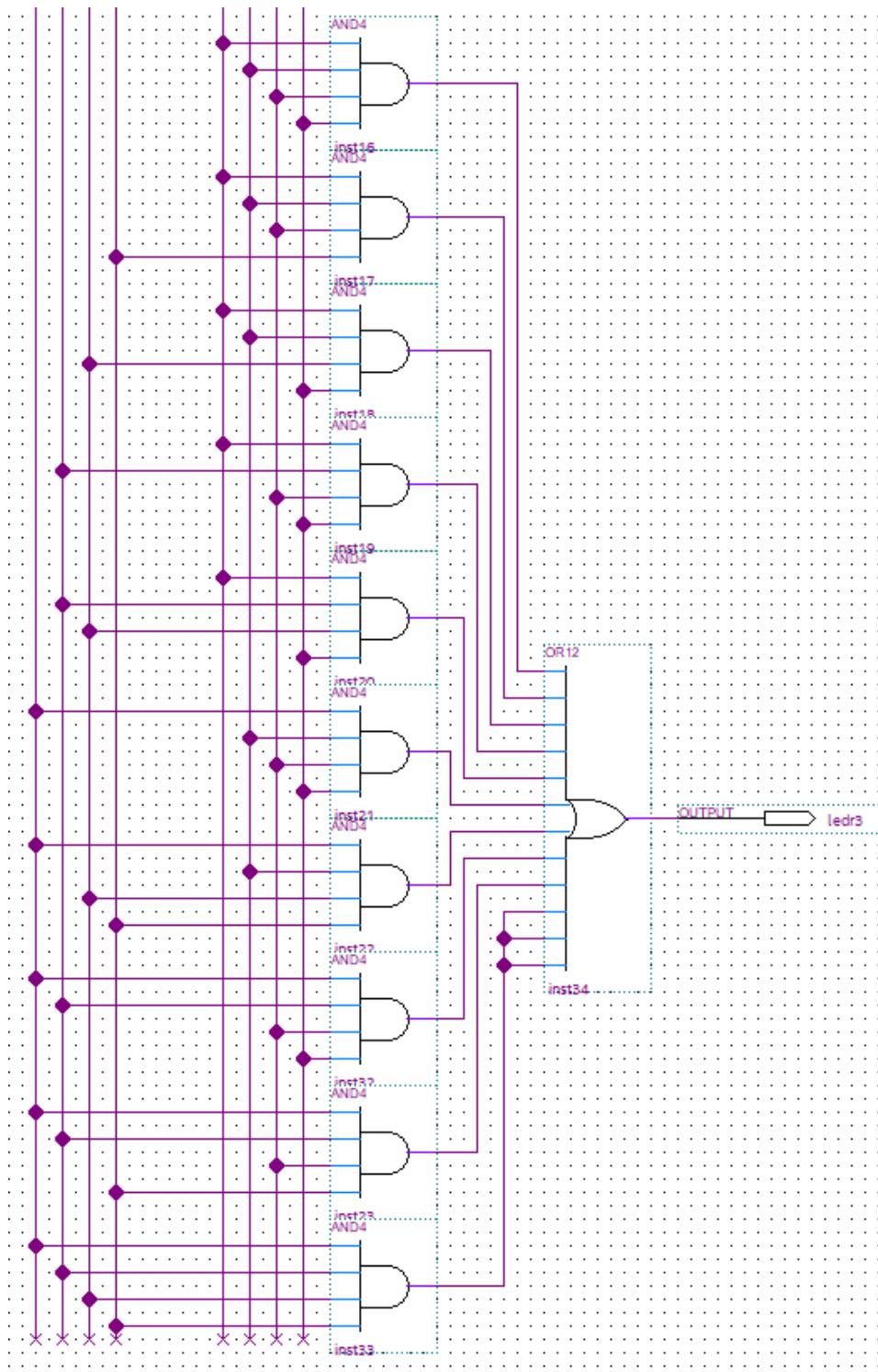


Рис. 3: Схема СДНФ не минимизированная

Разница между СДНФ и СКНФ заключается в том, что в СДНФ

Работа схем СДНФ и СКНФ начинается с получения инверсий входных параметров. Далее для СДНФ получаем необходимые конъюнкции из входных параметров и их инверсий, после находим дизъюнкцию из полученных конъюнкций. Для СКНФ другой порядок, сначала находится дизъюнкция, потом конъюнкция.

2. После минимизации получены следующие функции для СДНФ (формула 3) и СКНФ (формула 4):

$$\overline{X}_3\overline{X}_4 + \overline{X}_1\overline{X}_4 + \overline{X}_1\overline{X}_2\overline{X}_3 + X_1X_3X_4 + X_1X_2\overline{X}_3 = Y \quad (3)$$

$$(\overline{X}_1 + \overline{X}_3 + X_4)(X_1 + \overline{X}_2 + \overline{X}_4)(X_1 + \overline{X}_3 + \overline{X}_4)(\overline{X}_1 + X_2 + X_3 + \overline{X}_4) = Y \quad (4)$$

Полученные схемы:

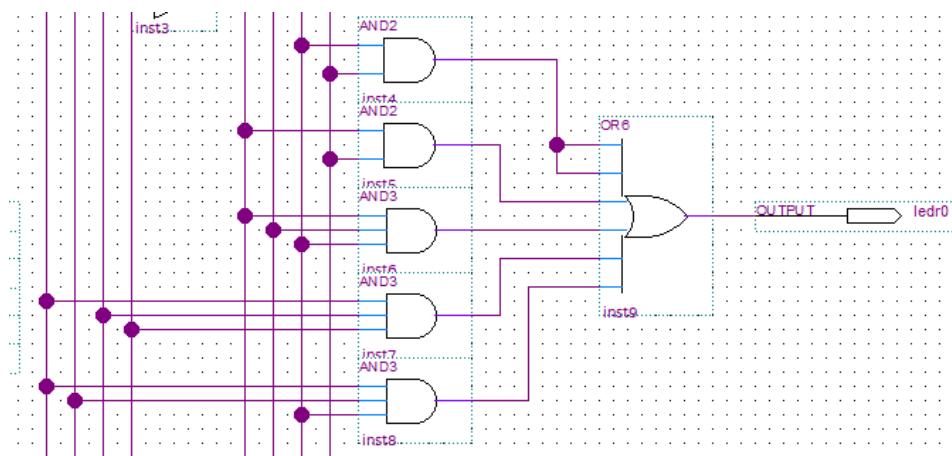


Рис. 4: Схема СДНФ минимизированная

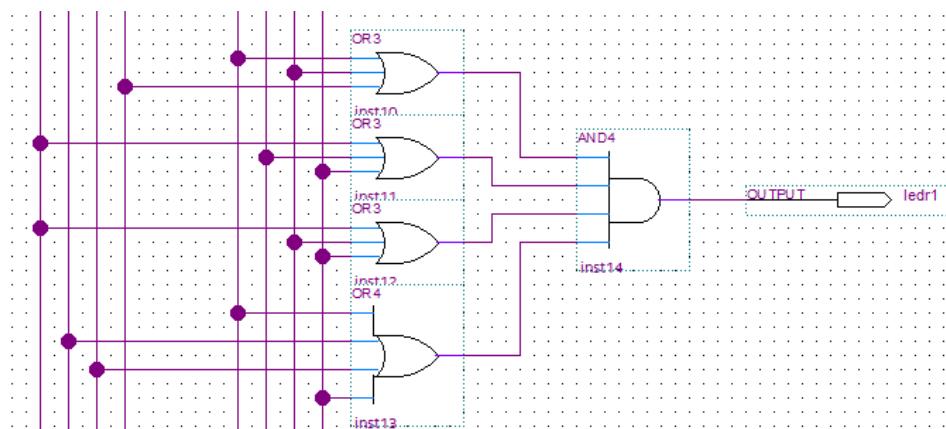


Рис. 5: Схема СКНФ минимизированная

3. Оценка аппаратных ресурсов

- СДНФ не мин.:  $4 * \text{НЕ} + 10 * \text{4И} + 10\text{ИЛИ} = 15$
- СКНФ не мин.:  $4 * \text{НЕ} + 6 * \text{4ИЛИ} + 6\text{И} = 11$

- СДНФ мин.:  $4 * \text{НЕ} + 2 * \text{2И} + 3 * \text{ЗИ} + 5\text{ИЛИ} = 10$
- СКНФ мин.:  $4 * \text{НЕ} + 3 * \text{ЗИЛИ} + 4\text{ИЛИ} + 4\text{И} = 9$

Не удивительно минимизированные функции требуют меньшее число логических элементов.

#### 4. Временные диаграммы для СДНФ, СКНФ минимизированных и не минимизированных (рис. 6).

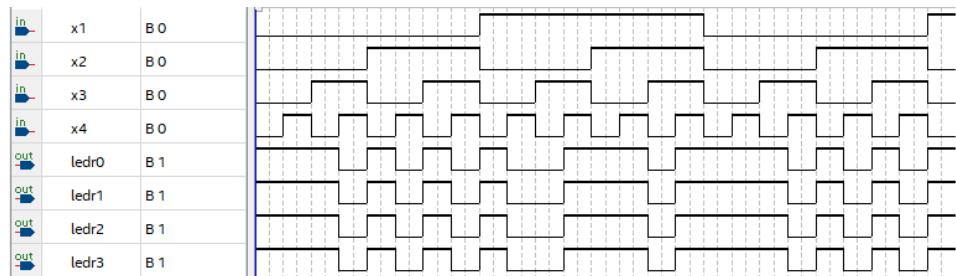


Рис. 6: Временные диаграммы для всех 4 функций

Временные диаграммы совпадают, детальнее сравнить невозможно, т.к. данный инструмент (*UniversityProgramVWF*) не позволяет точнее сравнить аппаратные ресурсы.

#### 5. Задержка распространения схемы, задержка реакции (отклика) схемы

Задержка распространения – это максимальное время от начала изменения входного сигнала схемы до момента, когда все ее выходы достигнут своих стационарных состояний.

Задержка реакции – это минимальное время от момента, когда входной сигнал изменился, до момента, когда любой из выходов начнет менять свое значение.

На рис. 7 представлены различные задержки данных из *TimeQuestTimingAnalyzer*, видно что они не сильно различаются (при условии, что схема простая и работает быстро).

- Максимальное значение: 3.968ns
- Минимальное значение: 3.22ns
- Разброс: 0.748ns

To Node	Launch Clock	Latch Clock	Relationship	Clock Skew	Data Delay
sld_hub:auto_hub alt_sld_fab_with_jtag_input..jtag_hub_gen:real_sld_jtag_hub tdo	altera_reserved_tck	altera_reserved_tck	50.000	0.092	3.968
sld_hub:auto_hub alt_sld_fab_with_jtag_input..jtag_hub_gen:real_sld_jtag_hub tdo	altera_reserved_tck	altera_reserved_tck	50.000	0.094	3.571
sld_hub:auto_hub alt_sld_fab_with_jtag_input..jtag_hub_gen:real_sld_jtag_hub tdo	altera_reserved_tck	altera_reserved_tck	50.000	0.094	3.502
sld_hub:auto_hub alt_sld_fab_with_jtag_input..jtag_hub_gen:real_sld_jtag_hub tdo	altera_reserved_tck	altera_reserved_tck	50.000	0.094	3.463
sld_hub:auto_hub alt_sld_fab_with_jtag_input..jtag_hub_gen:real_sld_jtag_hub tdo	altera_reserved_tck	altera_reserved_tck	50.000	0.092	3.445
sld_hub:auto_hub alt_sld_fab_with_jtag_input..jtag_hub_gen:real_sld_jtag_hub tdo	altera_reserved_tck	altera_reserved_tck	50.000	0.092	3.437
sld_hub:auto_hub alt_sld_fab_with_jtag_input..jtag_hub_gen:real_sld_jtag_hub tdo	altera_reserved_tck	altera_reserved_tck	50.000	0.092	3.413
sld_hub:auto_hub alt_sld_fab_with_jtag_input..jtag_hub_gen:real_sld_jtag_hub tdo	altera_reserved_tck	altera_reserved_tck	50.000	0.092	3.341
sld_hub:auto_hub alt_sld_fab_with_jtag_input..jtag_hub_gen:real_sld_jtag_hub tdo	altera_reserved_tck	altera_reserved_tck	50.000	0.092	3.259
sld_hub:auto_hub alt_sld_fab_with_jtag_input..jtag_hub_gen:real_sld_jtag_hub tdo	altera_reserved_tck	altera_reserved_tck	50.000	0.094	3.220

Рис. 7: Data delay

Задержка распространения и задержка реакции для всех схем примерно одинаковая, т.к. критический путь для каждой схемы 3 логических элемента (НЕ, ИЛИ, И).

6. Все 4 функции были загружены на плату и протестированы. Все работает (рис. 8).

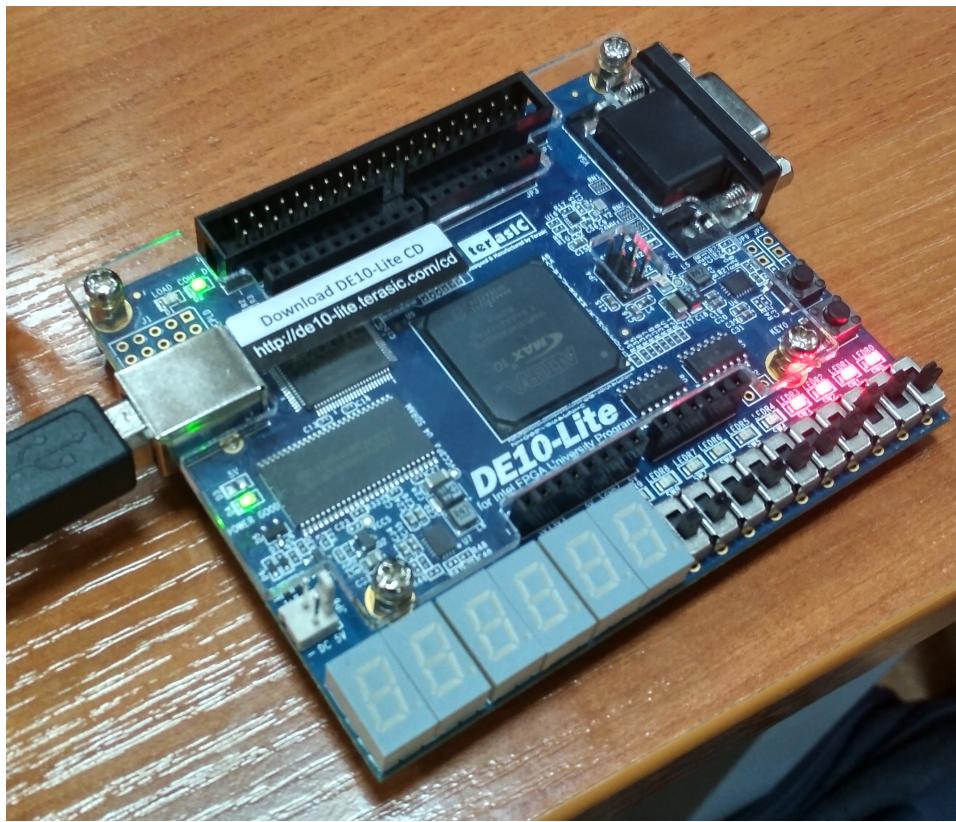


Рис. 8: Пример работающей платы

## **4 Вывод**

В ходе проделанной работы были получены логические формулы СКНФ и СДНФ в минимизированном и не минимизированном видах. Оценены аппаратные ресурсы (минимизированные схемы требуют меньшее число логических элементов) и временные ресурсы. Получен опыт работы с *TimeQuestTimingAnalyzer*. Построена временная диаграмма для полученных функций, а также логические функции были протестированы на плате.

## **СПИСОК ИСПОЛЬЗОВАННЫХ ИСТОЧНИКОВ**

1. Vijayakumar P., Vijayalakshmi V., Zayaraz G. Comparative study of hyperelliptic curve cryptosystem over prime field and its survey //International Journal of Hybrid Information Technology. – 2014. – Т. 7. – №. 1. – С. 137-146.
2. Антонов А., Филиппов А., Золотухо Р. Средства системной отладки САПР Quartus II //Компоненты и технологии. – 2008. – №. 89.