

ПРАВИТЕЛЬСТВО РОССИЙСКОЙ ФЕДЕРАЦИИ
ФЕДЕРАЛЬНОЕ ГОСУДАРСТВЕННОЕ АВТОНОМНОЕ
ОБРАЗОВАТЕЛЬНОЕ УЧРЕЖДЕНИЕ ВЫСШЕГО ОБРАЗОВАНИЯ
«НАЦИОНАЛЬНЫЙ ИССЛЕДОВАТЕЛЬСКИЙ УНИВЕРСИТЕТ
«ВЫСШАЯ ШКОЛА ЭКОНОМИКИ»

**Московский институт электроники и математики
Им. А.Н.Тихонова НИУ ВШЭ**

Департамент компьютерной инженерии

**Практическая работа №4
«Знакомство с САПР Altera Quartus II»
Вариант №13**

Выполнил:

Студент группы БИВ174

Солодянкин Андрей Александрович

Проверил:

Романова Ирина Ивановна

Москва 2020 г.

Содержание

1 Цель работы	3
2 Задание	3
3 Выполнение работы	3
3.1 Исследование сумматоров	3
3.1.1 Проектирование одноразрядного сумматора	3
3.1.2 Исследование работы двухразрядного сумматора	6
3.1.3 Исследование работы четырехразрядного сумматора	7
3.2 Исследование работы четырехразрядного вычитателя	10
4 Вывод	13
СПИСОК ИСПОЛЬЗОВАННЫХ ИСТОЧНИКОВ	14

1 Цель работы

Моделирование работы дешифратора, изучение карт Карно.

2 Задание

1. Используя логические элементы спроектировать схему и исследовать работу (снять временную характеристику и таблицу задержек) одноразрядного двухразрядного и четырехразрядного сумматора.
2. Построить временную диаграмму и выполнить моделирование в режимах Functional и Time. Сравнить и обосновать полученные результаты.
3. Запрограммировать учебную плату и продемонстрировать результаты работы на макете.
4. На базе сумматора построить вычитатель. Спроектировать его схему и исследовать работу (снять временную диаграмму и таблицу задержек)
5. Построить временную диаграмму и выполнить моделирование в режимах Functional и Time. Сравнить и обосновать полученные результаты.
6. Запрограммировать учебную плату и продемонстрировать результаты работы на макете.

3 Выполнение работы

3.1 Исследование сумматоров

3.1.1 Проектирование одноразрядного сумматора

Построим схему одноразрядного сумматора (рис. 1).

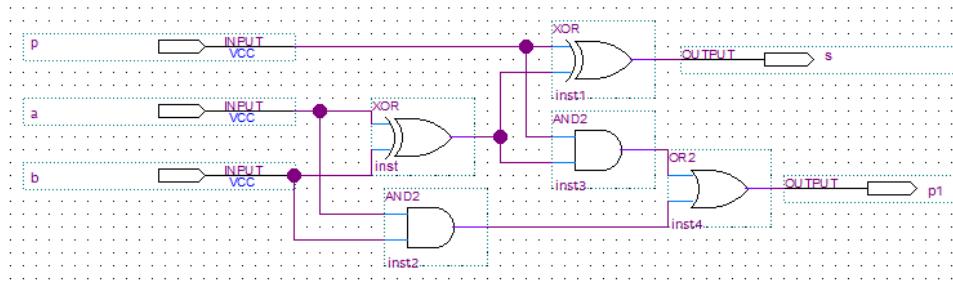


Рис. 1: Схема одноразрядного сумматора

Для одноразрядного сумматора получились следующие задержки (рис. 2). Временные задержки были получены следующим образом: TimeQuest Timing Analysis > Write SDC file.. > Report Datasheet.

	Input Port	Output Port	RR	RF	FR	FF
1	a	p1	7.605			7.499
2	a	s	7.537	7.322	7.662	7.438
3	b	p1	7.746			7.672
4	b	s	7.683	7.468	7.788	7.616
5	p	p1	7.961			7.870
6	p	s	7.909	7.741	8.046	7.843

Рис. 2: Временные задержки одноразрядного сумматора

В файле с временными диаграммами добавим все пины и установим входные значения. Полученные временные диаграммы рис. 3.

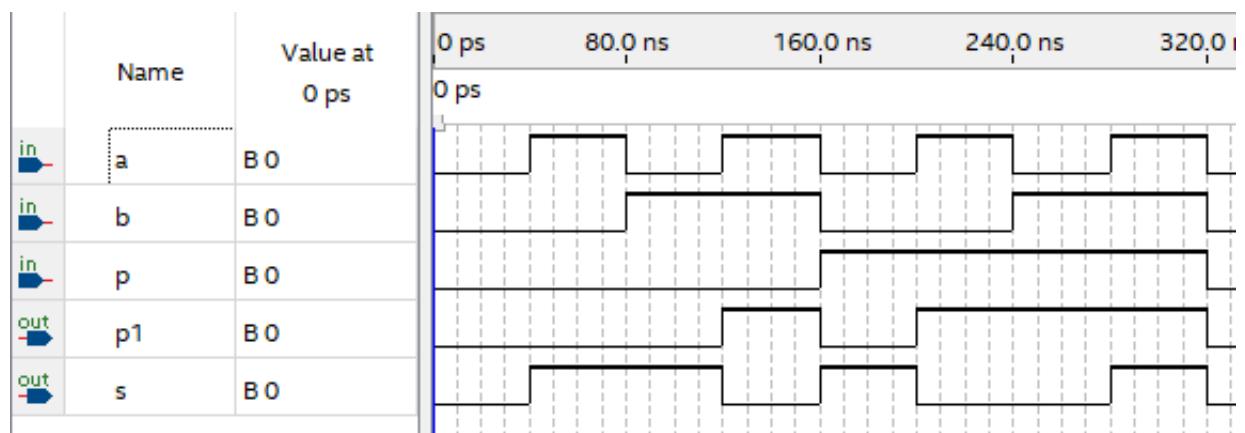


Рис. 3: Временные диаграммы одноразрядного сумматора

Моделирование в режимах Functional и Time не отличается, т.к. на приведенной частоте задержек не видно.

Загрузим на плату и протестируем работу (рис. 4)



Рис. 4: Фото рабочей платы

(Фото есть т.к. работа выполнялась до карантина)

Далее соберем данную схему как один логический элемент. Для этого необходимо выбрать в меню File Create/Update, далее Create Symbol Files for Current File (рис. 5).

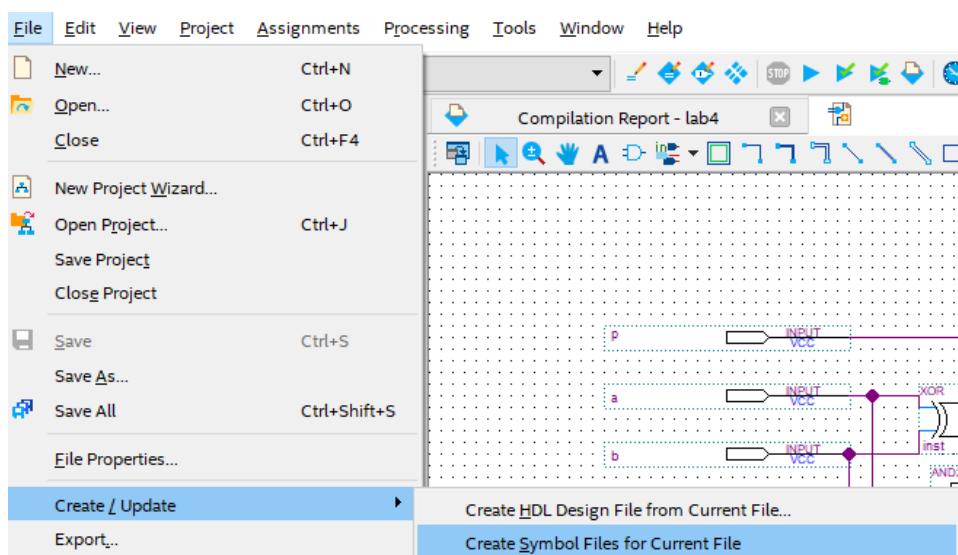


Рис. 5: Создание логического элемента

В открывшемся окне сохраняем элемент.

3.1.2 Исследование работы двухразрядного сумматора

В меню логических элементов найдем созданный нами одноразрядный сумматор. На его основе спроектируем двухразрядный сумматор (рис. 6).

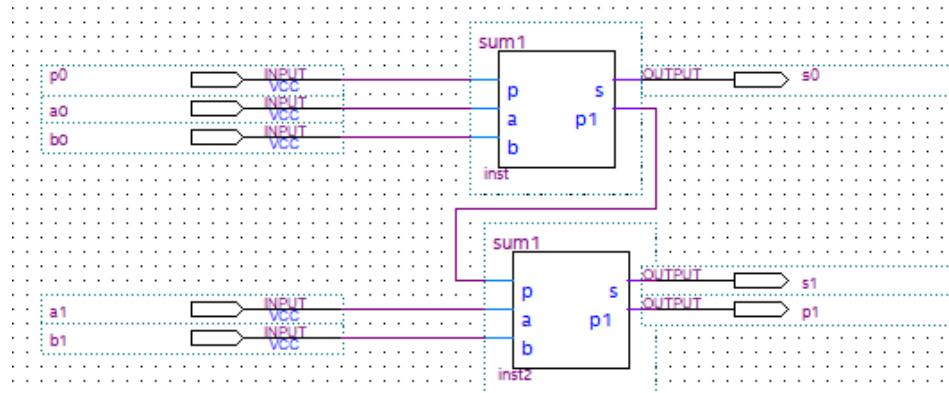


Рис. 6: Схема двухразрядного сумматора

По описанному ранее порядку найдем временные задержки (рис. 7).

	Input Port	Output Port	RR	RF	FR	FF
1	a0	p1	8.263			8.315
2	a0	s0	7.906	7.685	8.060	7.882
3	a0	s1	8.542	8.373	8.770	8.598
4	a1	p1	7.606			7.611
5	a1	s1	7.870	7.665	8.030	7.868
6	b0	p1	8.455			8.469
7	b0	s0	8.097	7.876	8.270	8.040
8	b0	s1	8.734	8.565	8.924	8.752
9	b1	p1	7.827			7.796
10	b1	s1	8.091	7.886	8.265	8.051
11	p0	p1	8.389			8.439
12	p0	s0	8.044	7.870	8.251	8.042
13	p0	s1	8.668	8.499	8.894	8.722

Рис. 7: Временные задержки двухразрядного сумматора

В результате моделирования временная диаграмма имеет следующий вид (рис. 8).

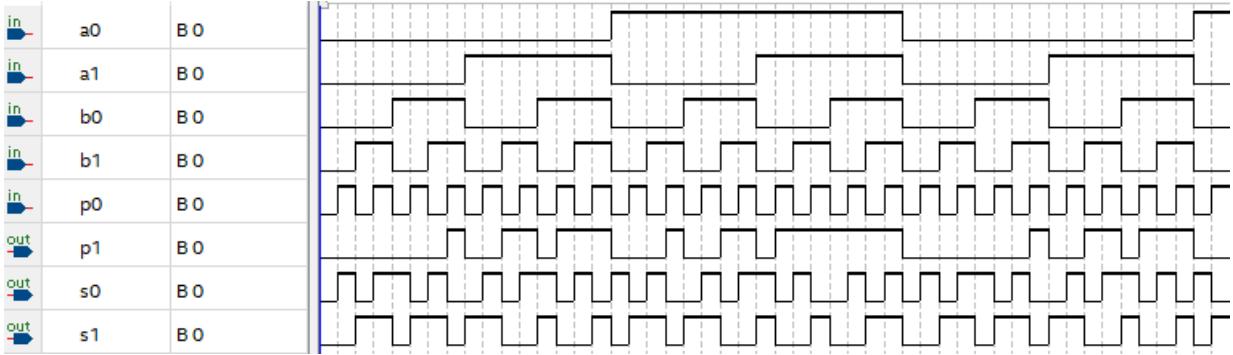


Рис. 8: Временная диаграмма для двухразрядного сумматора

Моделирование в режимах Functional и Time не отличается, т.к. на приведенной частоте задержек не видно.

Загрузим на плату и протестируем работу (рис. 9)

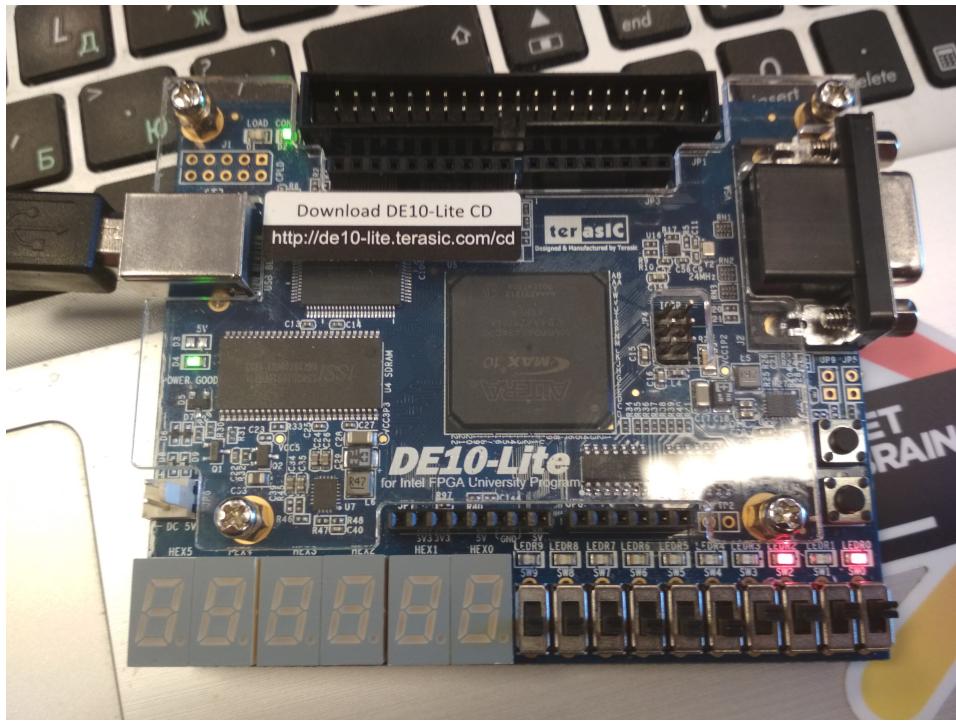


Рис. 9: Фото рабочей платы

3.1.3 Исследование работы четырехразрядного сумматора

В меню логических элементов найдем созданный нами одноразрядный сумматор. На его основе спроектируем четырехразрядный сумматор (рис. 10).

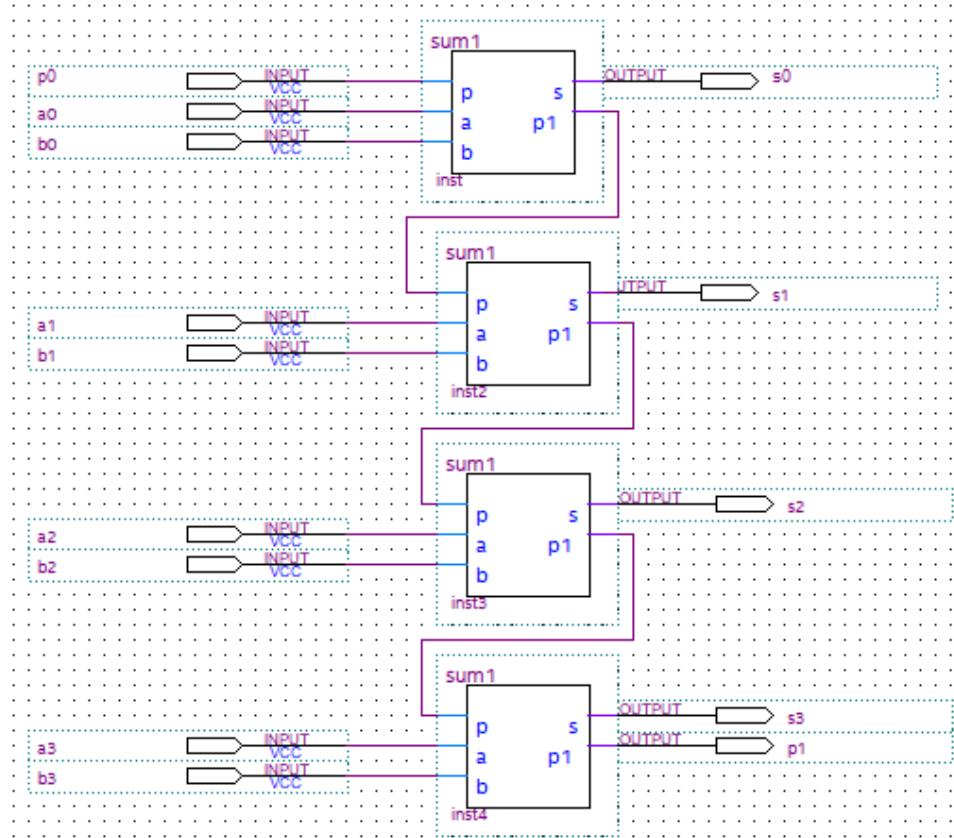


Рис. 10: Схема четырехразрядного сумматора

По описанному ранее порядку найдем временные задержки (рис. 11).

	Input Port	Output Port	RR	RF	FR	FF
1	a0	p1	10.676			10.806
2	a0	s0	8.726	8.565	8.879	8.677
3	a0	s1	9.412	9.236	9.650	9.436
4	a0	s2	10.969	10.733	11.252	11.007
5	a0	s3	11.322	11.250	11.640	11.530
6	a1	p1	9.940			9.991
7	a1	s1	8.674	8.507	8.856	8.622
8	a1	s2	10.233	9.997	10.437	10.192
9	a1	s3	10.586	10.514	10.825	10.715
10	a2	p1	10.282			10.396
11	a2	s2	10.572	10.336	10.787	10.594
12	a2	s3	10.928	10.856	11.230	11.120
13	a3	p1	9.529			9.567
14	a3	s3	10.162	10.052	10.380	10.313
15	b0	p1	10.476			10.614
16	b0	s0	8.501	8.302	8.719	8.511
17	b0	s1	9.212	9.036	9.458	9.244
18	b0	s2	10.769	10.533	11.060	10.815
19	b0	s3	11.122	9.212	11.448	11.338
20	b1	p1	9.908			10.002
21	b1	s1	8.635	8.421	8.831	8.660
22	b1	s2	10.201	9.965	10.448	10.203
23	b1	s3	10.554	10.482	10.836	10.726
24	b2	p1	10.579			10.729
25	b2	s2	10.935	10.735	11.206	11.003
26	b2	s3	11.225	11.153	11.563	11.453
27	b3	p1	6.606			6.557
28	b3	s3	7.251	7.188	7.412	7.282
29	p0	p1	10.620			10.754
30	p0	s0	8.667	8.515	8.850	8.631
31	p0	s1	9.356	9.180	9.598	9.384
32	p0	s2	10.913	10.677	11.200	10.955
33	p0	s3	11.266	11.194	11.588	11.478

Рис. 11: Временные задержки четырехразрядного сумматора

В результате моделирования временная диаграмма имеет следующий вид (рис.

12).

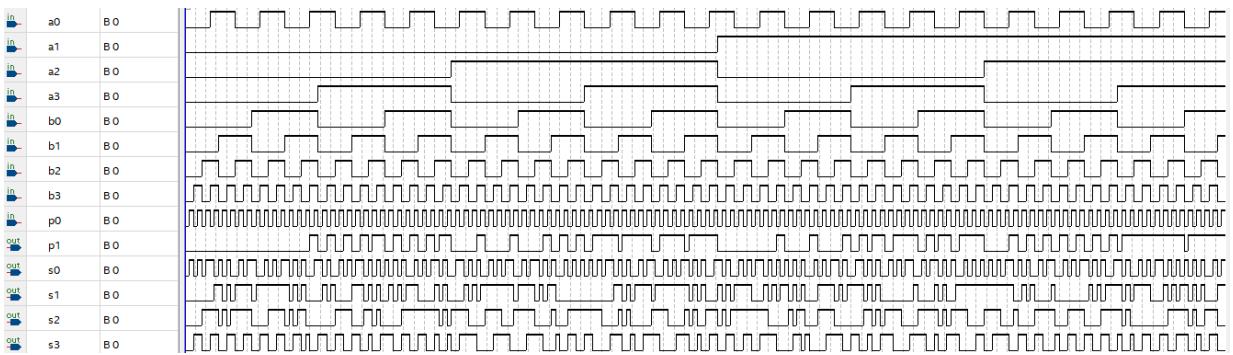


Рис. 12: Временная диаграмма для четырехразрядного сумматора

Моделирование в режимах Functional и Time не отличается, т.к. на приведенной частоте задержек не видно.

Загрузим на плату и протестируем работу (рис. 13)

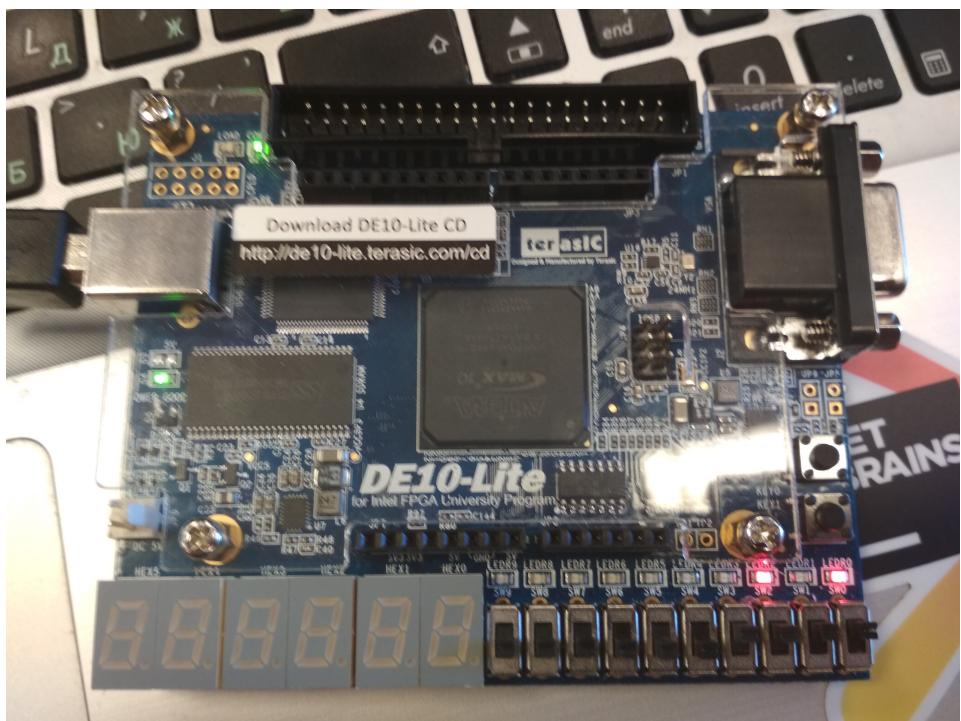


Рис. 13: Фото рабочей платы

3.2 Исследование работы четырехразрядного вычитателя

Есть 2 числа $A = a_3a_2a_1a_0$ и $B = b_3b_2b_1b_0$, необходимо получить разность чисел B и A $S = s_3s_2s_1s_0$. p - сигнал переполнения.

Для реализации вычитателя необходимо инвертировать вычитаемое число и вход переноса из предыдущего разряда подать логическую единицу.

В меню логических элементов найдем созданный нами одноразрядный сумматор. На его основе спроектируем четырехразрядный вычитатель (рис. 14).

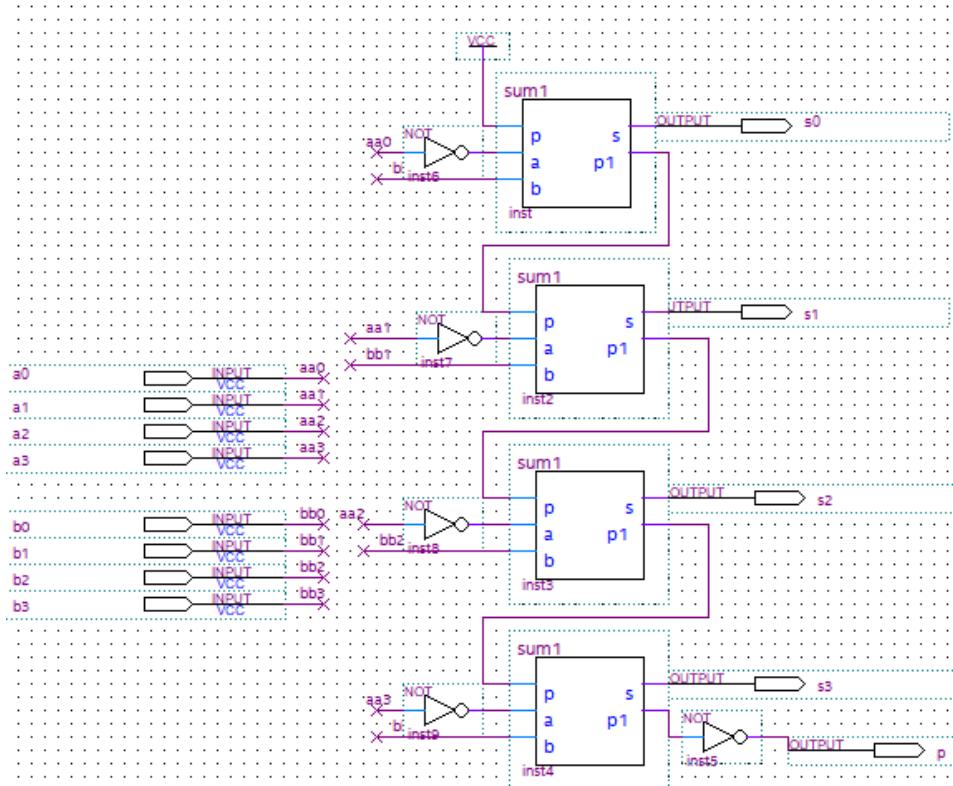


Рис. 14: Схема четырехразрядного вычитателя

По описанному ранее порядку найдем временные задержки (рис. 15).

	Input Port	Output Port	RR	RF	FR	FF
1	a0	p	10.224			10.656
2	a0	s0	7.858	7.663	8.000	7.842
3	a0	s1	9.572	9.807	9.803	10.047
4	a0	s2	9.602	9.836	9.842	10.067
5	a0	s3	10.308	10.433	10.547	10.663
6	a1	p	10.082			10.467
7	a1	s1	9.434	9.608	9.654	9.861
8	a1	s2	9.460	9.694	9.653	9.878
9	a1	s3	10.166	10.291	10.358	10.474
10	a2	p	10.128			10.499
11	a2	s2	9.507	9.685	9.664	9.909
12	a2	s3	10.212	10.337	10.390	10.506
13	a3	p	7.351			7.616
14	a3	s3	7.435	7.504	7.486	7.622
15	b0	p		10.343	10.445	
16	b0	s0	8.078	7.882	8.230	8.025
17	b0	s1	9.498	9.733	9.793	9.985
18	b0	s2	9.529	9.754	9.823	10.057
19	b0	s3	10.234	10.350	10.529	10.654
20	b1	p		10.692	10.829	
21	b1	s1	9.894	10.086	10.184	10.372
22	b1	s2	9.878	10.103	10.207	10.441
23	b1	s3	10.583	10.699	10.913	11.038
24	b2	p		7.994	7.882	
25	b2	s2	7.220	7.407	7.263	7.491
26	b2	s3	7.885	8.001	7.966	8.091
27	b3	p		9.811	9.847	
28	b3	s3	9.741	9.819	9.930	10.049

Рис. 15: Временные задержки четырехразрядного вычитателя

В результате моделирования временная диаграмма имеет следующий вид (рис. 16).

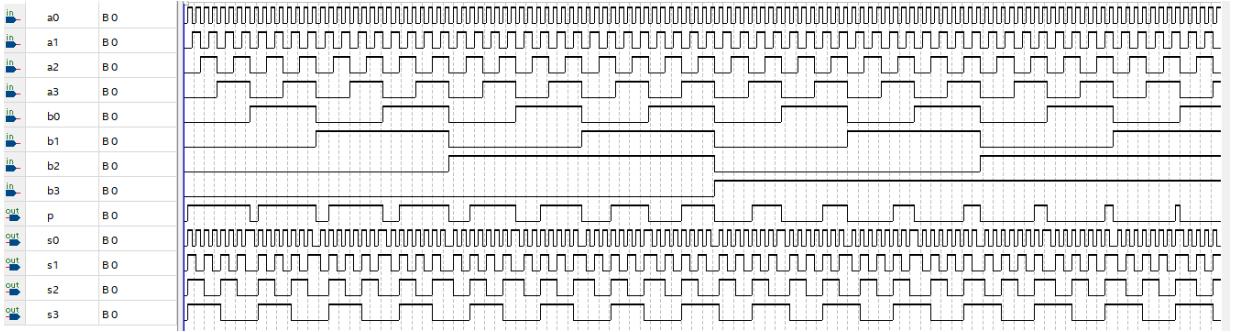


Рис. 16: Временная диаграмма для четырехразрядного вычитателя

Моделирование в режимах Functional и Time не отличается, т.к. на приведенной частоте задержек не видно.

Загрузим на плату и протестируем работу (рис. 17)

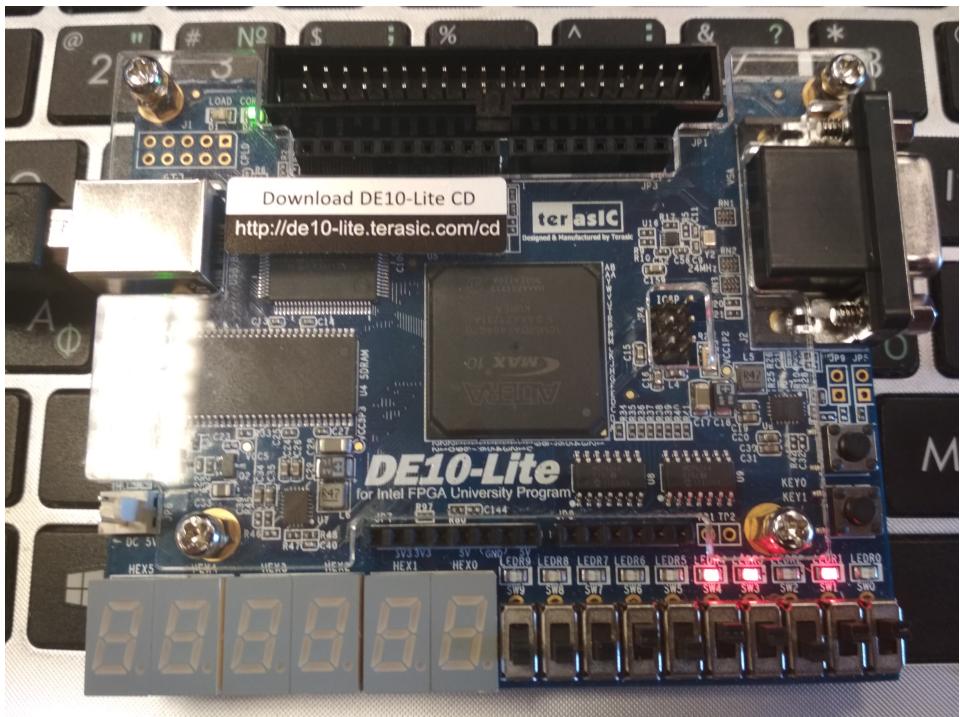


Рис. 17: Фото рабочей платы

4 Вывод

В ходе проделанной работы был создан одноразрядный сумматор. На его основе были спроектированы двухразрядный и четырехразрядный сумматоры, а также четырехразрядный вычитатель. При помощи TimeQuest Timing Analysis были получены задержки для каждого входного параметра. Схема была протестирована при помощи WaveForm, а также удалось загрузить схему на плату и протестировать работоспособность программы на плате.

СПИСОК ИСПОЛЬЗОВАННЫХ ИСТОЧНИКОВ

1. Vijayakumar P., Vijayalakshmi V., Zayaraz G. Comparative study of hyperelliptic curve cryptosystem over prime field and its survey //International Journal of Hybrid Information Technology. – 2014. – Т. 7. – №. 1. – С. 137-146.
2. Антонов А., Филиппов А., Золотухо Р. Средства системной отладки САПР Quartus II //Компоненты и технологии. – 2008. – №. 89.