

**ПРАВИТЕЛЬСТВО РОССИЙСКОЙ ФЕДЕРАЦИИ
ФЕДЕРАЛЬНОЕ ГОСУДАРСТВЕННОЕ АВТОНОМНОЕ
ОБРАЗОВАТЕЛЬНОЕ УЧРЕЖДЕНИЕ ВЫСШЕГО ОБРАЗОВАНИЯ
«НАЦИОНАЛЬНЫЙ ИССЛЕДОВАТЕЛЬСКИЙ УНИВЕРСИТЕТ
«ВЫСШАЯ ШКОЛА ЭКОНОМИКИ»**

**Московский институт электроники и математики
Им. А.Н.Тихонова НИУ ВШЭ**

Департамент компьютерной инженерии

**Практическая работа №5
«Разработка конвейерного умножителя в среде Altera Quartus II»
Вариант №13**

Выполнил:

Студент группы БИВ174

Солодянкин Андрей Александрович

Проверил:

Романова Ирина Ивановна

Москва 2020 г.

Содержание

1	Цель работы	3
2	Задание	3
3	Часть 1. «Знакомство со средой проектирования Quartus II. Создание проекта»	3
3.1	Создание проекта	3
3.2	Разработка конвейерного умножителя	5
3.2.1	Создание умножителя 8x8 с помощью утилиты Mega Wizard®Plug-in Manager	5
3.2.2	Создание 32x16 RAM с помощью утилиты Mega Wizard®Plug-in Manager	7
3.2.3	Создание HEX файл с помощью редактора Memory Editor . .	9
3.2.4	Добавление блоков в проект и создание связей	10
4	Часть 2. «Моделирование проекта в среде Quartus II»	10
5	Часть 3. «Компиляция проекта в среде Quartus II. Анализ результатов компиляции»	11
5.1	Компиляция проекта	11
5.2	RTL представление проекта	12
5.3	Редактор chip planner	12
6	Доп задание	13
7	Вывод	14
	СПИСОК ИСПОЛЬЗОВАННЫХ ИСТОЧНИКОВ	15

1 Цель работы

Моделирование работы дешифратора, изучение карт Карно.

2 Задание

1. Выполнить действия, описанный в практической работе 5 – Часть 1, 2, 3;
2. Оформить отчет, который должен включать: титульный лист, введение и постановку задачи, тему работы, описание всех этапов выполнения проекта, скриншоты (рисунки с подписями) ключевых моментов, выводы;
3. Изменить схему устройства добавив собственный блок памяти. Объяснить работу устройства;
4. Изменить схему устройства добавив арифметический блок. Объяснить работу устройства.

3 Часть 1. «Знакомство со средой проектирования Quartus II. Создание проекта»

3.1 Создание проекта

Для начала необходимо открыть Quartus, открываем его.

Далее заходим в меню File и выбираем New Project Wizard. В открывшемся окне жмем Next, в следующем выбираем директорию для проекта и вводим имя проекта, жмем 2 раза Next.

В следующем окне выбираем все как на рис. 1 и жмем далее 2 раза.

Select the family and device you want to target for compilation.

Family: Cyclone II

Target device

☐ Auto device selected by the Fitter

☒ Specific device selected in 'Available devices' list

Show in 'Available device' list

Package: FBGA

Pin count: 256

Speed grade: Fastest

☒ Show advanced devices

☐ HardCopy compatible only

Available devices:

Name	Core v...	LEs	User I/...	Memor...	Embed...	PLL
EP2C5F256C6	1.2V	4608	158	119808	26	2
EP2C8F256C6	1.2V	8256	182	165888	36	2
EP2C15AF256C6	1.2V	14448	152	239616	52	4
EP2C20F256C6	1.2V	18752	152	239616	52	4

Рис. 1: Создание нового проекта

На последнем шаге должны получиться значения как на рис. 2.

When you click Finish, the project will be created with the following settings:

Project directory:

D:/repos/hse_SoC_labs/II/Lab5/

Project name: try1

Top-level design entity: try1

Number of files added: 0

Number of user libraries added: 0

Device assignments:

Family name: Cyclone II

Device: EP2C5F256C6

EDA tools:

Design entry/synthesis: <None>

Simulation: <None>

Timing analysis: <None>

Operating conditions:

Core voltage: 1.2V

Junction temperature range: 0-85 °C

Рис. 2

3.2 Разработка конвейерного умножителя

3.2.1 Создание умножителя 8x8 с помощью утилиты Mega Wizard® Plug-in Manager

Для создания необходимо в меню выбрать Tools > Mega Wizard Plug-in Manager, в открывшемся окне выбираем опцию Create a new custom megafunction variation. Далее в папке Arithmetics выбираем LPM_MULT (рис. 3). Семейство микросхем выбираем Cyclone II.

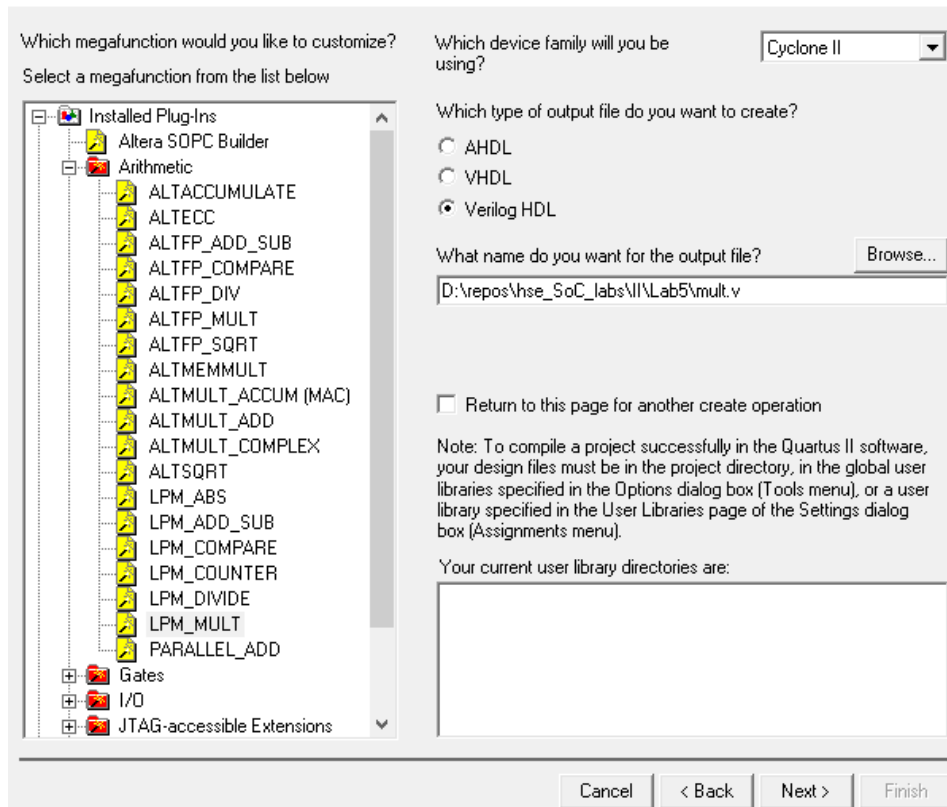


Рис. 3: Создание мегафункции

Поля dataa и datab на рис. 4 оставляем по 8 бит. Жмем next 2 раза.

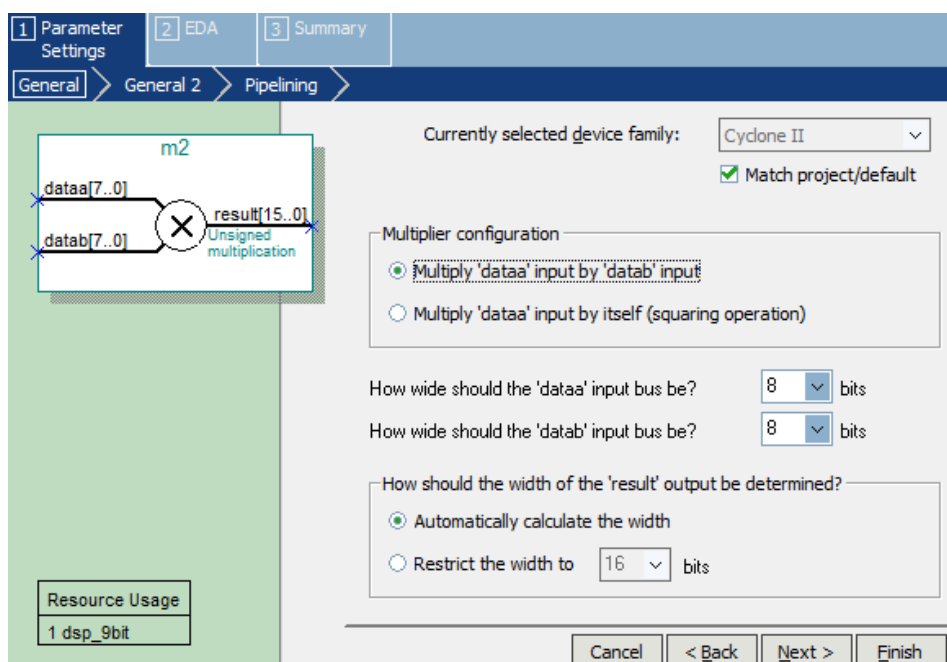


Рис. 4: Создание мегафункци

Далее в первом окне выбираем уес и вводим число 2 (рис. 5), нажимаем next 2 раза.

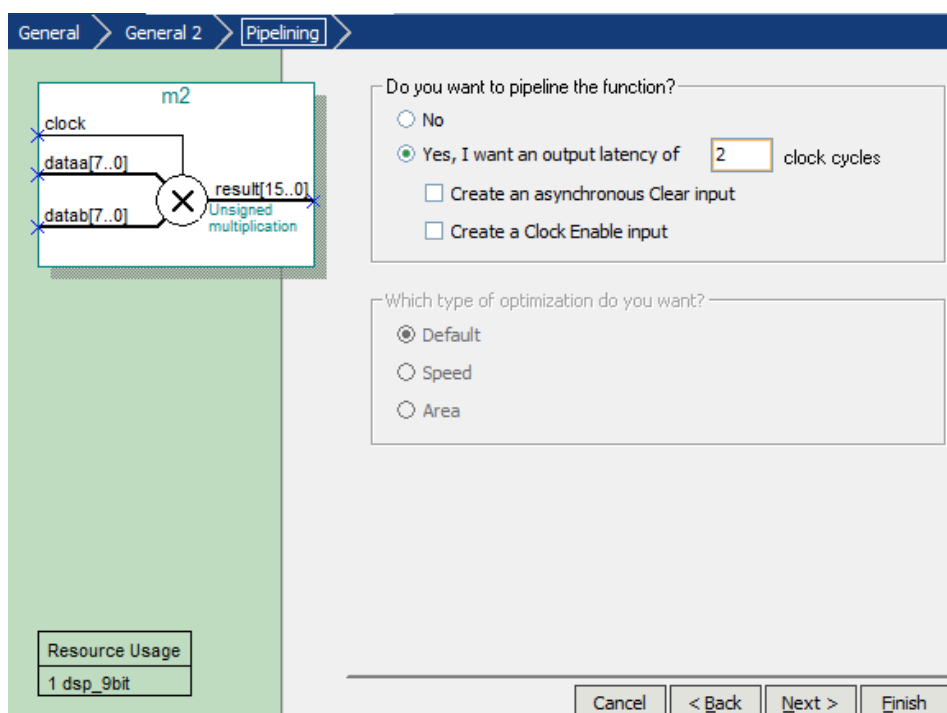


Рис. 5: Создание мегафункци

На текущем окне (рис. 6) выбираем все в соответствии с рисунком и ждем на finish. После этого мегафункция готова.

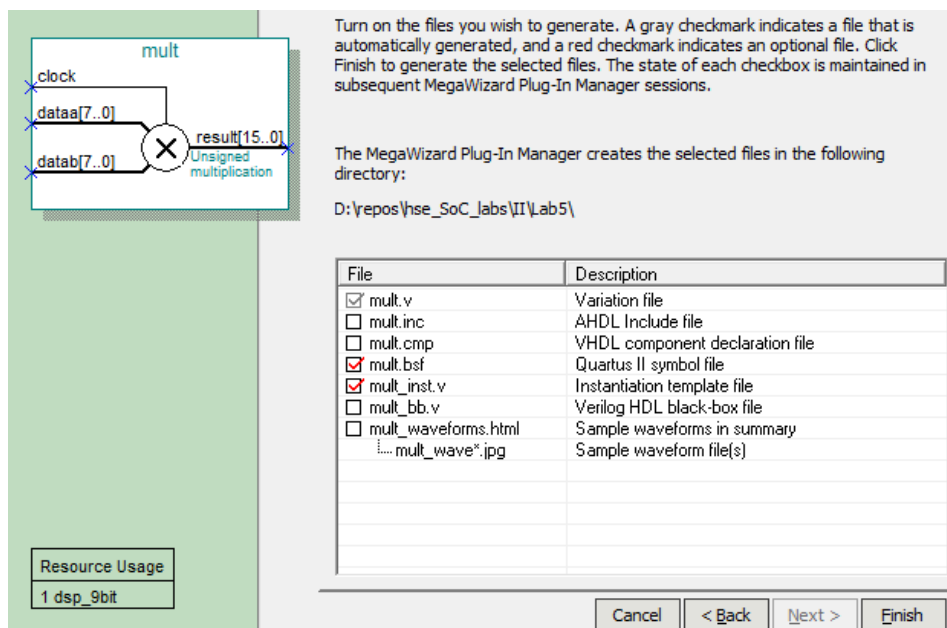


Рис. 6: Создание мегафункции

3.2.2 Создание 32x16 RAM с помощью утилиты Mega Wizard® Plug-in Manager

Для создания необходимо в меню выбрать Tools > Mega Wizard Plug-in Manager, в открывшемся окне выбираем опцию Create a new custom megafunction variation. Далее в папке Memory Compiler выбираем RAM: 2-PORT (рис. 7). Семейство микросхем выбираем Cyclone II.

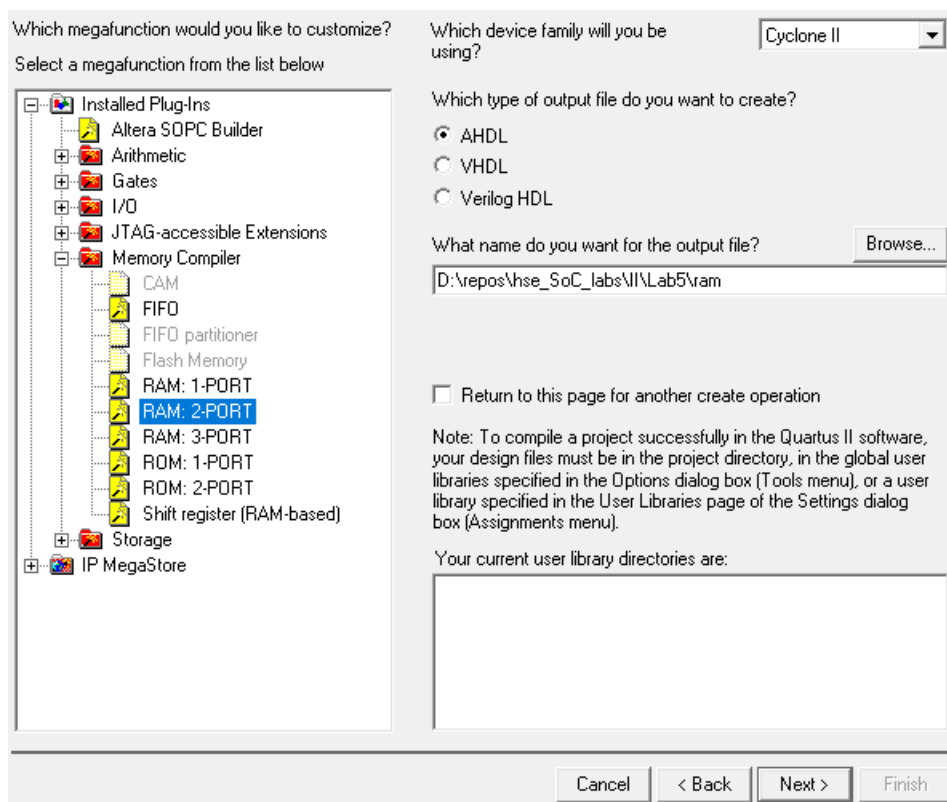


Рис. 7: Создание мегафункции RAM

На следующей странице ничего не нажимаем, жмем только на next.

На странице Widths/Blk Type необходимо установить разрядность входного порта data_a 16 bit (рис. 8). После этого жмем Next 2 раза.

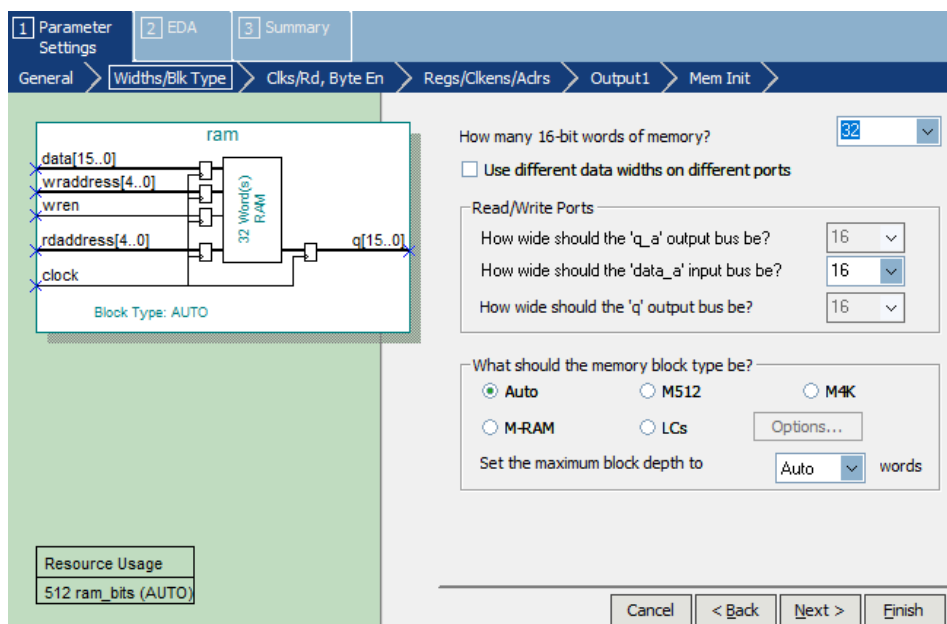


Рис. 8: Создание мегафункции RAM

На странице Regs/Clkens/Aclrs отключим опцию Read output port(s) 'q' (рис. 9). Больше ничего не трогаем, жмем Next 2 раза.

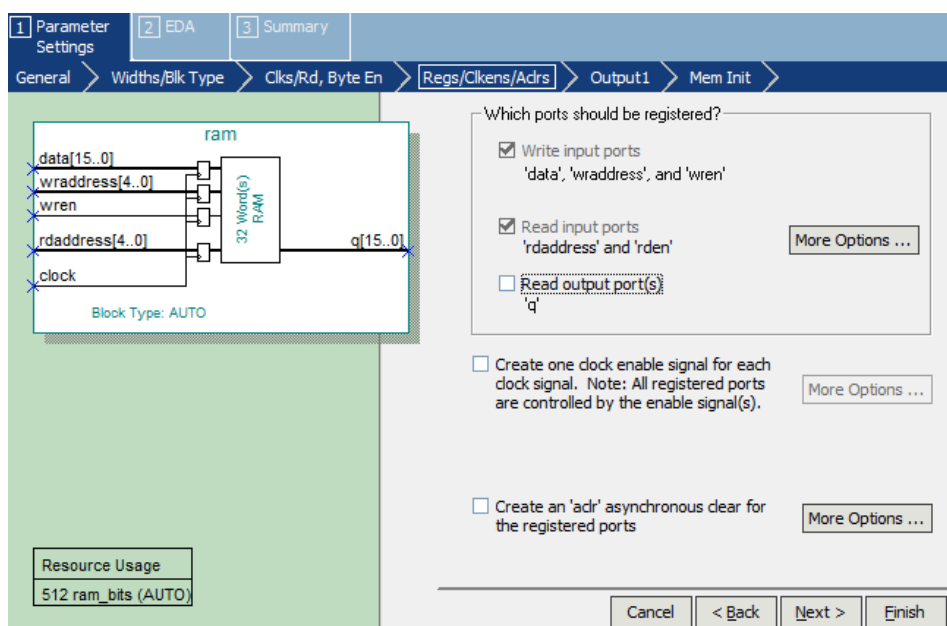


Рис. 9: Создание мегафункци RAM

На странице Mem Init выбираем yes и указываем имя файла ram.hex (рис. 10). После этого жмем Next.

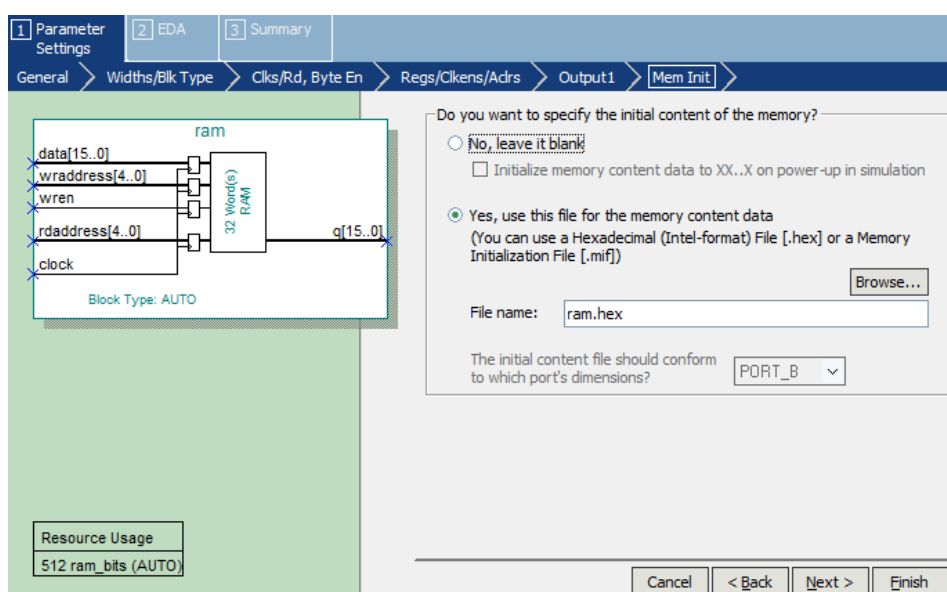


Рис. 10: Создание мегафункци RAM

Последние шаги совпадают с шагами для создания умножителя.

3.2.3 Создание HEX файл с помощью редактора Memory Editor

В меню File выбираем команду New, в открывшемся окне выбираем Other Files и выбираем Hexadecimal (Intel-Format) File. В открытом окне вводим 32 и 16.

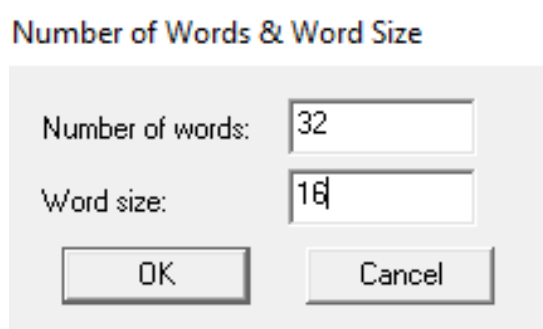


Рис. 11: Создание HEX файла

Получаем следующий файл рис. ??

Addr	+0	+1	+2	+3	+4	+5	+6	+7	+8	+9	+10	+11	+12	+13	+14	+15
0	0004	0006	0008	000A	000C	000E	0010	0012	0014	0016	0018	001A	001C	001E	0020	0022
16	0024	0026	0028	002A	002C	002E	0030	0032	0034	0036	0038	003A	003C	003E	0040	0042

Рис. 12: HEX файл

Заполняем файл при помощи функции Custom Fill Cells.

3.2.4 Добавление блоков в проект и создание связей

Создаем схему и подтягиваем туда созданные ранее мегафункции (рис. 13).

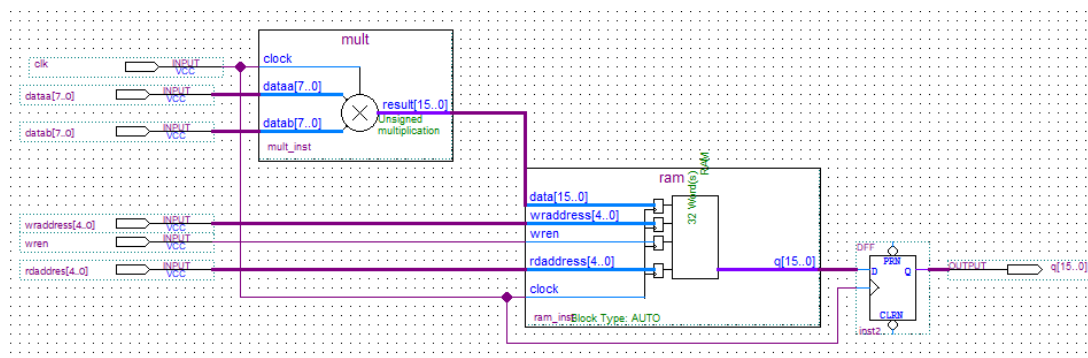


Рис. 13: Итоговая схема

4 Часть 2. «Моделирование проекта в среде Quartus II»

Создадим модуляцию проекта при помощи University Program VWF.

Добавим пины: clk, wren, data, datab, rdaddress, wraddress, q.

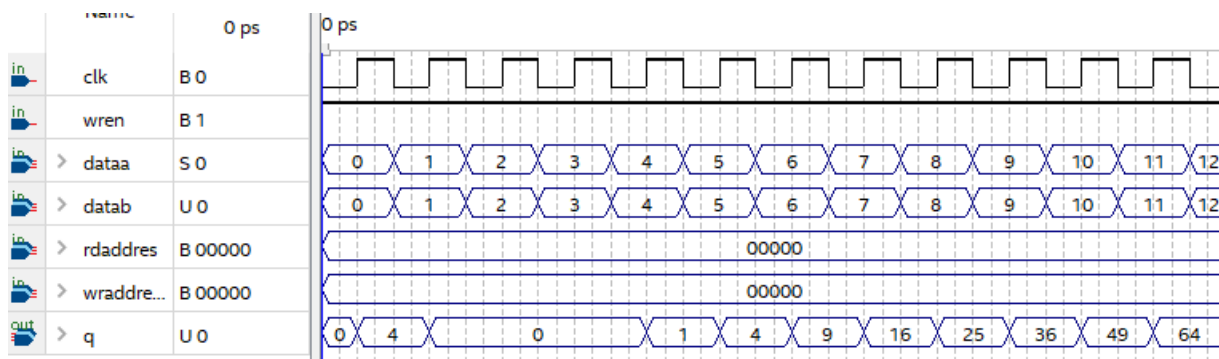


Рис. 14: Результат модуляции проекта

5 Часть 3. «Компиляция проекта в среде Quartus II. Анализ результатов компиляции»

5.1 Компиляция проекта

Скомпилируем проект, результат компиляции представлен на рис. 15.

Flow Status	In progress - Thu May 07 21:05:39 2020
Quartus Prime Version	17.1.0 Build 590 10/25/2017 SJ Lite Edition
Revision Name	try2
Top-level Entity Name	pipe
Family	Cyclone V
Device	5CGXFC9D6F27C7
Timing Models	Final
Logic utilization (in ALMs)	N/A
Total registers	48
Total pins	44
Total virtual pins	0
Total block memory bits	512
Total DSP Blocks	1
Total HSSI RX PCSs	0
Total HSSI PMA RX Deserializers	0
Total HSSI TX PCSs	0
Total HSSI PMA TX Serializers	0

Рис. 15: Результаты компиляции проекта

5.2 RTL представление проекта

На рис. 16 RTL представление проекта.

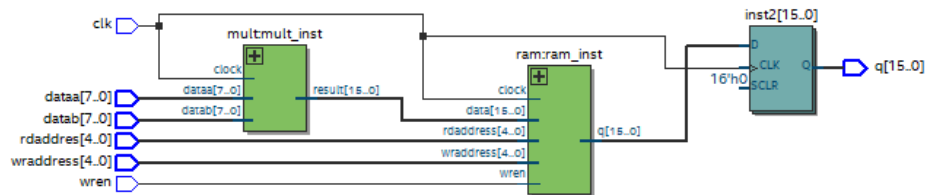


Рис. 16: RTL представление

Внутренности ram (рис. 17), внутри он состоит из 16 однобитных регистров.

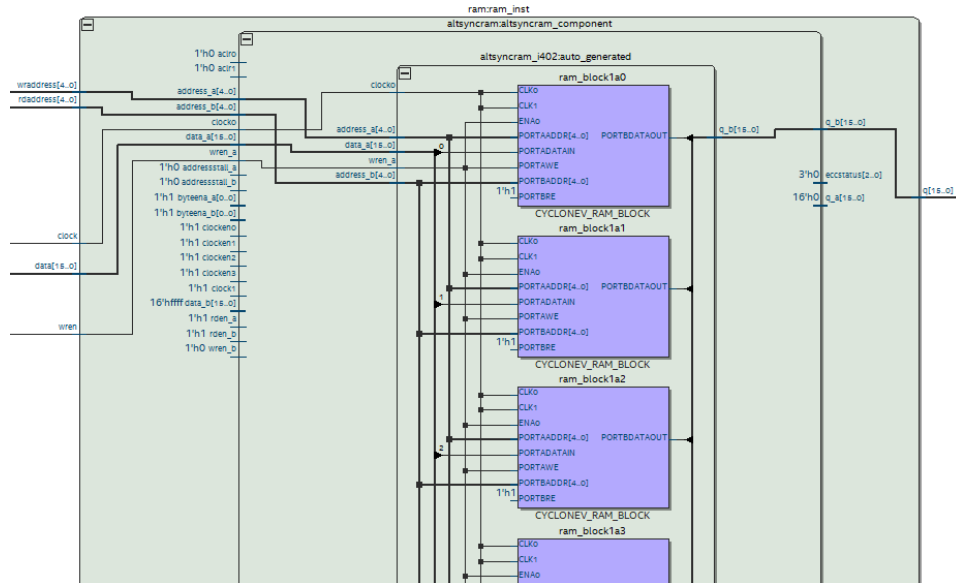


Рис. 17: Внутренности ram

5.3 Редактор chip planner

Нажмем правой кнопкой на элемент однобитного элемента ram, далее Locate Node -> Locate in Chip planner. Результат представлен на рис. 18.

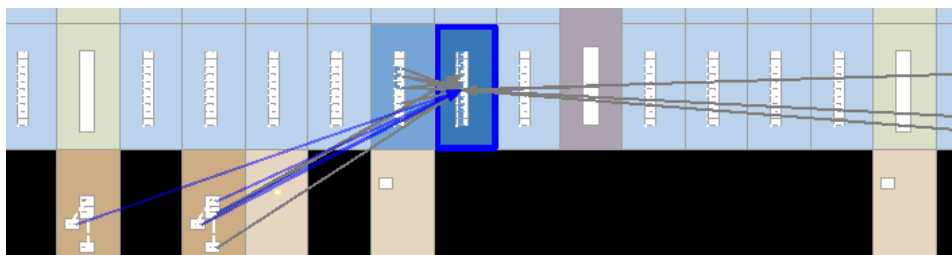


Рис. 18: Отображение связей элемента

6 Доп задание

Изменим схему, вместо первого числа поставим счетчик, а вместо двухпортовой памяти поставим однопортовую (рис. 19).

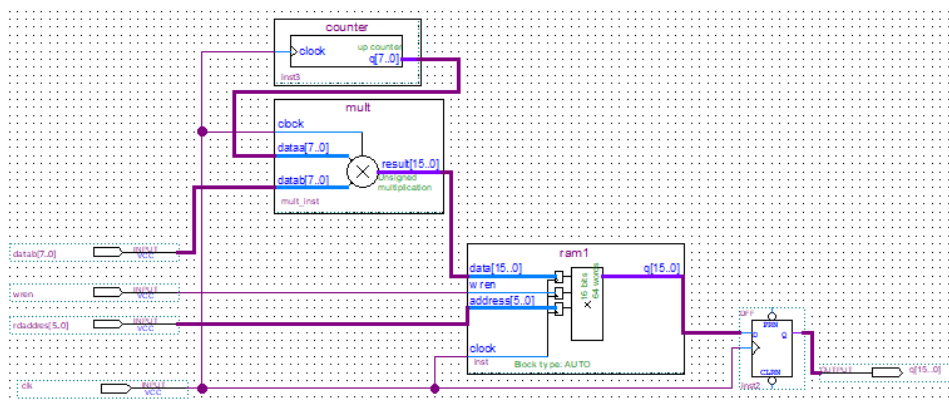


Рис. 19: Блок схема доп задания

Результаты компиляции проекта (рис. 20)

Flow Status	Successful - Thu May 07 23:02:28 2020
Quartus Prime Version	17.1.0 Build 590 10/25/2017 SJ Lite Edition
Revision Name	try2
Top-level Entity Name	dop
Family	Cyclone V
Device	5CGXFC9D6F27C7
Timing Models	Final
Logic utilization (in ALMs)	5 / 113,560 (< 1 %)
Total registers	8
Total pins	32 / 378 (8 %)
Total virtual pins	0
Total block memory bits	1,024 / 12,492,800 (< 1 %)
Total DSP Blocks	1 / 342 (< 1 %)
Total HSSI RX PCSs	0 / 9 (0 %)
Total HSSI PMA RX Deserializers	0 / 9 (0 %)
Total HSSI TX PCSs	0 / 9 (0 %)
Total HSSI PMA TX Serializers	0 / 9 (0 %)
Total PLLs	0 / 17 (0 %)
Total DLLs	0 / 4 (0 %)

Рис. 20: Результат компиляции доп задания

Временная диаграмма доп задания (рис. 21).

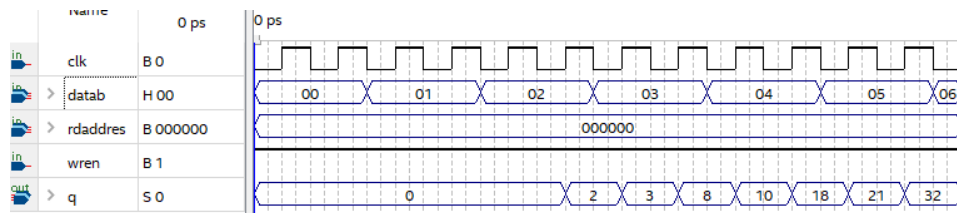


Рис. 21: VWF диаграмма

RTL представление доп задания (рис. 22).

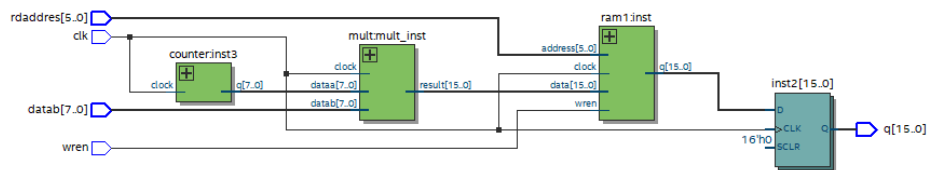


Рис. 22: RTL представление

Связи на Chip Planner (рис. 23).

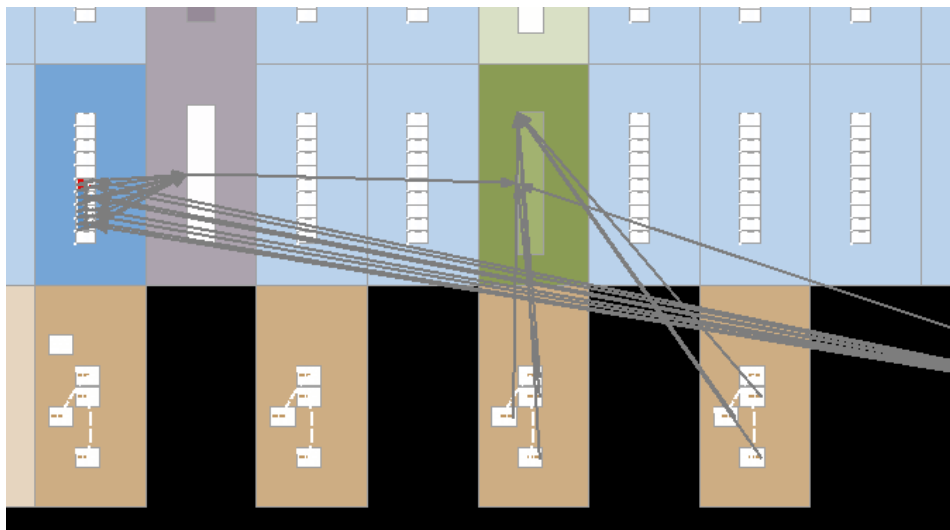


Рис. 23: Отображение связей элемента

7 Вывод

В ходе проделанной работы было создано 2 проекта арифметических устройств с памятью.

Были созданы мегафункции умножителя, счетчика одно- и дву- портовые элементы памяти при помощи Mega Wizard Plug-in Manager.

Схема была протестирована при помощи WaveForm, были рассмотрены схемы, полученные при помощи Chip planner.

СПИСОК ИСПОЛЬЗОВАННЫХ ИСТОЧНИКОВ

1. Vijayakumar P., Vijayalakshmi V., Zayaraz G. Comparative study of hyperelliptic curve cryptosystem over prime field and its survey //International Journal of Hybrid Information Technology. – 2014. – Т. 7. – №. 1. – С. 137-146.
2. Антонов А., Филиппов А., Золотухо Р. Средства системной отладки САПР Quartus II //Компоненты и технологии. – 2008. – №. 89.