

Министерство образования Республики Беларусь
Учреждение образования
«Белорусский государственный университет
информатики и радиоэлектроники»

Кафедра электронных вычислительных машин

СХЕМОТЕХНИКА

Методические указания

для студентов специальности 40 02 01
«Вычислительные машины, системы и сети»
заочной и дистанционной форм обучения

Минск 2003

УДК 681.3 (075)
ББК 32.973 я 7
С 92

Составитель
В.И. Галкин

Схемотехника: Методические указания для студ. спец. 40 02 01
С 92 «Вычислительные машины, системы и сети» заочной и
дистанционной форм обуч. / Сост. В.И. Галкин. – Мн.: БГУИР, 2003. –
44 с.: ил.

Методические указания содержат рабочую программу, составленную на основе базовой программы дисциплины «Схемотехника» для студентов специальности «Вычислительные машины, системы и сети», утвержденной Советом Белорусского государственного университета информатики и радиоэлектроники 07.02.1997 г., протокол № 3; варианты двух контрольных работ, темы курсовых проектов, а также рекомендации по их выполнению.

УДК 681.3 (075)
ББК 32.973 я 7

СОДЕРЖАНИЕ

Введение

1. Методические указания

2. Рабочая программа по дисциплине «Схемотехника»

3. Задания к контрольным работам и рекомендации по их выполнению

4. Курсовое проектирование

Литература

ВВЕДЕНИЕ

В дисциплине “Схемотехника” рассматриваются типовые схемотехнические решения, используемые в современных цифровых и аналоговых микросхемах и в электронно-вычислительной аппаратуре на их основе.

В результате изучения дисциплины студенты должны:

- знать системы элементов ЭВМ, их сравнительные характеристики;
- уметь выбирать систему элементов для проектирования различных устройств ЭВМ на основе анализа параметров и характеристик элементов и технических условий на проектируемые схемы, анализировать и синтезировать схемы ЭВМ различной сложности;
- иметь навыки измерения параметров, поиска неисправностей, наладки и испытания устройств, выполненных на основе современных систем элементов.

Изучение дисциплины при заочной форме обучения состоит из:

- 1) самостоятельного изучения всех разделов дисциплины на основе методических указаний, рекомендуемой литературы с решением задач и примеров, приводимых в указанной литературе;
- 2) прослушивания лекций, небольшое число которых не заменяет самостоятельного изучения литературы;
- 3) выполнения и сдачи на проверку двух контрольных работ;
- 4) выполнения лабораторных работ;
- 5) решения задач на практических занятиях;
- 6) выполнения, сдачи на проверку и защиты курсового проекта;
- 7) сдачи экзаменов и зачетов.

1. МЕТОДИЧЕСКИЕ УКАЗАНИЯ

Изучение различных схем на диодах и транзисторах в дисциплине “Схемотехника ЭВМ” предполагает знание студентами диодов, биполярных полевых транзисторов, оптоэлектронных приборов из курса “Электронные приборы”. Нельзя изучать транзисторные схемы, не зная, как работает отдельно взятый транзистор. Поэтому следует повторить классификацию биполярных и полевых транзисторов, параметры, схемы включения, характеристики (в том числе аппроксимированные), режимы работы, граничные условия перехода из одного режима в другой, полярности входных и питающих напряжений.

Можно порекомендовать следующую последовательность изучения транзисторных схем: 1) функциональное назначение элемента (что это – триггер, логический элемент (ЛЭ), оптрон, операционный усилитель (ОУ), компаратор и т.п.); 2) зависимость выходных сигналов от входных: если это ЛЭ, то какую логическую функцию он выполняет в положительной и

отрицательной логике, если триггер, то какого типа (RS, JK, DV и т.д.), назначение входов и выходов, уровни входных, выходных сигналов и питающих напряжений, таблица истинности для ЛЭ, таблица переходов для триггеров, временные диаграммы входных и выходных сигналов, основные параметры схемы (время задержки, потребляемая мощность, помехоустойчивость, нагрузочная способность, передаточная характеристика и т.п.); 3) назначение транзисторных каскадов схемы, режимы работы транзисторов (назвать и доказать) при произвольной комбинации стандартных входных сигналов, характеристики схемы (входная, выходная, амплитудная, передаточная и др.), напряжение в узлах схемы, аналитическое определение помехоустойчивости, потребляемой мощности, входного и выходного сопротивлений и т.п. Первые два пункта предполагают знание элемента на уровне “черного ящика”, т.е. назначение и связь выхода со входом, не вдаваясь, в анализ работы самой принципиальной электрической схемы элемента.

При изучении функциональных узлов ЦВМ необходимо уяснить определение данного узла, его функциональное назначение, логическую структуру, обозначение, способы задания (логические уравнения, граф, таблицы истинности, переходов и т.п.), примеры ИС, построение многоразрядных схем из ИС меньшей разрядности, режимы работы, основные характеристики, примеры применений.

Описание одних и тех же схем встречается в различных литературных источниках с той или иной степенью подробности и опечатками. Поэтому в списке литературы приводятся, как правило, по одной и той же схеме несколько литературных источников, что позволяет воспользоваться одной из имеющихся книг, а для более глубокого изучения материала – несколькими книгами. Особое внимание следует уделить входным и выходным каскадам СИС, БИС. Знание этих каскадов существенно облегчит правильные соединения различных ИС между собой.

2. РАБОЧАЯ ПРОГРАММА ПО ДИСЦИПЛИНЕ “СХЕМОТЕХНИКА”

В приводимой ниже рабочей программе жирным курсивным шрифтом отмечены вопросы, излагаемые на лекциях во время сессий.

2.1. Наименования разделов, тем, их содержание, объем в часах лекционных занятий

Шестой семестр

Введение

Роль вычислительной техники в ускорении научно-технического прогресса. Задачи и содержание дисциплины. ***Краткий очерк развития***

схемотехники ЭВМ. Способы представления информации. Влияние схемотехнической базы на характеристики ЭВМ. Система условных обозначений ИМС и их конструктивное оформление [1, с. 5–8; 6, с. 5–10; 38].

0,3 ч + самостоятельная работа

2.1.1. Классификация, характеристики и параметры элементов ЭВМ

Классификация элементов ЭВМ и основные определения. Основные характеристики логических элементов (ЛЭ): передаточные, входные, выходные, помехоустойчивости. **Статические, динамические и интегральные параметры** [1, с. 9–20; 6, с. 34–42; 13].

1 ч + самостоятельная работа

2.1.2. Логические элементы потенциального типа

Схемотехника логических элементов (ЛЭ) «И» и «ИЛИ» диодно-резисторной логики (ДРЛ). **Аппроксимация вольт-амперных характеристик полупроводниковых диодов и транзисторов.** Анализ работы двухвходовых ЛЭ ДРЛ с помощью временных диаграмм [1, с. 20–30; 24, с. 152–154].

0,3 ч + самостоятельная работа

Схемотехника ЛЭ диодно-транзисторной логики (ДТЛ) с простым и сложным инвертором. Назначение элементов, принцип выполнения логических операций. Определение длительности фронтов выходных импульсов [24, с. 155–156; 1, с. 33–34].

Изучается самостоятельно

Схемотехника ЛЭ транзисторно-транзисторной логики (ТТЛ). Передаточные характеристики (ПХ) по инвертирующему и неинвертирующему входам. **Определение помехоустойчивости.** Способы улучшения формы ПХ. **Режимы работы многоэмиттерного транзистора.** Подключение незадействованных входов [1, с. 35–37; 5, с. 25–28; 24, с. 156–158; 13].

0,4 ч + самостоятельная работа

ЛЭ ТТЛ с открытым коллектором и тремя состояниями выхода. Области применения. **Расширители: назначение, принцип построения.** **Схемотехника ЛЭ ТТЛ с диодами и транзисторами Шоттки (ТТЛШ).** Преимущества ЛЭ ТТЛШ перед ЛЭ ТТЛ, области применения [1, с. 38–39; 5, с. 27–31; 24, с. 158–161; 38].

0,5 ч + самостоятельная работа

Схемотехника ЛЭ эмиттерно-связанной логики (ЭСЛ) на переключателях тока. **Схема и назначение элементов базового ЛЭ 2ИЛИ/2ИЛИ-НЕ (2И/2И-НЕ).** Принцип построения ЛЭ ЭСЛ с объединенными коллекторами транзисторов токовых переключателей и

двухуровневыми схемами. Объединение эмиттеров выходных эмиттерных повторителей [1, с. 47–51; 5, с. 32–37; 24, с. 168–173; 38].

0,5 ч + самостоятельная работа

Схемотехника ЛЭ интегральной инжекционной логики (И²Л) [1, с. 45–47; 5, с. 38–41; 24, с. 162–163; 38].

Изучается самостоятельно

Инверторы на МДП-транзисторах с линейной, нелинейной, квазилинейной и токостабилизирующей нагрузками. **Вывод выражений для выходных напряжений высокого и низкого уровней.** Передаточные характеристики. Инвертор на КМДП-транзисторах [20, с. 156–171; 1, с. 39–42; 24, с. 166–168; 13].

1,0 ч + самостоятельная работа

Принцип построения ЛЭ на однотипных МДП-транзисторах и на КМДП-транзисторах. ЛЭ на МДП-транзисторах с тремя состояниями выхода [1, с. 43–45; 20, с. 172–178; 24, с. 164–168; 13].

Изучается самостоятельно

Схемотехника ЛЭ на основе арсенида галлия. Назначение элементов и принцип работы базового ЛЭ серии К6500 [13; 22, с. 175–180; 24, с. 173–175].

Изучается самостоятельно

Способы согласования работы ЛЭ с нестандартными входными и выходными уровнями. Принцип построения преобразователей уровней ТТЛ-ЭСЛ, ЭСЛ-ТТЛ, ТТЛ-КМДП, КМДП-ТТЛ [20, с. 193–206; 39].

0,3 ч + самостоятельная работа

Оптоэлектронные элементы. **Источники и приемники излучения в оптоэлектронике. Оптопары и их классификация.** Схемы, характеристики и параметры оптоэлектронных логических элементов [22, с. 253–261; 24, с. 390–397].

0,3 ч + самостоятельная работа

2.1.3. Схемотехника триггерных устройств

Обобщенная схема триггерного устройства. Классификация и основные параметры триггеров. Способы задания функционирования триггеров. Таблицы переходов триггеров RS-, E-, S-, R-, D-, DV-, JK- и T-типов. Методы синтеза. **Логическая структура, обозначение, характеристические уравнения, граф, предельный динамический режим асинхронных RS-триггеров** [9, с. 53–62; 5, с. 105–110; 24, с. 25–33; 15].

1,0 ч + самостоятельная работа

Синхронные одноступенчатые RS- и D-триггеры. Синтез. Синхронные двухступенчатые RS-, D- и JK-триггеры. Синхронные триггеры с динамическим синхронизирующим входом. Асинхронные и синхронные T-триггеры [24, с. 33–39; 9, с. 63–77; 15].

0,4 ч + самостоятельная работа

Седьмой семестр

2.1.4. Кодировочные устройства

Дешифраторы. Назначение, таблицы истинности, переключательные функции. **Синтез полных и неполных линейных дешифраторов.** Способы увеличения разрядности. Многоступенчатые дешифраторы. Дешифраторы для работы с семисегментными индикаторами [1, с. 110–112; 5, с. 160–163; 9, с. 44–50; 24, с. 68–70; 34].

0,5 ч + самостоятельная работа

Демультимплексоры и мультимплексоры. Назначение, таблицы истинности, переключательные функции. **Применение мультимплексоров в качестве электронных переключателей, сдвигателей информации и генераторов логических функций** [1, с. 112–120; 5, с. 157–160; 24, с. 73–74].

0,5 ч + самостоятельная работа

Шифраторы. Назначение, таблицы истинности, переключательные функции. Обычные и приоритетные шифраторы. Схемы выделения старшего разряда [5, с. 163–164; 21, с. 116–120; 24, с. 70–72; 34].

Изучается самостоятельно

2.1.5. Счетчики импульсов

Назначение, классификация и основные параметры счетчиков. Методы организации межразрядных переносов. **Двоичные суммирующие, вычитающие, реверсивные последовательные и параллельные счетчики.** Синтез двоичных счетчиков и счетчиков с произвольным модулем счета [1, с. 105–110; 5, с. 137–150; 9, с. 86–100; 18; 24, с. 42–51; 15].

0,6 ч + самостоятельная работа

Счетчики импульсов с параллельным занесением информации. Самовосстановление после сбоя. **Применение счетчиков для генерации числовых последовательностей** [5, с. 151–152; 6, с. 220–222; 18; 15].

0,4 ч + самостоятельная работа

2.1.6. Регистры

Назначение и классификация регистров. Принцип построения последовательных, параллельных и параллельно-последовательных регистров на различных типах триггеров [9, с. 101–107; 24, с. 51–60; 1, с. 79–85; 15; 18].

Изучается самостоятельно

Применение регистров для поразрядного выполнения логических операций над двумя переменными. **Регистры в качестве счетчиков и генераторов числовых последовательностей** [9, с. 107–111; 18; 24, с. 52–56; 15].

0,5 ч + самостоятельная работа

2.1.7. Узлы арифметическо-логических устройств

Сумматоры. Назначение и классификация. Синтез полусумматора и полного одноразрядного сумматора [5, с. 181–196; 18; 27; 34].

Изучается
самостоятельно

Многоразрядные сумматоры. **Виды переносов. Двоично-десятичные сумматоры и сумматоры с групповой структурой.** Схемы свертки по модулю 2. Арифметическо-логические устройства (АЛУ). **Принцип построения и выполнения арифметических и логических операций.** Способы наращивания разрядности АЛУ [1, с. 85–104; 5, с. 196–198; 24; 34].

1,0 ч + самостоятельная работа

Цифровые компараторы. Синтез комбинационных компараторов, осуществляющих сравнение двух многоразрядных чисел на «равенство», «больше» и «меньше» [9, с. 40–44; 24, с. 74–76; 34].

Изучается самостоятельно

2.1.8. Специальные элементы ЭВМ

Распределители тактов. Формирователи «коротких» и «длинных» импульсов [5, с. 152–157; 14].

Изучается самостоятельно

Автогенераторы и одновибраторы на ЛЭ. **Принцип работы, характеристики, параметры, временные диаграммы** [5, с. 152–157; 24, с. 73; 14].

0,5 ч + самостоятельная работа

2.1.9. Схемотехника запоминающих устройств

Классификация запоминающих устройств (ЗУ), их основные характеристики и параметры. **Структурные схемы полупроводниковых БИС ОЗУ, ПЗУ и РПЗУ статического типа систем 2Д, 2ДМ и 3Д** [20, с. 276–286; 35, с. 693–707; 25].

0,8 ч + самостоятельная работа

Структурные схемы накопителей с однокоординатной и двухкоординатной выборками. Элементы памяти БИС ОЗУ статического типа [20, с. 276–286; 35, с. 693–707; 25].

Изучается самостоятельно

Особенности построения динамического ОЗУ. **Элементы памяти динамических ОЗУ.** Программируемые и репрограммируемые запоминающие устройства на полупроводниковых структурах [20, с. 296–299; 25].

0,4 ч + самостоятельная работа

Элементы памяти ППЗУ и РПЗУ. **Принцип программирования прожигаемых и репрограммируемых ПЗУ** [20, с. 296–299; 25].

0,4 ч + самостоятельная работа

Элементы оптических ЗУ. Общие сведения и классификация. Устройства управления оптическим излучением. Оптические запоминающие среды [24, с. 406–432].

Изучается самостоятельно

2.1.10. Элементы аналоговых и аналогово-цифровых устройств

Виды аналоговых сигналов. Операционный усилитель (ОУ): структурная схема, основные параметры и характеристики. **Применение ОУ в цепях линейной обработки сигналов: масштабные инвертирующие и неинвертирующие усилители; инвертирующий и неинвертирующий сумматоры; схема сложения-вычитания; разностный усилитель; дифференцирующий и интегрирующий усилители** [9, с. 112–117; с. 131–145; 10, с. 9–25; 35, с. 272–280; с. 289–293; с. 301–315; 23].

1,0 ч + самостоятельная работа

Применение ОУ в устройствах нелинейной обработки информации: **логарифмический и антилогарифмический усилители; схемы умножения и деления аналоговых сигналов**. Функциональные преобразователи на ОУ [2; 10, с. 66–89; 23].

0,4 ч + самостоятельная работа

Устойчивость ОУ. Принцип частотной коррекции. **Определение устойчивости усилителя с помощью диаграммы Боде** [2; 10, с. 66–89, с. 160–175; 23].

0,5 ч + самостоятельная работа

Аналоговые ключи и компараторы на ОУ. Автоколебательные мультивибраторы и одновибраторы на ОУ [2; 10, с. 342–370; 23].

Изучается самостоятельно

Цифроаналоговые преобразователи (ЦАП). Структурная схема ЦАП с матрицей из двоично-взвешенных резисторов и матрицей типа R-2R. Вывод выражения для выходного напряжения [35, с. 736–750].

Изучается самостоятельно

Дискретизация и квантование аналоговых сигналов. Выбор частоты дискретизации по времени. Характеристика квантования. Аналого-цифровые преобразователи последовательного типа: последовательного счета (приближения), поразрядного кодирования и интегрирующие. Параллельные и параллельно-последовательные АЦП. Структурные схемы, принцип работы [41; 35, с. 750–759; 23].

0,5 ч + самостоятельная работа

Активные фильтры. Основные определения. Полюса и частотная характеристика на переходном участке. Частотные характеристики и

полиномы фильтров Баттерворта и Чебышева. Примеры реализации активных фильтров [9, с. 147–168; 10, с. 181–196].

Изучается самостоятельно

3. ЗАДАНИЯ К КОНТРОЛЬНЫМ РАБОТАМ И РЕКОМЕНДАЦИИ ПО ИХ ВЫПОЛНЕНИЮ

Учебным планом по дисциплине “Схемотехника” предусмотрено выполнение двух контрольных работ.

При выполнении и оформлении контрольных работ студент обязан выполнить следующие требования:

1. Контрольную работу следует выполнять в ученической тетради с надписью на обложке:

Схемотехника.

Контрольная работа №

_____ фамилия и инициалы студента

Шифр _____

Если есть необходимость в пересылке работы почтой, нужно на обложке тетради указать свой почтовый адрес.

2. Контрольная работа должна быть начата с листа, содержащего названия института, факультета, дисциплины, номер выполняемой работы, фамилию, имя и отчество студента, его шифр, почтовый адрес.

3. При оформлении контрольной работы необходимо привести полностью содержание решаемой задачи, исходные данные в соответствии с номером варианта, весь ход решения, все используемые формулы, все необходимые пояснения и обозначения выполняемых действий, ссылки на используемую литературу. Должна быть сделана подстановка числовых значений в формулы, указаны размерности величин в единицах измерений стандарта – “Международная система единиц измерения физических величин (СИ)”.

Недостающие исходные данные следует выбирать самим, ориентируясь на типовой режим работы аналогичных схем.

4. Все расчетные формулы или другие цитируемые сведения, взятые из литературных источников, должны иметь сноски, например [2, с. 15], т.е. с. 15 в книге, указанной в списке литературы под вторым номером.

5. Функциональные и принципиальные электрические схемы, рисунки и временные диаграммы следует выполнять четко и аккуратно. Все чертежи и схемы должны выполняться в соответствии с требованиями ЕСКД.

Временные диаграммы должны быть выполнены с указанием масштабов по осям. Рисунки располагаются по тексту. Страницы, формулы, схемы, рисунки должны быть пронумерованы. На страницах текста (справа) оставляются поля шириной не менее 5 см.

6. В конце расчетной части контрольной работы студенту следует поставить подпись и дату.

7. Список используемой литературы приводится в конце контрольной работы.

Контрольная работа № 1

Варианты задания на первую контрольную работу берутся из табл. 1 и 2.

В задании для первой контрольной работы рассматриваются базовые элементы ЦВМ и триггерные схемы. В табл. 1 приняты следующие обозначения параметров: U^1 , U^0 , $U_{\text{л}}$ – соответственно уровни напряжений логической 1, логического 0 и логического перепада; $U_{\text{п}}^{\pm}$ – статическая помехоустойчивость к положительным ($U_{\text{п}}^{+}$) и отрицательным ($U_{\text{п}}^{-}$) помехам; $R_{\text{вх}}^0$, $R_{\text{вх}}^1$, $I_{\text{вх}}^0$, $I_{\text{вх}}^1$ – соответственно входные сопротивления и входные токи при входных напряжениях с уровнями логического 0 и логической 1; $P_{\text{ср}}$ – средняя статическая потребляемая мощность; t_{Φ}^{\pm} – длительность положительного (t_{Φ}^{+}) и отрицательного (t_{Φ}^{-}) фронтов входного сигнала. Обозначение 44, X_1 в восьмом столбце табл. 1 расшифровывается $X_2 = -1,3\text{В}$

следующим образом: входной сигнал X_1 из рис. 44, а на вход X_2 подается постоянное напряжение, равное $-1,3\text{В}$.

Задания для синтеза триггерных схем указаны в трех последних столбцах табл. 1.

Буквы S, R и E в столбцах 11 и 12 этой таблицы указывают на тип синтезируемого триггера в базисе И-НЕ либо ИЛИ-НЕ. Число в скобках в столбцах 11, 12 и 13 табл. 1 указывает на номер столбца табл. 2, определяющего закон функционирования синтезируемого триггера. Например, студенту, выполняющему 1-й вариант, необходимо, используя только элементы И-НЕ, осуществить синтез триггера, который под действием входных сигналов $x_{1\text{н}}$ и $x_{2\text{н}}$ изменяет свои состояния так, как указано в столбце 7 табл. 2. При синтезе триггера на микросхеме 155ТМ2 для построения схемы управления должны использоваться только элементы И-НЕ либо только элементы ИЛИ-НЕ 155-й серии.

Изменением определяемых параметров и самих схем в пределах одного варианта достигается как понимание основных параметров ИС, так и обязательное знакомство с несколькими (ТТЛ, ЭСЛ, МОП или КМОП) изучаемыми схемами до прибытия на сессию. В литературе, ссылки на которую даются в рабочей программе, есть описание самих схем, примеры определения заданных в контрольной работе параметров при анализе подобных схем. Пользуясь описанием своей схемы и общей методикой определения заданного параметра, необходимо определить этот параметр для своей схемы. Например, в [19, 20] имеются задачи с решениями.

При расчете параметров необходимо привести соответствующие характеристики (входные, выходные, амплитудные передаточные,

переходные). При определении длительности положительного (t_{Φ}^{+}) и отрицательного (t_{Φ}^{-}) фронтов выходных импульсов считать все транзисторы безынерционными (т.е. транзисторы и диоды переключаются мгновенно). Временные диаграммы следует рисовать друг под другом: входные сигналы x_1, x_2, \dots ; напряжения в точках a, b, c, \dots , выходы y_1, y_2, \dots . Временные диаграммы в точках a, b, c, \dots рисовать в виде прямоугольных сигналов без учета задержек транзисторных каскадов, указывая только статические уровни напряжений в вольтах. То же для выходных сигналов y_1, y_2, \dots , кроме случая определения t_{Φ}^{\pm} , когда необходимо нарисовать реальную форму напряжения зарядки (разрядки) емкости нагрузки C_H через выходное сопротивление элемента. При определении t_{Φ}^{\pm} и наличии n входов y

Варианты заданий контрольной работы № 1

Таблица 1

№ ва- риан- та	Рисунок схемы для расчета параметров					Рисунок схемы для построени я временны х диаграмм	Рисунок входного сигнала	Рисунок триггера для построения временных диаграмм или обозначение триггера	Рисунок входных сигналов триггера	Синтез триггера (№ варианта, элементы, используемые для синтеза триггера – в табл. 2) на базе 155-й серии		
	$U^1,$ $U^0,$ $U_{\text{л}}$	$U_{\text{п}}^{\pm}$	$R_{\text{ВХ}}^0,$ $R_{\text{ВХ}}^1,$ $I_{\text{ВХ}}^0,$ $I_{\text{ВХ}}^1$	$P_{\text{ср}}$	$t_{\text{ф}}^{\pm}$					И-НЕ	ИЛИ- НЕ	155ТМ2
1	2	3	4	5	6	7	8	9	10	11	12	13
1	1	17	11					26	42	7		
2	17	1	1		2			27	42	8		
3			1	11	17			28	42	24		
4				17	11			29	42	25		
5	18			1		11	44	30	42	26		
6		18			1	12	44	31	42	27		
7	11			18		1	43	32	42	28		
8	2			11	18			33	42	29		
9	13	2		19				34	42		7	
10	19		2			13	45	35	46		8	
11	14			11	19			36	46		24	
12		19		2	14			37	42		25	
13	21				2	14	43	38	42		26	
14	15	21				2	43	39	42		27	
15	3			21	15			40	42		28	
16		3			20	15	44	41	47		29	

Продолжение табл. 1

1	2	3	4	5	6	7	8	9	10	11	12	13
17	16		3		21			26	42	S		
18	5	20		11		16	{ 44, X ₁ X ₂ =-1,3B			R		
19	22	1		3		16	{ 44, X ₁ X ₂ =-1,3B					
20	11	22			3	1	43				S	
21	1		11	22		3	42				R	
22	4		6		22	2	43				E	
23		4		11	23	14	43					(1)
24		23	4	6	11							(2)
25		24	8		1	11	44					(3)
26	12	1		4	24							(4)
27	25			1	4	12	44					(5)
28	13	25			2	4	43					(6)
29	5		1		25	13	45			(7)		
30	14	5		4	17					(8)		
31	17		5		14							(9)
32			22	17		14	43	27	42			(10)
33	15	17		5				28	42			(11)
34	18	4			5	15	44					(12)
35		18		4	15	5	43					(13)
36	6	1		18		16	{ 44, X ₁ X ₂ =-1,3B					(14)
37		6		1	18	16	{ 44, X ₁ X ₂ =-1,3B					(15)

Окончание табл. 1

1	2	3	4	5	6	7	8	9	10	11	12	13
38	11	22			19			30	42			(17)
39	2		11		6	19		31	42			(18)
40	16	19	16					29	42			(16)
41	19			3	6			32	42			(19)
42	20			11		6	43	33	42			(20)
43	7	20			11	13	45					(21)
44	1	7			20	11	44					(22)
45	12	21	7					34	42			(23)
46	21	20			1	12	44			(24)		
47	5			11	7	21	43			(25)		
48	4			21	7	12	45			(26)		
49	22			4		7	43	35	46	(27)		
50	8	22			14			36	46	(28)		
51	14	8		22				37	42	(29)		
52	1		8		22	14	43					(30)
53	15		4		23			39	42			(31)
54	23			8	15	1	43					(32)
55		23			8	15	44	40	42			(33)
56	16	24		4		8	43					(34)
57	9	4			24	16	{ 44, X ₁ X ₂ =-1,3B	26			(7)	
58	24	9		1		16	{ 44, X ₁ X ₂ =-1,3B	27			(8)	
59	11	25			2	9	43	30			(24)	
60	1		11		25	10	43	29			(25)	

схемы необходимо задать такие комбинации входных сигналов, чтобы на входах присутствовали все 2^n наборов входных переменных. Амплитуду входных сигналов следует брать такой же, какая получается на выходе исследуемого элемента. Кроме аналитического расчета параметров по упрощенным выражениям необходимо для каждой схемы (ТТЛ, ЭСЛ, МОП, КМОП) своего варианта привести обозначение логического элемента в положительной и отрицательной логике [37], написать логическую функцию $y_i = f(x_1, x_2, \dots, x_n)$.

Таблица 2

Варианты таблиц переключения синтезируемых триггеров

X _{1n}	X _{2n}	Q _{n+1}										
		1	2	3	4	5	6	7	8	9	10	11
0	0	0	1	Q _n	$\overline{Q_n}$	Q _n	$\overline{Q_n}$	Q _n	Q _n	$\overline{Q_n}$	$\overline{Q_n}$	Q _n
0	1	$\overline{Q_n}$	Q _n	$\overline{Q_n}$	Q _n	$\overline{Q_n}$	Q _n	0	1	0	1	0
1	0	Q _n	$\overline{Q_n}$	1	1	0	0	1	0	1	0	1
1	1	1	0	0	0	1	1	Q _n	Q _n	$\overline{Q_n}$	$\overline{Q_n}$	$\overline{Q_n}$

Продолжение табл. 2

X _{1n}	X _{2n}	Q _{n+1}											
		12	13	14	15	16	17	18	19	20	21	22	23
0	0	Q _n	0	1	0	1	$\overline{Q_n}$	$\overline{Q_n}$	0	0	1	Q _n	Q _n
0	1	1	Q _n	Q _n	$\overline{Q_n}$	$\overline{Q_n}$	1	0	1	1	0	$\overline{Q_n}$	$\overline{Q_n}$
1	0	0	1	0	1	0	0	1	Q _n	$\overline{Q_n}$	Q _n	1	0
1	1	$\overline{Q_n}$	$\overline{Q_n}$	$\overline{Q_n}$	Q _n	Q _n	$\overline{Q_n}$	$\overline{Q_n}$	$\overline{Q_n}$	Q _n	$\overline{Q_n}$	0	1

Окончание табл. 2

X _{1n}	X _{2n}	Q _{n+1}										
		24	25	26	27	28	29	30	31	32	33	34
0	0	Q _n	Q _n	0	1	0	1	$\overline{Q_n}$	$\overline{Q_n}$	0	1	0
0	1	Q _n	Q _n	1	0	Q _n	Q _n	$\overline{Q_n}$	$\overline{Q_n}$	$\overline{Q_n}$	$\overline{Q_n}$	1
1	0	1	0	Q _n	Q _n	Q _n	Q _n	0	1	$\overline{Q_n}$	$\overline{Q_n}$	$\overline{Q_n}$
1	1	0	1	Q _n	Q _n	1	0	1	0	1	0	$\overline{Q_n}$

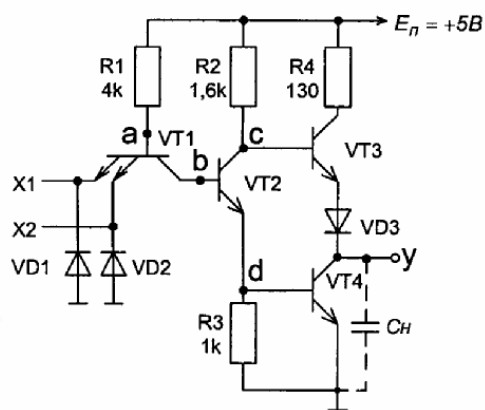


Рис. 1

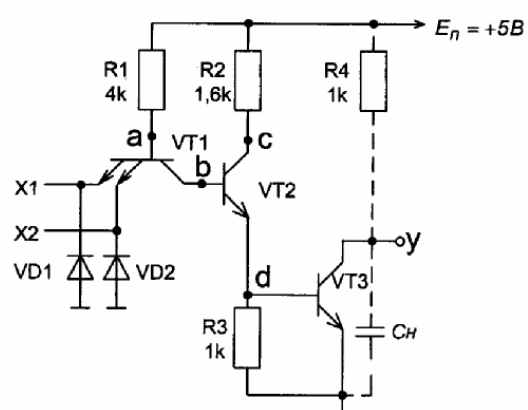


Рис. 2

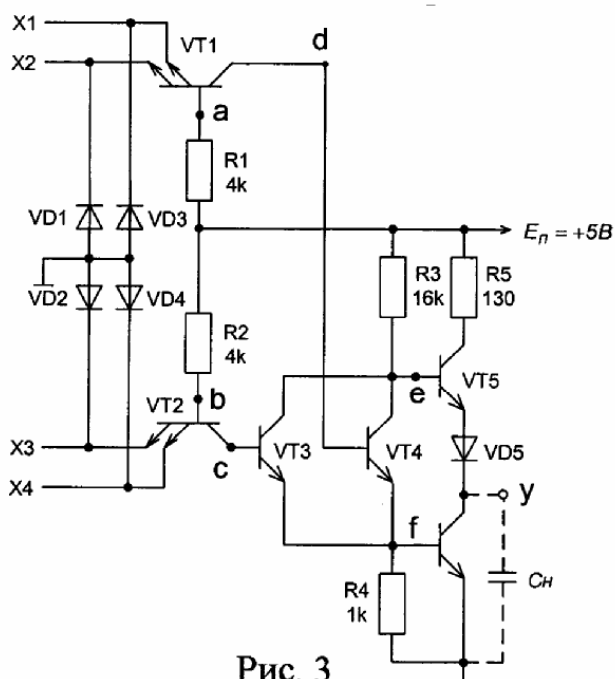


Рис. 3

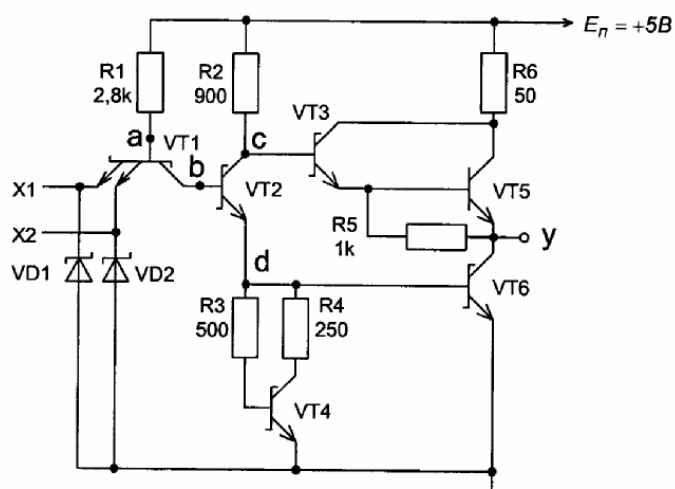


Рис. 4

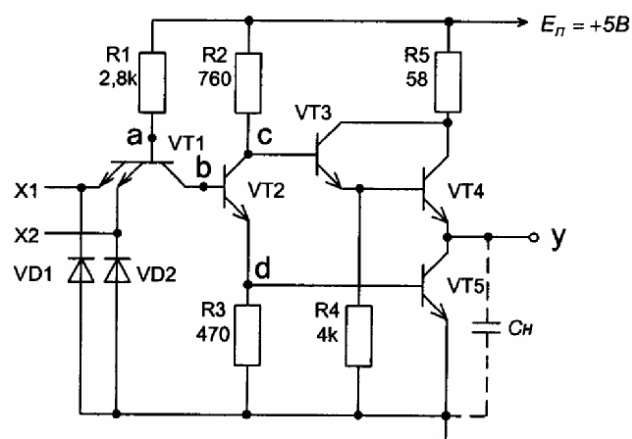


Рис. 5

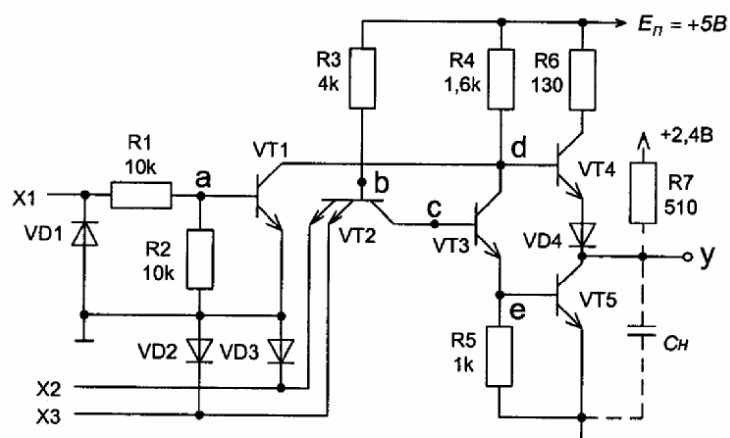


Рис. 6

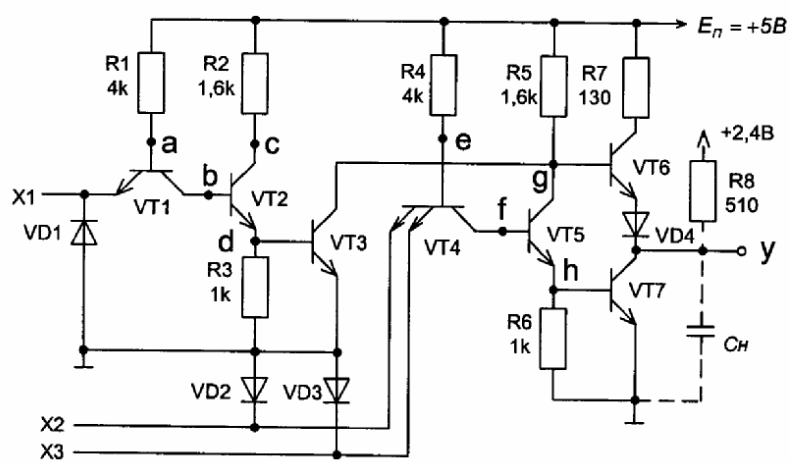


Рис. 7

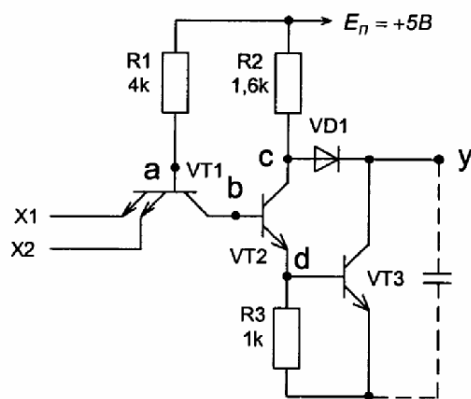


Рис. 8

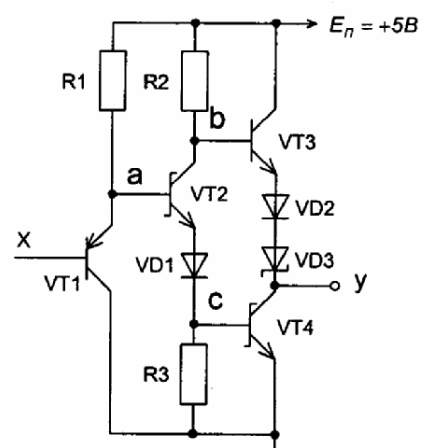


Рис. 9

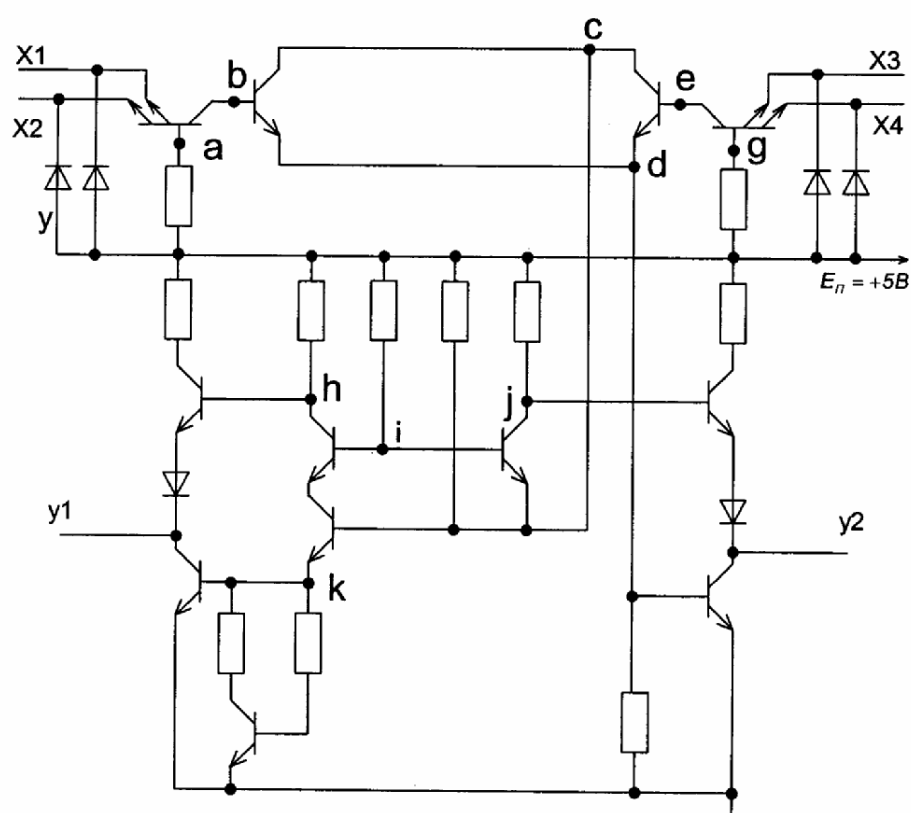


Рис. 10

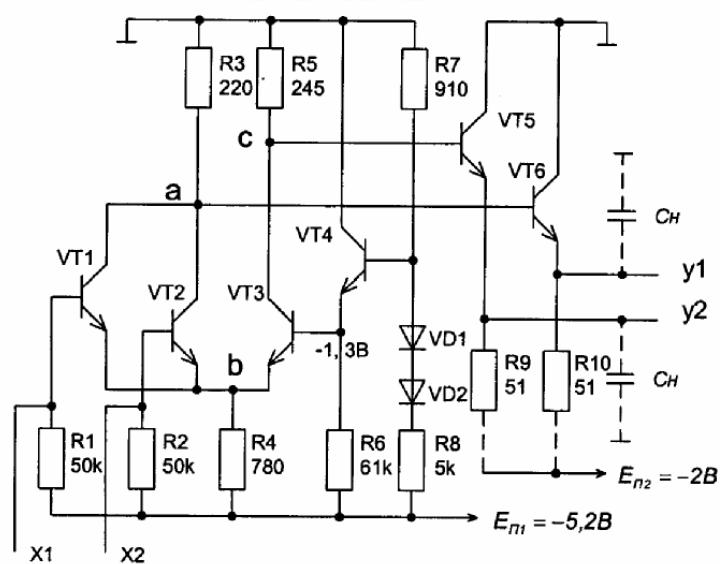


Рис. 11

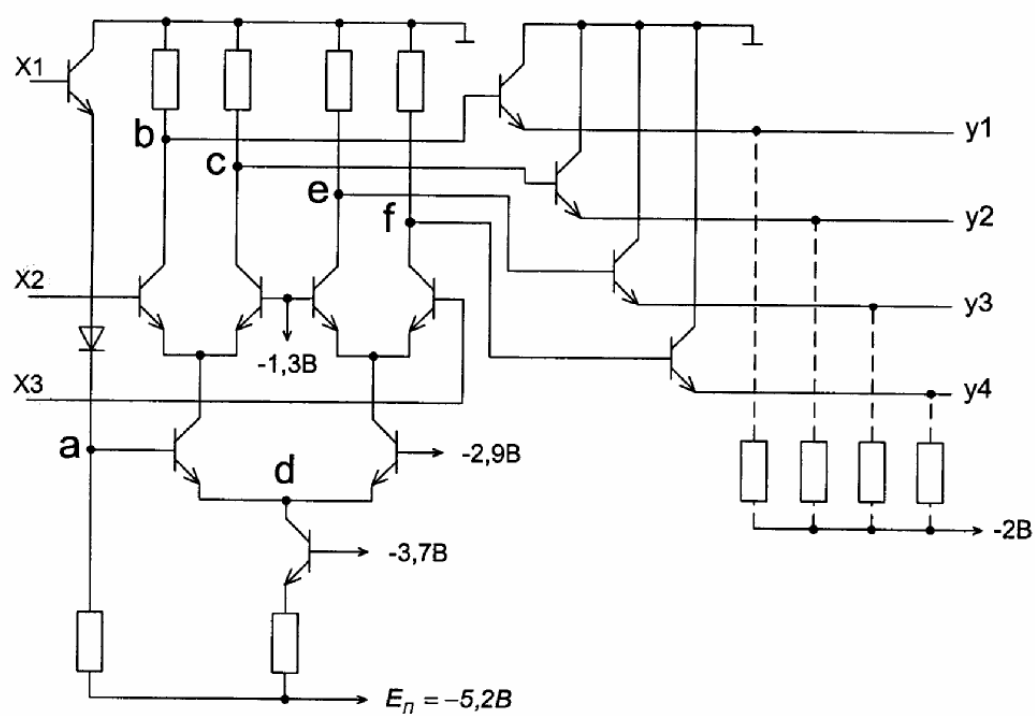


Рис. 12

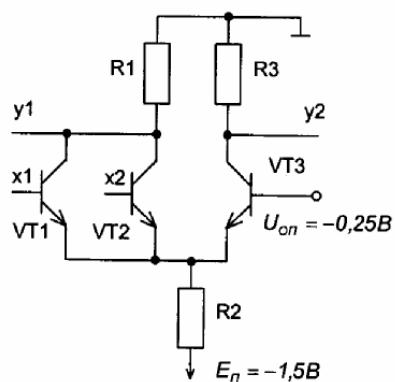


Рис. 13

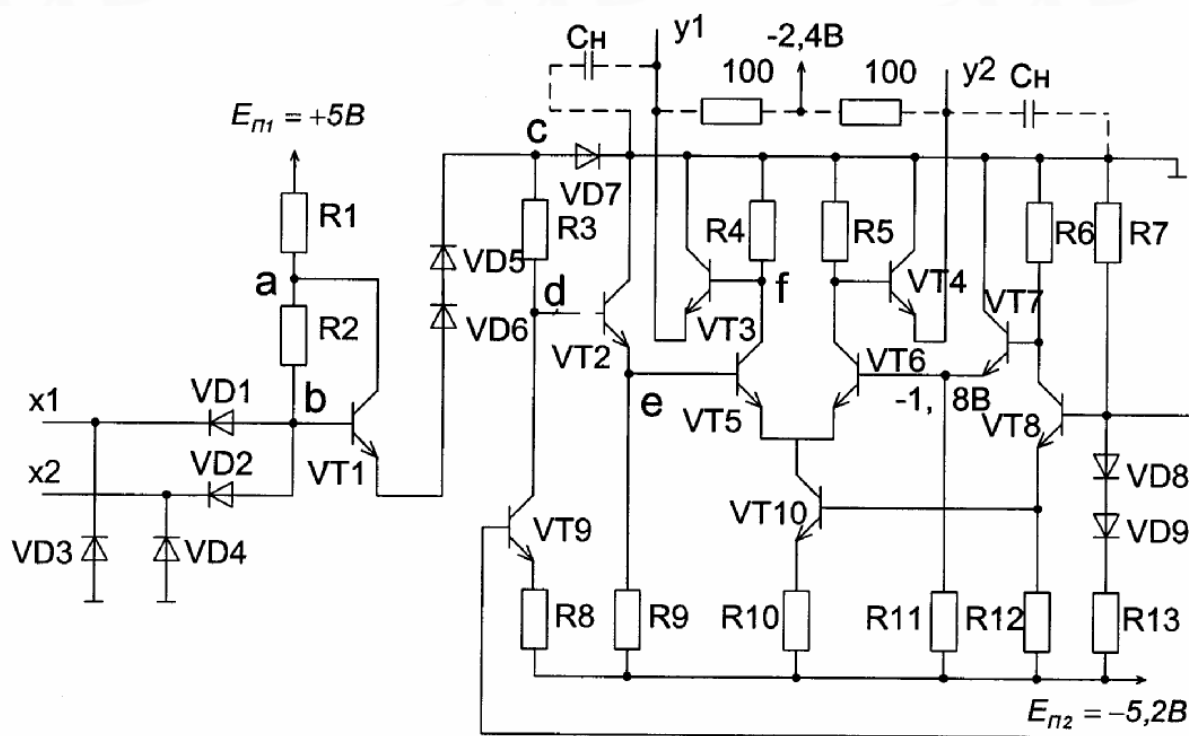


Рис. 14

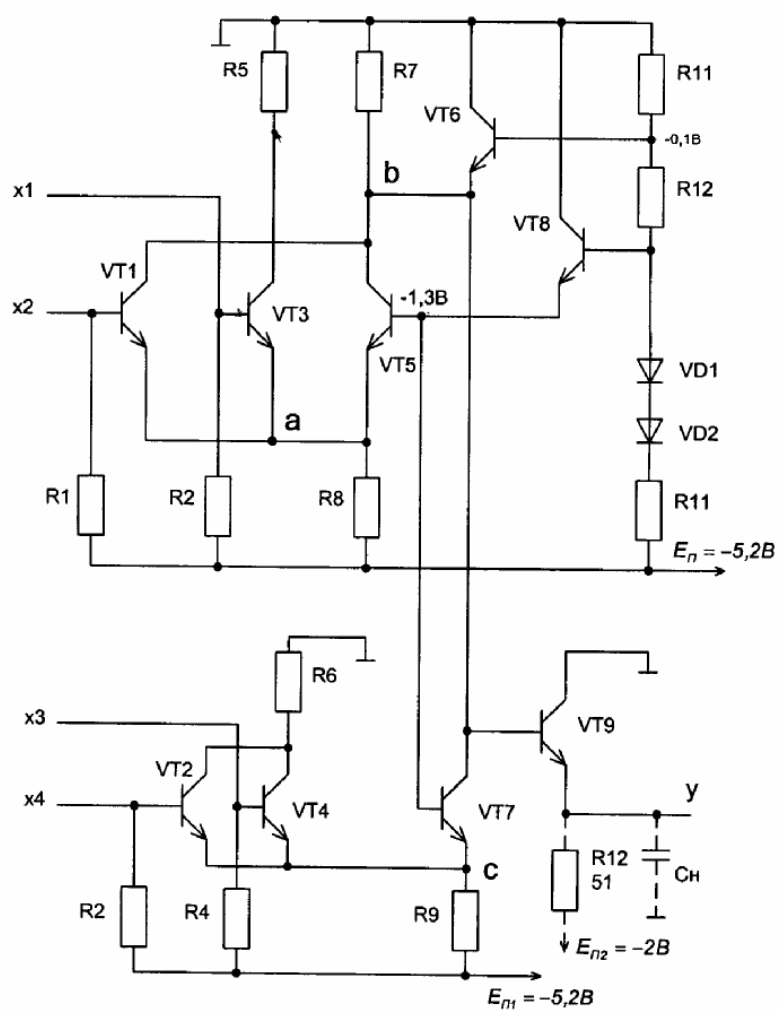


Рис. 15

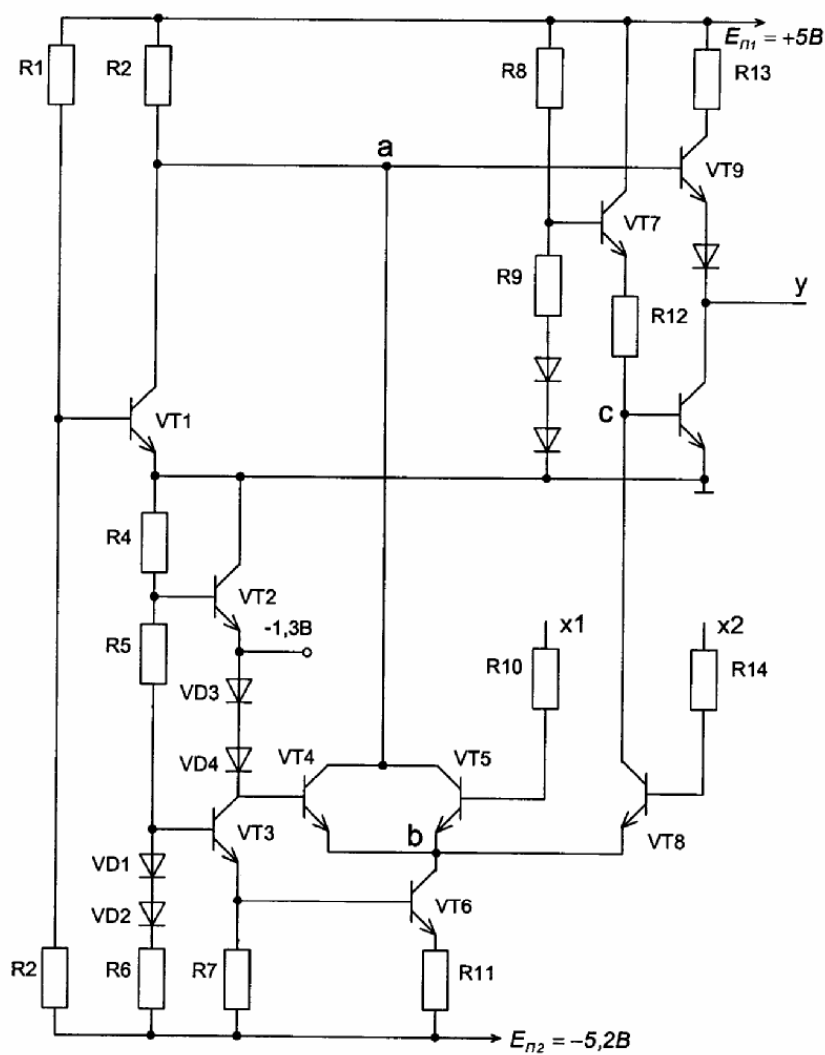
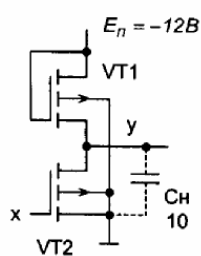


Рис. 16

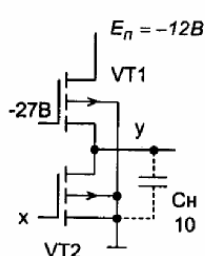


$$K_1 = 0,005 \text{ mA} / B^2,$$

$$K_2 = 0,04 \text{ mA} / B^2,$$

$$U_{\text{пор}1} = U_{\text{пор}2} = -3B$$

Рис. 17

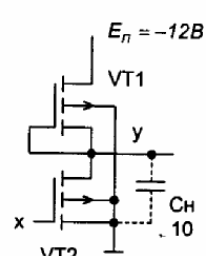


$$K_1 = 0,001 \text{ mA} / B^2,$$

$$K_2 = 0,04 \text{ mA} / B^2,$$

$$U_{\text{пор}1} = U_{\text{пор}2} = -3B$$

Рис. 18



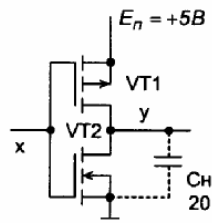
$$K_1 = 0,045 \text{ mA} / B^2,$$

$$K_2 = 0,04 \text{ mA} / B^2,$$

$$U_{\text{отс}1} = 3B,$$

$$U_{\text{пор}2} = -3B$$

Рис. 19



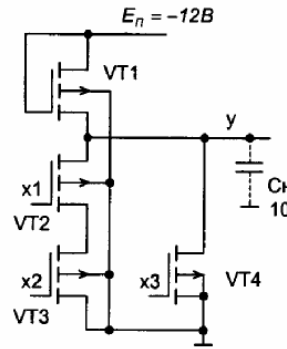
$$K_1 = 0,1 \text{mA} / B^2,$$

$$K_2 = 0,2 \text{mA} / B^2,$$

$$U_{\text{пор}1} = -1,5B,$$

$$U_{\text{пор}2} = 2B$$

Рис. 20



$$K_1 = 0,005 \text{mA} / B^2,$$

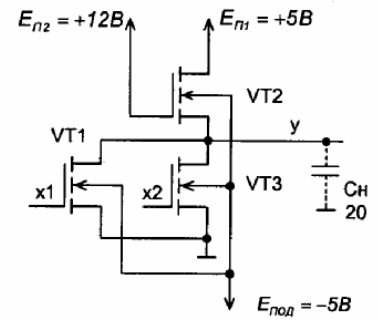
$$K_2 = K_3 = K_4 =$$

$$= 0,04 \text{mA} / B^2,$$

$$U_{\text{пор}1} = U_{\text{пор}2} = U_{\text{пор}3} =$$

$$= U_{\text{пор}4} = -3B$$

Рис. 21



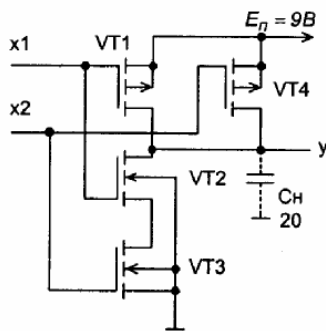
$$K_1 = K_3 = 0,2 \text{mA} / B^2,$$

$$K_2 = 0,01 \text{mA} / B^2,$$

$$U_{\text{пор}1} = U_{\text{пор}3} = 2B,$$

$$U_{\text{пор}2} = 1,5B$$

Рис. 22



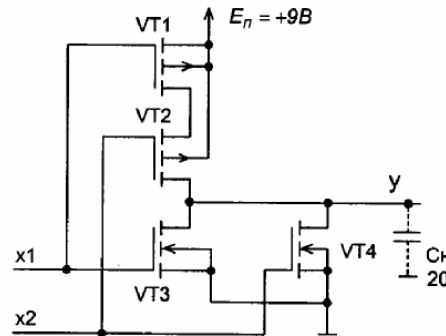
$$K_1 = K_4 = 0,1 \text{mA} / B^2,$$

$$K_2 = K_3 = 0,2 \text{mA} / B^2,$$

$$U_{\text{пор}1} = U_{\text{пор}4} = -1,5B,$$

$$U_{\text{пор}2} = U_{\text{пор}3} = 2B$$

Рис. 23



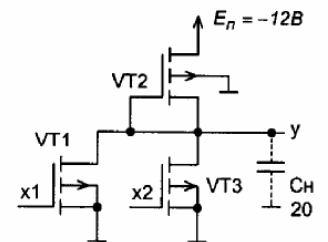
$$K_1 = K_2 = 0,1 \text{mA} / B^2,$$

$$K_3 = K_4 = 0,2 \text{mA} / B^2,$$

$$U_{\text{пор}1} = U_{\text{пор}2} = -1,5B,$$

$$U_{\text{пор}3} = U_{\text{пор}4} = 2B$$

Рис. 24



$$K_1 = K_3 = 0,04 \text{mA} / B^2,$$

$$K_2 = 0,045 \text{mA} / B^2,$$

$$U_{\text{пор}1} = U_{\text{пор}3} = -3B,$$

$$U_{\text{отс}} = 3B$$

Рис.25

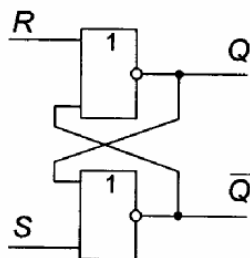


Рис. 26

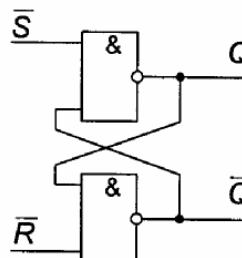


Рис. 27

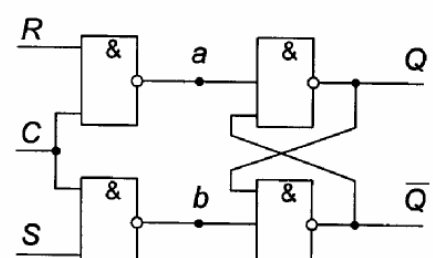
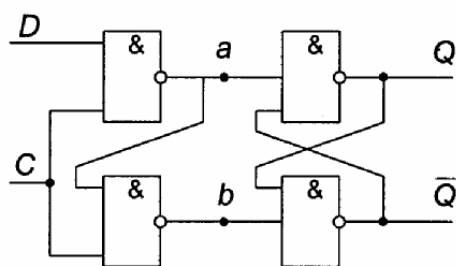
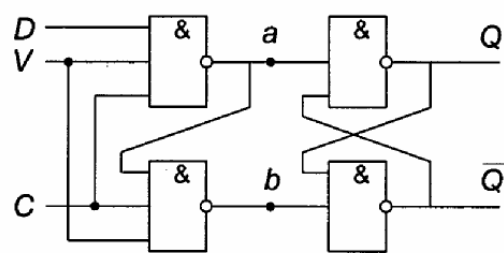


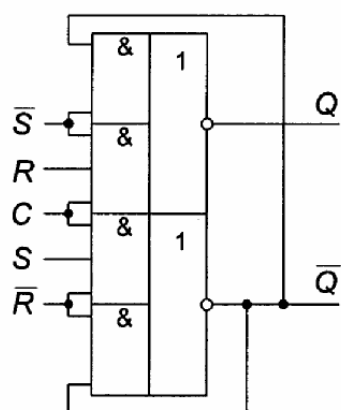
Рис. 28



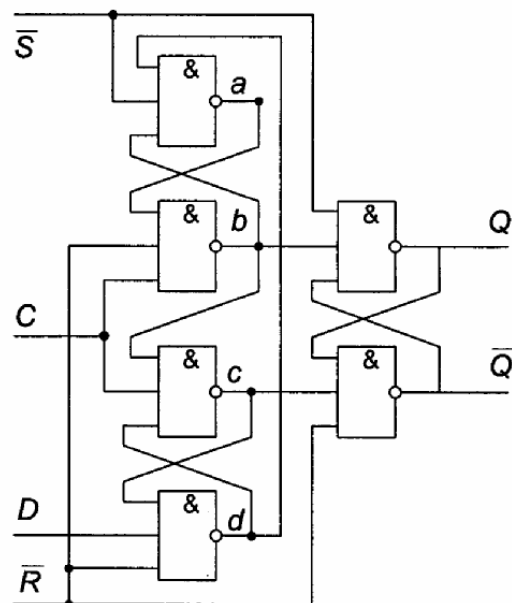
Puc. 29



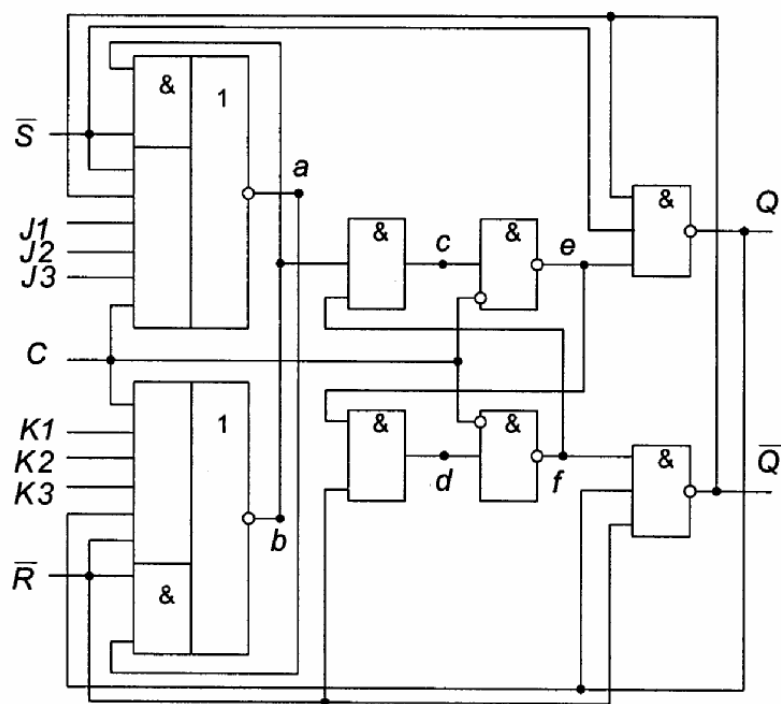
Puc. 30



Puc. 31



Puc. 32 K155TM2



Puc. 33 K155TB1

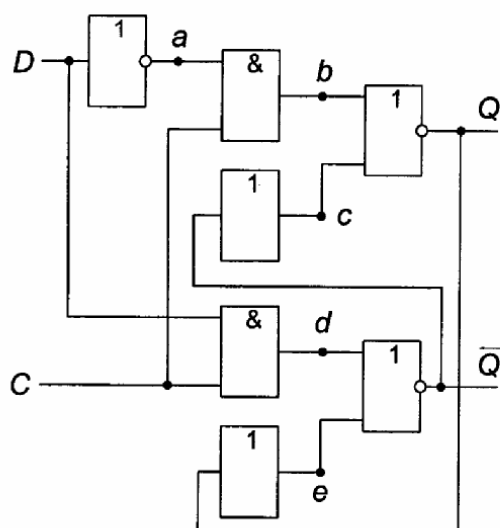


Рис. 34 K155TM7
(K155TM5)

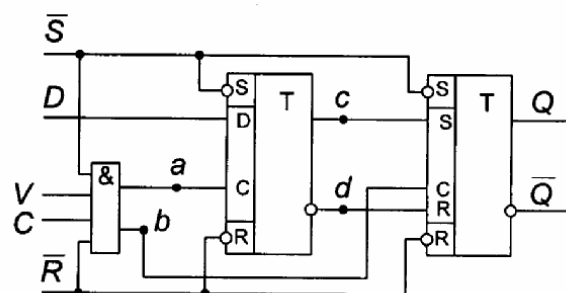


Рис. 35 500TM131(500TM231)

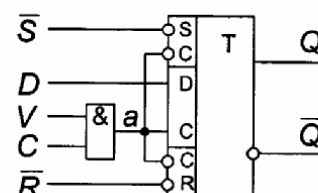


Рис. 36 500TM130

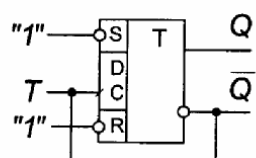


Рис. 37 K155TM2

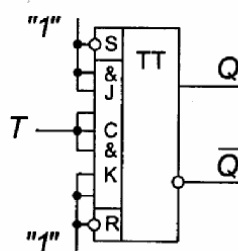


Рис. 38 K155TB1

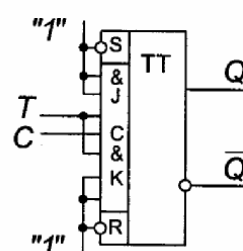


Рис. 39 K155TB1

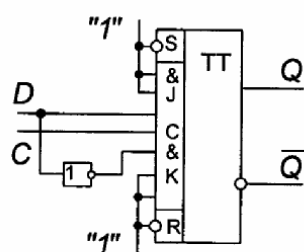


Рис. 40 K155TB1

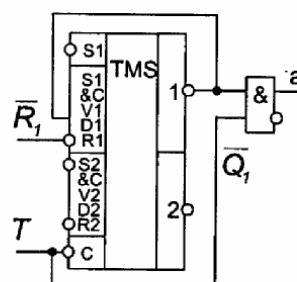


Рис. 41 500TM130,
500ЛМ105

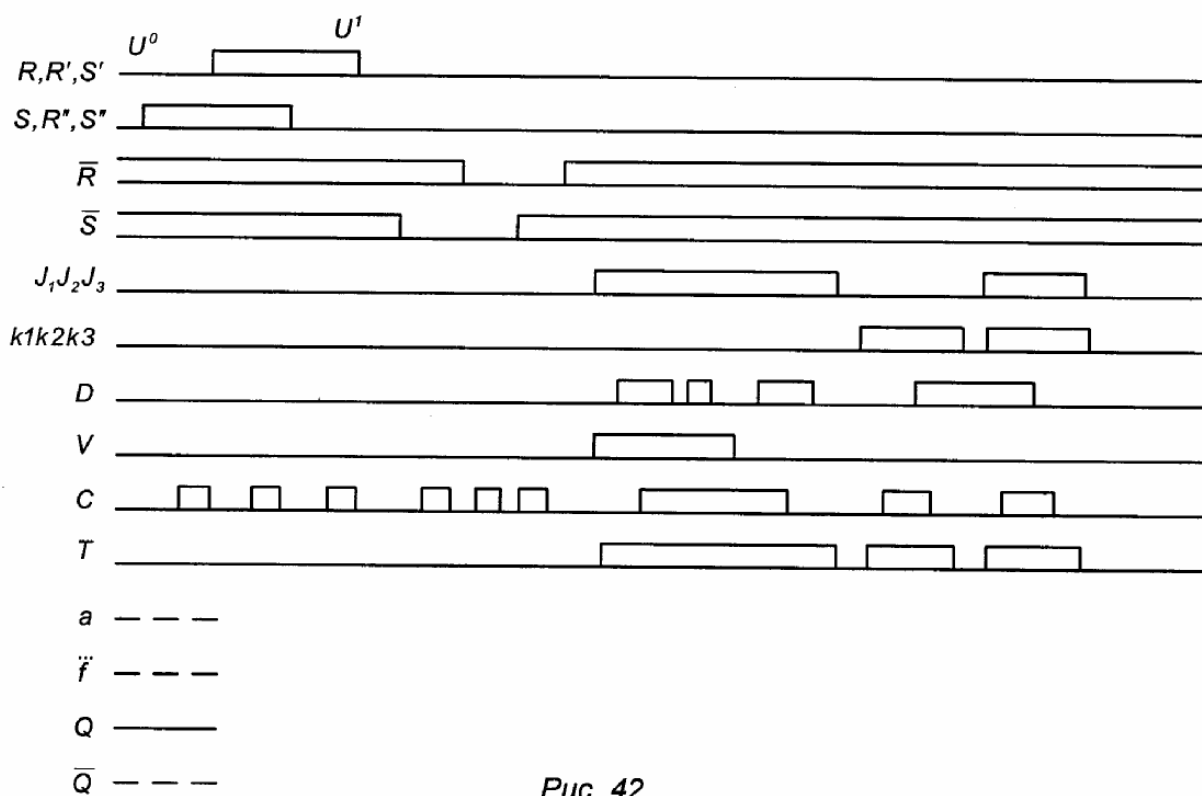


Рис. 42

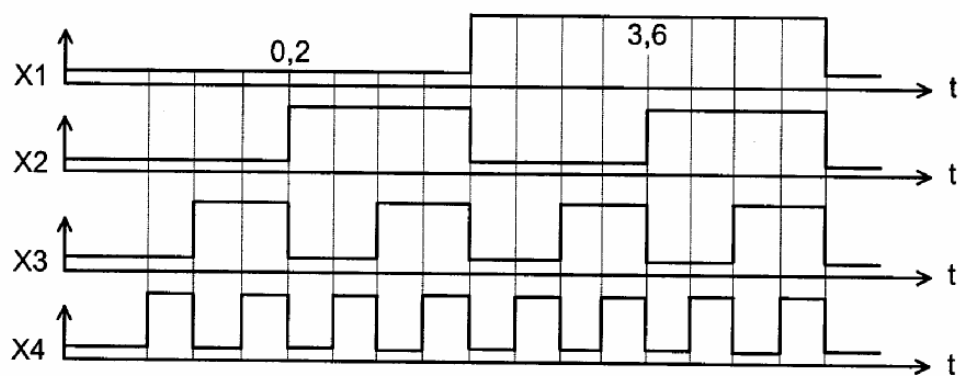


Рис. 43

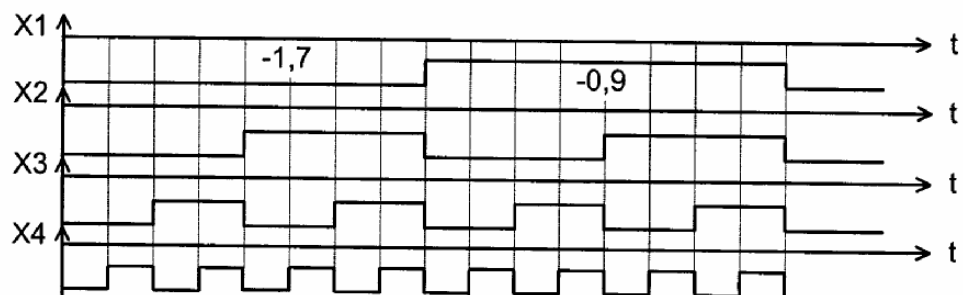


Рис. 44

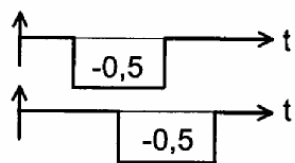


Рис. 45

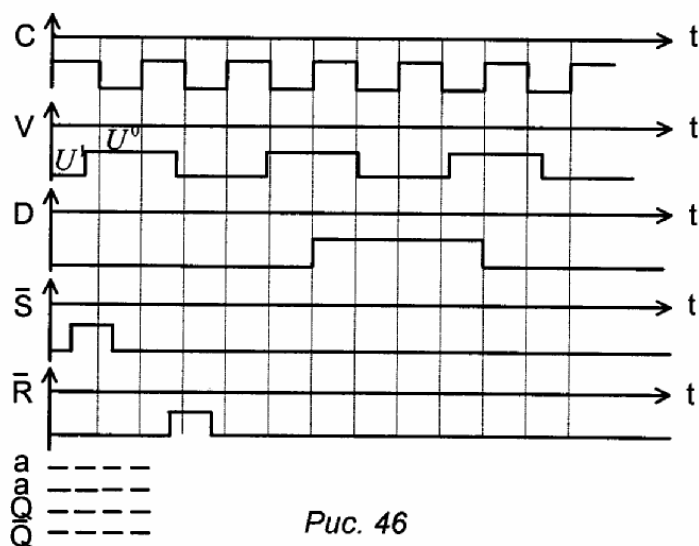


Рис. 46

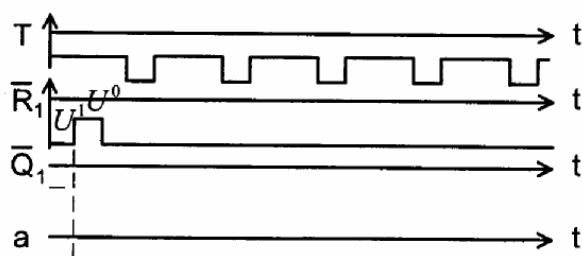


Рис. 47

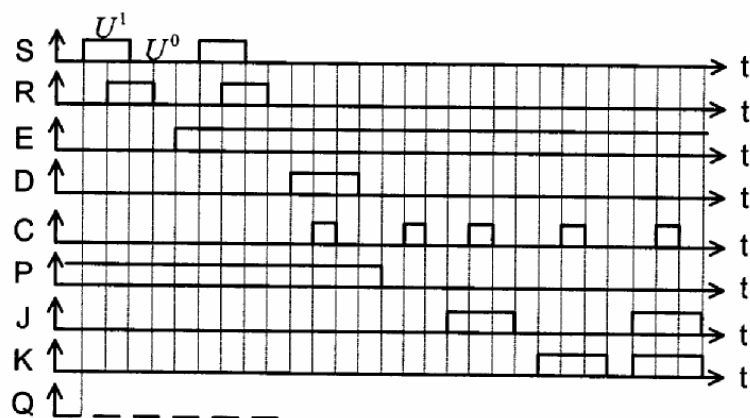


Рис. 48

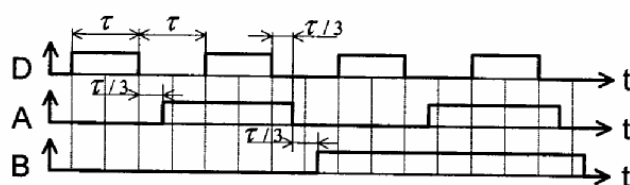


Рис. 49

Контрольная работа № 2

Вторая контрольная работа (задачи для выполнения которой берутся из табл. 3. в соответствии с номером своего варианта, совпадающего с номером варианта первой контрольной работы) посвящена операционным узлам ЦВМ. Решение каждой задачи должно сопровождаться пояснением принятого решения. Для каждой выбранной микросхемы необходимо привести её условное обозначение, таблицу истинности, назначение выводов, основные параметры, особенности работы в различных режимах.

Таблица 3

Варианты контрольной работы № 2

№ ва-рианта	Задачи	№ ва-рианта	Задачи
1	2	3	4
1	3.1.1; 3.7.1; 3.3.1; 3.6.1; 3.5.1	24	3.6.4; 3.2.8; 3.3.6; 3.7.1; 3.5.6
2	3.1.2; 3.7.2; 3.3.2; 3.6.2; 3.5.2	25	3.6.5; 3.2.9; 3.3.7; 3.7.2; 3.5.7
3	3.1.3; 3.7.3; 3.3.3; 3.6.3; 3.5.3	26	3.6.6; 3.2.10; 3.3.8; 3.7.3; 3.5.8
4	3.1.4; 3.7.4; 3.3.4; 3.6.4; 3.5.4	27	3.6.7; 3.2.11; 3.3.9; 3.7.4; 3.5.9
5	3.1.5; 3.7.5; 3.3.5; 3.6.5; 3.5.5	28	3.6.8; 3.2.12; 3.3.1; 3.7.5; 3.5.1
6	3.1.6; 3.7.6; 3.3.6; 3.6.6; 3.5.6	29	3.6.9; 3.2.13; 3.3.2; 3.7.6; 3.5.2
7	3.1.7; 3.7.7; 3.3.7; 3.6.7; 3.5.7	30	3.6.10; 3.2.14; 3.3.3; 3.7.7; 3.5.3
8	3.1.8; 3.7.8; 3.3.8; 3.6.8; 3.5.8	31	3.6.11; 3.2.15; 3.3.4; 3.4.8; 3.5.4
9	3.1.9; 3.7.9; 3.3.9; 3.6.9; 3.5.9	32	3.6.12; 3.2.16; 3.3.5; 3.4.9; 3.5.5
10	3.1.10; 3.7.10; 3.6.1; 3.4.10; 3.5.1	33	3.6.13; 3.7.1; 3.3.6; 3.4.10; 3.5.6
11	3.1.11; 3.7.11; 3.6.2; 3.4.11; 3.5.2	34	3.1.14; 3.7.2; 3.3.7; 3.4.11; 3.5.7
12	3.1.12; 3.7.12; 3.6.3; 3.4.1; 3.5.3	35	3.1.15; 3.7.3; 3.3.8; 3.4.1; 3.5.8
13	3.1.13; 3.7.13; 3.6.4; 3.4.2; 3.5.4	36	3.1.16; 3.7.4; 3.3.9; 3.4.2; 3.5.9
14	3.1.14; 3.7.14; 3.6.5; 3.4.3; 3.5.5	37	3.1.17; 3.7.5; 3.3.1; 3.4.3; 3.6.1
15	3.1.15; 3.7.15; 3.6.6; 3.4.3; 3.5.6	38	3.1.18; 3.7.6; 3.3.2; 3.4.4; 3.6.2
16	3.1.16; 3.7.16; 3.6.7; 3.4.4; 3.5.7	39	3.1.19; 3.7.7; 3.3.3; 3.4.5; 3.6.3
17	3.1.17; 3.2.1; 3.6.8; 3.4.5; 3.5.8	40	3.1.20; 3.7.8; 3.3.4; 3.4.6; 3.6.4
18	3.1.18; 3.2.2; 3.6.9; 3.4.6; 3.5.9	41	3.6.1; 3.7.9; 3.3.5; 3.4.7; 3.5.5
19	3.1.19; 3.2.3; 3.3.1; 3.6.7; 3.5.1	42	3.6.2; 3.7.10; 3.3.6; 3.4.8; 3.5.6
20	3.1.20; 3.2.4; 3.3.2; 3.6.8; 3.5.2	43	3.6.3; 3.7.11; 3.3.7; 3.4.9; 3.5.7
21	3.6.1; 3.2.5; 3.3.3; 3.4.9; 3.5.3	44	3.6.4; 3.7.12; 3.3.8; 3.4.10; 3.5.8
22	3.6.2; 3.2.6; 3.3.4; 3.4.10; 3.5.4	45	3.6.5; 3.2.13; 3.3.9; 3.4.11; 3.5.9
23	3.6.3; 3.2.7; 3.3.5; 3.4.11; 3.5.5	46	3.6.6; 3.2.14; 3.3.1; 3.4.1; 3.5.1

1	2	3	4
47	3.6.7; 3.2.15; 3.3.2; 3.4.2; 3.5.2	54	3.1.14; 3.2.10; 3.3.9; 3.4.9; 3.6.9
48	3.6.8; 3.2.16; 3.3.3; 3.4.3; 3.5.3	55	3.1.15; 3.2.11; 3.3.1; 3.4.10; 3.7.1
49	3.6.9; 3.2.5; 3.3.4; 3.4.4; 3.5.4	56	3.1.16; 3.2.12; 3.3.2; 3.4.11; 3.7.2
50	3.6.10; 3.2.6; 3.3.5; 3.4.5; 3.5.5	57	3.1.17; 3.2.13; 3.3.3; 3.4.1; 3.7.3
51	3.6.11; 3.2.7; 3.3.6; 3.4.6; 3.5.6	58	3.1.18; 3.2.14; 3.3.4; 3.4.2; 3.7.9
52	3.6.12; 3.2.8; 3.3.7; 3.4.7; 3.5.7	59	3.1.19; 3.2.15; 3.3.5; 3.4.3; 3.7.8
53	3.6.13; 3.2.9; 3.3.8; 3.4.8; 3.5.8	60	3.1.20; 3.2.16; 3.3.6; 3.4.4; 3.7.7

Ниже приводятся тексты задач контрольной работы № 2.

3.1. Дешифраторы, демultipлексоры, шифраторы

3.1.1. Привести логическую структуру, обозначение, таблицу истинности, параметры, систему выходных булевых функций дешифратора К155ИД4 [7, 17].

3.1.2. На базе двух микросхем К155ИД4 и логических элементов 155 серии построить полный двухступенчатый прямоугольный дешифратор с прямыми выходами. Привести таблицу истинности разработанного 4-разрядного дешифратора [9; 26; 34].

3.1.3. Каскадным включением только дешифраторов К155ИД4 построить 4-разрядный полный двоичный дешифратор [9; 26; 34].

3.1.4. Построить 6-разрядный полный двоичный дешифратор на базе микросхем К155ИД3 и инверторов [9; 26; 34].

3.1.5. На базе микросхемы К155ИД4 реализовать демultipлексор 1–8. Привести таблицу истинности [7; 26; 33].

3.1.6. На базе микросхем К155ИД реализовать демultipлексор 1-16. Привести таблицу истинности [9; 26; 34].

3.1.7. На базе дешифратора К155ИД10 реализовать демultipлексор 1–8. Привести таблицу истинности [2; 34].

3.1.8. Построить 4-разрядный полный двоичный дешифратор на базе микросхем К155ИД10 и инверторов [2; 34].

3.1.9. Комбинационная схема определена с помощью следующих уравнений: $f_1 = AB + \bar{A}\bar{B}\bar{C}$; $f_2 = A + B + \bar{C}$; $f_3 = \bar{A}B + A\bar{B}$. Разработать схему, реализующую эти уравнения с помощью дешифратора и логических элементов И-НЕ [18].

3.1.10. Используя 9 микросхем К155ИД4, построить полный дешифратор 6–64 [9; 18; 34].

3.1.11. Реализовать с помощью дешифратора К155ИД4 и элементов И-НЕ булеву функцию $y = x_1x_2x_3 + x_1\bar{x}_2 + \bar{x}_1x_2\bar{x}_3x_4$ [9; 18; 34].

3.1.12. Построить шифратор на элементах 155-й серии, преобразующий унитарный код с выхода 4-разрядного дешифратора К155ИД3 в двоичный код [27; 32].

3.1.13. На элементах 155-й серии построить приоритетный шифратор. Минимизировать схему. Таблица истинности приоритетного шифратора – табл. 19.2 [8]. Приоритетный шифратор должен иметь 9 входов, а выходной двоичный код должен изменяться от 0000 до 1001 [5; 34].

3.1.14. Разработать комбинационную логическую схему, позволяющую проводить преобразование 4-разрядных двоичных чисел в дополнительный код [5; 34].

3.1.15. Разработать преобразователь двоично-десятичного кода в семисегментный [34].

3.1.16. Спроектировать комбинационную логическую схему, позволяющую получить дополнение до 9 для каждой десятичной цифры от 0 до 9 [21; 34].

3.1.17. Разработать логическую схему, которая будет показывать, когда большинство цифр 5-разрядного двоичного числа равно 1. Реализовать ее на базе элементов И-НЕ [21;34].

3.1.18. Разработать логическую схему преобразователя кода 8-4-2-1 в код 2-4-2-1 [18; 34].

3.1.19. Разработать логическую схему преобразователя кода 8-4-2-1 в код Грея [18; 34].

3.1.20. Разработать логическую схему преобразователя кода Грея в код 8-4-2-1 [18; 34].

3.2. Мультиплексоры

3.2.1. Реализовать на базе мультиплексоров К155КП7 и логических элементов серии К155 мультиплексор «16-1» без стробирования [32; 34].

3.2.2. Реализовать на базе мультиплексоров К155КП7 мультиплексор «24-1» со стробированием [32; 34].

3.2.3. Реализовать мультиплексор «24-1» со стробированием, используя только мультиплексоры К155КП7 [32; 34].

3.2.4. Реализовать на базе мультиплексоров 564КП2 мультиплексор 15-1 по древовидной структуре. Привести таблицу истинности [5; 34].

3.2.5. Используя мультиплексор К155КП2 и Д-триггер К155ТМ2, построить JK-триггер.

3.2.6. Привести таблицу реализации 16 булевых функций двух переменных на мультиплексоре «4-1». Назовите эти функции [34].

3.2.7. Приведите реализацию на мультиплексоре «4-1» и инверторах функции трех переменных $y = AB + BC + A\bar{C}$ [34].

3.2.8. На базе микросхем К155КП2 построить кольцевое устройство сдвига 4-разрядного числа [32; 34].

3.2.9. Реализовать с помощью мультиплексора «4-1» и логических элементов И-НЕ булеву функцию четырех переменных $y = \sum 0, 1, 3, 5, 6, 8, 9, 11, 12, 13$ [34].

3.2.10. Постройте устройство выборки 4 разрядов $x_1x_2x_3x_4$, $x_5x_6x_7x_8$, ..., $x_{29}x_{30}x_{31}x_{32}$ из 32 разрядов $x_1x_2 \dots x_{32}$ на селекторах-мультиплексорах «8-1» типа К155КП7 [2; 34].

3.2.11. Реализовать мажоритарный элемент для трех переменных на мультиплексоре «4-1» [1; 34].

3.2.12. Реализовать с помощью мультиплексора «4-1» и логических элементов И-НЕ булеву функцию четырех переменных $y = \sum 0, 3, 7, 8, 9, 10, 11, 13, 14, 15$ [34].

3.2.13. Реализовать с помощью мультиплексора «4-1» и логических элементов И-НЕ булеву функцию от четырех переменных $y = \sum 0, 1, 3, 5, 6, 8, 9, 11, 12, 13$ [34].

3.2.14. Реализовать на базе мультиплексоров К155КП7 и элементов 155-й серии мультиплексор «32-1» без стробирования [34].

3.2.15. Используя только мультиплексоры «4-1», реализовать булеву функцию четырёх переменных: $y = x_1 + x_2 + x_3 + x_4$ [34].

3.2.16. На мультиплексоре «8-1» реализовать булеву функцию четырёх переменных: $y = x_1 + x_2 + x_3 + x_4$ [34].

3.3. Счетчики, пересчетные устройства

3.3.1. Постройте возможные схемы синхронных делителей на 3 на триггерах К155ТМ2 и логических элементах 155-й серии. Проверьте, не «застевают» ли схемы в запрещенных состояниях, в которых они могут оказаться, например, при включении источника питания [21; 15].

3.3.2. Постройте возможные схемы синхронных делителей на 3 на триггерах К155ТВ1. Проверьте, не «застевают» ли схемы в запрещенных состояниях, в которых они могут оказаться, например, при включении источника питания [5; 21; 24; 15].

3.3.3. Спроектируйте синхронный суммирующий счетчик по модулю 11 на основе логических элементов и Т-триггеров [15].

3.3.4. Спроектируйте синхронный суммирующий счетчик по модулю 12 на основе RS-триггеров и логических элементов И-НЕ [15].

3.3.5. Спроектируйте синхронный суммирующий счетчик по модулю 13 на основе JK-триггеров и логических элементов И-НЕ [15].

3.3.6. Спроектируйте синхронный суммирующий счетчик по модулю 14 на основе Д-триггеров и логических элементов И-НЕ [5; 15].

3.3.7. Приведите две схемы, реализующие на счетчиках К155ИЕ7 модули счета 5 и 12. Нарисуйте временные диаграммы на входах и выходах счетчиков [6; 15].

3.3.8. Используя счетчик K155ИЕ7 и логические элементы 155-й серии, разработайте схему реверсивного счетчика с модулем 6 и выходами переноса и заема. Нарисуйте временные диаграммы на входах и выходах полученного счетчика в режиме суммирования и в режиме вычитания [6; 18; 15].

3.3.9. На базе двух JK-триггеров и логических элементов постройте генератор чисел 3-2-7-12 [6; 18; 15].

3.4. Регистры

3.4.1. Реализовать на регистре K155ИР1 делители частоты выходных импульсов на 2 и на 3. Привести временные диаграммы, поясняющие работу схем [8; 32; 15].

3.4.2. Реализовать на регистре K155ИР1 и логических элементах кольцевой регистр. Нарисовать временную диаграмму, поясняющую работу схемы [7; 15].

3.4.3. Разработать диаграммы состояний для генератора чисел на сдвиговом 4-разрядном регистре с элементом «исключающее ИЛИ» в цепи обратной связи, реализующим функцию $f_{\text{ос}} = Q_2 \oplus Q_3$. Здесь $Q_3Q_2Q_1Q_0$ – генерируемый код [18; 15].

3.4.4. Реализовать на регистре K155ИР13 и логических элементах кольцевой регистр. Нарисовать временную диаграмму, поясняющую работу схемы [18].

3.4.5. Разработать диаграммы состояний для генератора чисел на сдвиговом 4-разрядном регистре с элементом «исключающее ИЛИ» в цепи обратной связи, реализующим функцию $f_{\text{ос}} = Q_2 \oplus Q_3$. Здесь $Q_3Q_2Q_1Q_0$ – генерируемый код [18].

3.4.6. Для генерации двух последовательностей чисел соответственно длиной 7 и 5 используется 3-разрядный сдвиговый регистр. Когда сигнал управления $m=1$, происходит генерация первой последовательности, а когда $m=0$, генерируется вторая последовательность. Построить удовлетворяющий этим требованиям генератор на сдвиговом регистре с элементами И-НЕ в цепи обратной связи [18; 15].

3.4.7. Разработать схему счетчика по модулю 12 с естественным порядком счета, используя сдвиговый регистр и логические элементы в цепи обратной связи [18; 15].

3.4.8. Используя сдвиговый регистр и комбинационную логику, спроектировать генератор последовательности 1-0-1-1-0-1-1-0 [18; 15].

3.4.9. Используя сдвиговый регистр и комбинационную логику, спроектировать генератор последовательности 0-1-0-0-1-0-1-1-1-0-1 [18; 15].

3.4.10. Трехразрядный сдвиговый регистр снабжен цепью обратной связи, реализующей функцию $f_0 = Q_1 \oplus Q_2$ с помощью элемента «исключающее ИЛИ». Этот регистр должен использоваться для периодической генерации последовательности, представляющей число e (2,718282) в двоично-десятичном коде. Определить последовательность счета

для генератора и разработать комбинационную логическую схему, необходимую для получения последовательности цифр, составляющих e [18].

3.4.11. Начертить временные диаграммы, характеризующие работу 4-разрядного счетчика Джонсона в течение восьми тактовых импульсов. Изобразить на временных диаграммах значения выходов всех триггеров, входящих в состав счетчика. Определить, как надо изменить логическую схему в цепи обратной связи счетчика, чтобы исключить состояние 1111 из счетной последовательности [18; 15].

3.5. Сумматоры и арифметическо-логические устройства

3.5.1. На микросхемах K155ИМ1 построить 4-разрядный сумматор с последовательным переносом и определить его быстродействие. Слагаемые – целые числа в прямом коде [1; 9; 32; 34].

3.5.2. На микросхемах K155ИМ1 построить 4-разрядный сумматор с последовательным переносом и определить его быстродействие. Слагаемые – целые числа, представленные обратным кодом [1; 9; 32; 34].

3.5.3. Построить 4-разрядный сумматор на микросхемах K155ИМ2 и определить его быстродействие [1; 32; 34].

3.5.4. Построить 8-разрядный сумматор на микросхемах K155ИМ3 и определить его быстродействие [1; 9; 32; 34].

3.5.5. Построить 12-разрядный сумматор с параллельным переносом на микросхемах K155ИП3, K155ИП4 и определить его быстродействие [1; 32; 34].

3.5.6. Разработать преобразователь прямого кода целого числа со знаком в дополнительный, используя микросхему АЛУ K155ИП3. Коды 8-разрядные, восьмой (старший) разряд – знаковый. Привести временную диаграмму, поясняющую работу схемы [1; 32; 17].

3.5.7. Разработать преобразователи: а) прямого кода в обратный; б) обратного кода в прямой; в) дополнительного кода в обратный; г) обратного кода в дополнительный, используя микросхему АЛУ K155ИП3 [1; 32; 17].

3.5.8. Используя микросхему K155КП2 и логические элементы, построить полный одноразрядный сумматор и определить его быстродействие [1; 9; 34].

3.5.9. Используя микросхему K155КП12 и инвертор, построить полный одноразрядный сумматор и определить его быстродействие [1; 9; 34].

3.6. Модули памяти

3.6.1. Изобразить структурную схему статического ОЗУ и пояснить её работу в различных режимах [30; 36].

3.6.2. Построить модуль памяти ОЗУ с организацией $2K \times 6$ на ИМС KР185РУ5 [37; 30; 36].

3.6.3. Построить модуль памяти ОЗУ с организацией $32K \times 4$ на ИМС K565РУ3А [37; 30; 36].

3.6.4. Построить модуль памяти ОЗУ с организацией 2Кх8 на ИМС К176РУ2 [37; 30; 36].

3.6.5. Изобразить структурную схему динамического ОЗУ и пояснить его работу в различных режимах [37; 30; 36].

3.6.6. Построить модуль памяти ОЗУ с организацией 1Кх16 на ИМС К565РУ2А [16; 47].

3.6.7. Построить модуль памяти ОЗУ с организацией 2Кх4 на ИМС К565РУ2Б [16; 47].

3.6.8. Построить магазинное СОЗУ на ИМС 564ИР11 с организацией 32х4 с двумя адресными счётчиками [39, рис. 4.20].

3.6.9. Построить СОЗУ с комбинированным доступом на ИМС 564ИР11 с организацией 32х4 [39, рис 4.21].

3.6.10. Объяснить, что такое однокоординатная выборка ячейки полупроводникового ЗУ [37; 32, с. 104–106; 16].

3.6.11. Объяснить, что такое двухкоординатная выборка ячейки полупроводникового ЗУ [37; 32, с. 104–106; 16].

3.6.12. Объяснить процесс программирования ППЗУ К155РЕЗ [32, с. 107–108; 16].

3.6.13. Объяснить, что такое программируемые логические матрицы. Как они организованы? [32, с. 107–108; 28; 16].

3.7. Элементы аналоговых и аналого-цифровых вычислительных устройств

3.7.1. Изобразить структурную схему, перечислить и дать краткую характеристику параметров интегрального операционного усилителя [9, с. 112–120; 10].

3.7.2. Изобразить схемы и вывести аналитические выражения для коэффициентов усиления инвертирующего и неинвертирующего масштабных усилителей, выполненных на основе ОУ [9, с. 131–142; 10].

3.7.3. Изобразить схемы и вывести аналитические выражения, связывающие $U_{\text{вых}}$ и $U_{\text{вх}}$, интегрирующего и дифференцирующего усилителей, выполненных на идеальных ОУ [10, с. 126–127; 43, с. 142–143].

3.7.4. Изобразить схему умножения двух аналоговых сигналов, выполненную на основе идеальных ОУ, и пояснить её функционирование [10, с. 167–169].

3.7.5. Изобразить схему деления двух аналоговых сигналов, выполненную на основе идеальных ОУ, и пояснить её функционирование [10, с. 169–171].

3.7.6. АЦП последовательного счёта. Структурная схема, временная диаграмма, быстроедействие [2; 12; 32; 37, с. 43–49].

3.7.7. Структурная схема ЦАП с матрицей из двоично взвешенных резисторов. Принцип работы. Применение резисторной матрицы R-2R [2; 32; 37].

3.7.8. Структурная схема АЦП поразрядного уравнивания. Принцип работы. Временная диаграмма, быстродействие [2; 12; 32, с. 122; 37].

3.7.9. Структурная схема АЦП интегрирующего типа. Принцип работы. Временная диаграмма, быстродействие [12; 32, с. 122–123; 37, с. 58–61].

3.7.10. Структурная схема АЦП с преобразованием напряжения в частоту. Принцип работы. Временная диаграмма, быстродействие [32, с. 123].

3.7.11. Структурная схема АЦП параллельного преобразования. Принцип работы, погрешности, быстродействие [47, с. 248–251; 32, с. 123–124; 37, с. 52–56].

3.7.12. Схемы выборки-хранения: назначения, принцип работы [32, с. 115–117; 37, с. 48–49].

4. КУРСОВОЕ ПРОЕКТИРОВАНИЕ

Целями, задачами и методами их решения при курсовом проектировании (КП) являются:

1. Приобретение навыков разработки структурных, функциональных, принципиальных схем и временных диаграмм, их вычерчивания со строгим соблюдением действующих ГОСТов.

2. Изучение вопросов согласования элементов и узлов по уровням и нагрузочной способности.

3. Приобретение навыков построения многоразрядных узлов из микросхем меньшей разрядности выбранной элементной базы.

4. Изучение требований к типу источника питания, его мощности, стабильности, необходимости постановки фильтрующих конденсаторов на ТЭЗе, их ёмкости и т.п.

5. Изучение работы всех используемых в КП микросхем (таблицы истинности и переходов, временные диаграммы, назначение выводов, условные обозначения, особенности работы в данной элементной базе и т.д.).

4.1. Пояснительная записка

Пояснительная записка (ПЗ) должна быть написана на одной стороне стандартного листа формата А4. Объём ПЗ – не менее 30 с., жёстко скреплённых с обложкой. Для группы студентов может быть предложена одинаковая тема с вариантами, отличающимися друг от друга элементной базой. Это позволяет группе студентов совместными усилиями быстро выйти на заданные алгоритм и структуру и приступить к индивидуальному, более глубокому изучению вопросов технической реализации устройства в заданной элементной базе.

Примерная структура пояснительной записки:

Титульный лист.

Задание по курсовому проектированию.

Содержание.

Введение.

1. Обзор литературы.
2. Структурная схема.
3. ГСА (при необходимости).
4. Функциональная схема.
5. Принципиальная схема.
 - 5.1. Оптимизация по заданному критерию.
 - 5.2. Технические характеристики и описание ИС.
 - 5.3. Построение многоуровневых схем.
 - 5.4. Согласование элементов и узлов по уровням и нагрузочной способности.
6. Временные диаграммы, расчёт максимальной тактовой частоты.
7. Расчёт потребляемой мощности и выработка требований к источнику питания.
8. Перечень элементов, входящих в схему устройства. Список использованной литературы.

Заключение.

Страницы записки должны быть пронумерованы. Подпись студента должна присутствовать на титульном листе, в задании по КП, на чертежах в штампах.

Во введении (2 с.) следует отразить значение темы КП в соответствующем разделе науки. В обзоре литературы (4 с.) необходимо отразить основные определения, теоретические положения, классификацию со ссылками на литературу. Ссылки на текст делать стандартным образом, например [5]. Структурная схема определяет основные функциональные части изделия, их назначение и взаимосвязи (1 с.). ГСА изображается на рисунке и используется для описания микропрограмм (1 с.). Функциональная схема (3 с.) разъясняет определённые процессы в изделии (установке) в целом или в отдельных его функциональных цепях.

Принципиальная схема определяет полный состав элементов и связей между ними и даёт детальное представление о принципах работы изделия (установки). В п. 5 (1 с.) следует пояснить соответствие элементов принципиальной схемы функциональным частям функциональной схемы п. 4. В п. 5.1 (2 с.) в соответствии с заданным критерием оптимизации необходимо выбрать конкретные номера серий ИС, так как одни серии ТТЛ имеют наименьшую потребляемую мощность и быстродействие, а другие – наоборот, и отразить особенности реализации принципиальных схем. Например, при реализации максимального быстродействия желательно применять малоступенчатые схемы, осуществлять параллельную обработку разрядов, переносов и т.п. Если критерием оптимальности служит минимум оборудования, то возможна последовательная обработка разрядов, переносов и т.д. Выбираются номиналы источников питания. Например, схемы КМОП могут работать при номиналах питания +10 В и +5 В. В первом случае будет выше быстродействие, но и больше потребляемая мощность (на максимальной частоте), во втором случае – наоборот. При +5 В проще согласование, например с сериями ТТЛ (если критерий оптимизации –

минимум оборудования). В ЭСЛ схемах (500-я серия) выбор напряжения смещения $U_{см} = -2$ В и нагрузочного резистора 5 ГОм позволит получить минимальное приращение задержки при подключении каждого дополнительного входа микросхемы – нагрузки и т.п. Допустимое снижение напряжения питания КМОП ОЗУ, например до 2 В в режиме хранения, позволяет уменьшить потребляемую мощность, применить при необходимости резервный батарейный источник питания для хранения информации при отключении питания и т.п.

В п. 5.2 (3 с.) необходимо привести технические характеристики и описание работы выбранных ИС, указать их режимы работы и особенности включения в разработанной принципиальной схеме данного КП. Здесь могут быть таблицы истинности, таблицы переходов, временные диаграммы отдельно взятой микросхемы (например K565РУ3А), таблица параметров (задержки по разным входам, потребляемая мощность, уровни нуля и единицы U^1 , U^0 , $I_{вх}^0$, $I_{вх}^1$, $I_{вх}^0$, $I_{вх}^1$), обозначение ИС, их внутренняя логическая структура. Студент вправе выбрать положительную или отрицательную логику, т.е. $U^1 > U^0$ или $U^1 < U^0$. Но после того, как выбор сделан, следует обратить внимание на соответствие приводимого в записке обозначения ИС. В п. 5.3 (2 с.) следует отразить общие принципы построения многоразрядных схем и их конкретные решения в разработанной принципиальной схеме. Это и многоразрядные дешифраторы, мультиплексоры, регистры, многоразрядные схемы сложения по модулю 2, блоки памяти и т.п.

В п. 5.4 (2 с.) необходимо проверить согласование элементов по уровням при переходе с одной серии на другую, проверить по нагрузочной способности все цепи, предусмотреть меры по увеличению нагрузочной способности, где эти требования не выполняются.

При соединении одной серии ТТЛ с другой необходимо учитывать разные значения токов $I_{вх}^0$, $I_{вх}^1$, $I_{вх}^0$, $I_{вх}^1$, $C_{н макс}$ при определении $K_{раз}$. Особые меры согласования принимаются при переходе с ТТЛ на КМОП или наоборот [14], при переходах ТТЛ – ЭСЛ, ЭСЛ – ТТЛ и др. Важно не забывать следить за обеспечением необходимой помехоустойчивости и принимать меры при её снижении, например, постановкой элементов с гистерезисной амплитудной передаточной характеристикой (триггер Шмитта) и др. В п.6 (2 с.) указать задержки и минимальную длительность сигналов в основных точках схемы с учётом прохождения по цепям принципиальной схемы и определить максимальную тактовую частоту. В п. 7 (2 с.) рассчитать потребляемую устройством среднюю мощность $P_{ср}$ и мощность на максимальной тактовой частоте. Сформулировать требования к типу (линейные, импульсные и др.) стабилизаторов напряжения, их параметрам, фильтрующим конденсаторам ТЭЗ, их количеству, номиналам [2; 38].

4.2. Графический материал

Необходимо вычертить структурную, функциональную, принципиальную схемы и временную диаграмму. Масштабы выбираются исходя из габаритов условных графических обозначений (УГО) и выбранного формата листа, причём коэффициент использования площади листа должен быть не менее 0,8. Предпочтительными масштабами для курсовых проектов являются:

- натуральная величина;
- масштабы увеличения: 2:1, 4:1, 5:1, 10:1;
- масштабы уменьшения: 1:2, 1:4, 1:5, 1:10.

Графическую документацию КП допускается выполнять карандашом или чёрной тушью. Толщина сплошной линии должна быть в пределах от 0,3 мм до 0,4 мм в зависимости от сложности и формата чертежа. Линии связи должны быть показаны, как правило, полностью. Допускается обрывать линии связи удалённых друг от друга элементов, если графическое изображение связей затрудняет чтение схемы. Обрыв линий заканчивается стрелками с обозначением места подключения. Надписи, наносимые от руки на чертежи и схемы, должны выполняться чертёжным шрифтом. Размеры шрифта выбираются исходя из сложности текста (таблиц) и выбранного формата. Толщина всех условных графических изображений элементов выбирается равной толщине линии электрической связи, а толщина шины – вдвое больше. Функциональные части на структурных и функциональных схемах допускается выделять штрихпунктирной или сплошной линией.

Для упрощения чертежей следует широко пользоваться сокращёнными и совмещёнными изображениями элементов. Если в состав изделия входит несколько одинаковых устройств, не имеющих самостоятельных принципиальных схем, то на схеме изделия допускается не повторять схемы этих устройств, а изображать их в виде прямоугольников. Схема такого устройства изображается внутри одного из прямоугольников. При этом элементам присваивается позиционное обозначение в пределах каждого устройства. Элементы, составляющие устройство, которое имеет самостоятельную принципиальную схему, выделяют на принципиальной схеме сплошной линией вдвое толще линии связи. На принципиальных схемах могут быть линии разной толщины, но не более трёх (ГОСТ 2.702-75) с пояснениями на поле схемы.

При выполнении принципиальных схем на нескольких листах должны соблюдаться следующие требования:

- а) при присвоении элементам позиционных обозначений необходимо соблюдать сквозную нумерацию в пределах изделия;
- б) перечень элементов должен быть общим;
- в) отдельные элементы допускается повторно изображать на других листах схемы, сохраняя за ними позиционные обозначения, присвоенные ранее.

4.3. Задания на курсовое проектирование

В качестве задания по КП может быть предложена одна из тем, исходные данные которых приведены в табл. 4–7. Кроме того, руководитель КП может выдавать свои темы с учётом цели и задачи курсового проектирования и изучения этих тем в соответствии с учебным планом. Примерными темами КП при этом могут быть следующие:

1. Цифровой универсальный измерительный прибор (мультиметр) с автоматическим выбором пределов измерений.
2. Цифровой прибор для измерения времени и температуры.
3. Измеритель пульса и артериального давления.
4. Частотомер с автоматическим выбором пределов измерения.
5. Охранное устройство на цифровых микросхемах.
6. Диагностические приборы для автомобилей (тестер автомобиля, цифровой октан-корректор и т.п.).
7. Устройство для распознавания речи.
8. Устройство для распознавания образов.
9. Электронные часы с календарём и будильником.
10. Измерительные генераторы.
11. Программаторы для ППЗУ и РПЗУ.
12. Устройство формирования символов на экране дисплея и т.п.

Таблица 4

Преобразователь двоичного кода в код Хемминга с исправлением одиночных и обнаружением двойных ошибок [8, 27, 16]

Номер варианта	Кол-во информ. разрядов	Тип логики				Критерий оптимизации укороченного кода
		$P_{ГВХ}$	КУ	КрУ	$P_{ГВЫХ}$	
1	8	Э	К	Т	Э	f_{\max}
2		Э	Э	К	Т	
3		Т	Э	Э	К	
4		К	Т	Э	Э	
5	10	К	Т	Т	Э	$(P_{тзд.п.ср})_{\min}$
6		Э	К	Т	Т	
7		Т	Э	К	Т	
8		Т	Т	Э	К	
9	12	Т	К	Э	Т	P_{\min}
10		Т	Т	К	Э	
11		Э	Т	Т	К	
12		К	Э	Т	Т	

13	14	Т	Э	К	Т	$N_{k \min}$
14		К	Э	К	Т	
15		К	Т	К	Э	
16		Т	Э	К	К	

Примечание. $R_{г\text{вх}}$ – входной регистр; КУ – кодирующее устройство; КрУ – корректирующее устройство; $R_{г\text{вых}}$ – выходной регистр; f_{\max} – максимальная частота синхроимпульсов; $(Pt_{з\text{д.п.ср}})_{\min}$ – энергия переключения; N_k – количество корпусов ИС в пересчете на 14-16-выводные корпуса (например, 24-выводной корпус следует считать равным двум корпусам с 14 и 16 выводами); К – КМДП-логика; Т – ТТЛ; Э – ЭСЛ.

Таблица 5

Устройство, выполняющее заданную функцию [3, 4, 7]

Номер варианта	Функция	Тип логики			Критерий оптимизации
		$R_{гч}$	СС, $T_{пс}$	СМ	
1	Определить наименьшее из 3 чисел и заменить его на сумму 2-х старших	К	Т	Э	f_{\max}
2		К	Т	Э	$(Pt_{з\text{д.п.ср}})_{\min}$
3		К	Т	Э	P_{\min}
4		К	Т	Э	$N_{k \min}$
5	Определить наименьшее из 3 чисел и заменить его на положительную разность 2-х старших	Т	Э	К	f_{\max}
6		Т	Э	К	$(Pt_{з\text{д.п.ср}})_{\min}$
7		Т	Э	К	P_{\min}
8		Т	Э	К	$N_{k \min}$
9	Определить наибольшее из 3 чисел и заменить его на сумму 2-х младших	Э	Т	К	f_{\max}
10		Э	Т	К	$(Pt_{з\text{д.п.ср}})_{\min}$
11		Э	Т	К	P_{\min}
12		Э	Т	К	$N_{k \min}$
13	Определить наибольшее из 3 чисел и заменить его на положительную разность 2-х младших	Э	К	Т	f_{\max}
14		Э	К	Т	$(Pt_{з\text{д.п.ср}})_{\min}$
15		Э	К	Т	P_{\min}
16		Э	К	Т	$N_{k \min}$

Примечания:

1. Целые числа заданы в прямом коде. Количество информационных разрядов чисел – 8, количество знаковых разрядов – 1.

2. Сокращения в таблице: $R_{гч}$ – регистры чисел; СС – схема сравнения; $T_{пс}$ – триггеры признаков сравнения; СМ – сумматор; К – КМДП; Т – ТТЛ; Э – ЭСЛ.

Таблица 6

Операционное устройство для выполнения заданных функций на основе
АЛУ[1, 2, 4, 16]

Номер варианта	Тип логики		Критерий оптимизации
	$P_{ГВХ}$	$P_{ГВЫХ}$	
1	2	3	4
1	Э	Э	f_{\max}
2	Э	Э	$(Pt_{зд.р.ср})_{\min}$
3	Э	Э	P_{\min}
4	Э	Э	$N_{k \min}$
5	К	Э	f_{\max}
6	К	Э	$(Pt_{зд.р.ср})_{\min}$
7	К	Э	P_{\min}
8	К	Э	$N_{k \min}$
9	Э	К	f_{\max}
10	Э	К	$(Pt_{зд.р.ср})_{\min}$
11	Э	К	P_{\min}
12	Э	К	$N_{k \min}$
13	Э	Т	f_{\max}
14	Э	Т	$(Pt_{зд.р.ср})_{\min}$
15	Э	Т	P_{\min}
16	Э	Т	$N_{k \min}$
17	Т	Э	f_{\max}
18	Т	Э	$(Pt_{зд.р.ср})_{\min}$
19	Т	Э	P_{\min}
20	Т	Э	$N_{k \min}$

Выполнить следующие операции: сложение, умножение младшими разрядами вперёд со сдвигом множимого влево, логическое умножение. Числа представлены в двоичной системе счисления в прямом коде в форме с фиксированной запятой, имеют 8 разрядов, из них один – знаковый. Устройство реализовать на АЛУ ТТЛ.

Таблица 7

Система сбора и преобразования данных [2, 8, 10, 12, 13, 32]

Номер варианта	Число разрядов выходного двоичного кода	Тип АЦП	Тип логики
1	2	3	4
1	12	К572ПВ1	Э
2			Т
3			К
4			Э

5	8	K572ПВ2	Т
6			К
7	8	K1113ПВ1	Э
8			Т
9			К
10	16	K1107ПВ1	Э
11			Т
12			К
13	8	K1107ПВ2	Э
14			Т
15			К
16	6	K1107ПВ3	Э
17			Т
18			К
19	10	K1108ПВ1	Э
20			Т
21			К

Примерная структурная схема КП приведена на рис. 6.96 [2]. 32 аналоговых сигнала с амплитудой $\pm 5\text{В}$ поступают на вход системы. В режимах заданного варианта критерием оптимизации следует считать точность и быстродействие.

ЛИТЕРАТУРА

1. Схемотехника ЭВМ: Учебник для студентов ВУЗов по специальности ЭВМ / Под ред. Г.Н. Соловьева. – М.: Высш. шк., 1985.
2. Якубовский С.В., Барканов Н.А., Несельсон Л.И. и др. Аналоговые и цифровые интегральные микросхемы: Справ. пособие / Под ред. С.В. Якубовского. 2-е изд. – М.: Радио и связь, 1985.
3. Новиков Ю.В. Основы цифровой схемотехники. Базовые элементы и схемы. Методы проектирования. – М.: Мир, 2001.
4. Угрюмов Е.П. Цифровая схемотехника. – СПб.: БХВ-Петербург, 2002.
5. Угрюмов Е.П. Проектирование элементов и узлов ЭВМ: Учеб. пособие для студентов ВУЗов по специальности ЭВМ. – М.: Высш. шк., 1987.
6. Алексеенко А.Г., Шагурин И.И. Микросхемотехника: Учеб. пособие для студентов ВУЗов / Под ред. И.П. Степаненко. – М.: Радио и связь, 1982.
7. Цифровые интегральные микросхемы: Справочник / М.И. Богданович, И.Н. Грель и др. 2-е изд., перераб. и доп. – Мн.: Беларусь, Полымя, 1996.
8. Уэйкерли Дж.Ф. Проектирование цифровых устройств. Т. 1. – М.: Постмаркет, 2002.
9. Мулярчик С.Г. Интегральная схемотехника (функционально-логический уровень). – Мн.: БГУ, 1983.

10. Фолькенберри. Применение операционных усилителей и линейных ИС. – М.: Мир, 1985.
11. Уэйкерли Дж.Ф. Проектирование цифровых устройств. Т. 2. – М.: Постмаркет, 2002.
12. Федорков Г.Г., Телец В.А., Дегтяренко В.П. Микроэлектронные цифроаналоговые и аналого-цифровые преобразователи. – М.: Радио и связь, 1984.
13. Галкин В.И. Схемотехника ЭВМ: Учеб. пособие для студентов заочного и вечернего факультетов специальности 22.01. Ч. 1. – Мн.: БГУИР, 1995.
14. Галкин В.И. Схемотехника ЭВМ: Учеб. пособие для студентов заочного и вечернего факультетов специальности 22.01. Ч. 2. – Мн.: БГУИР, 1996.
15. Галкин В.И. Схемотехника ЭВМ: Учеб. пособие для студентов заочного и вечернего факультетов специальности «ВМСиС». Ч. 3. – Мн.: БГУИР, 1998.
16. Электронные промышленные устройства: Учебник для студ. вузов спец. «Пром. электрон.» / В.И. Васильев, Ю.М. Гусев, В.Н. Миронов и др. – Мн.: Выш.шк., 1988.
17. Применение интегральных микросхем в электронной вычислительной технике: Справочник / П.В. Данилов, С.А. Ельцов, П.Ю. Иванов и др.; Под ред. Б.Н. Файзулаева, Б.В. Тарабрина. – М.: Радио и связь, 1986.
18. Голдсуорт Б. Проектирование логических цифровых устройств. – М.: Машиностроение, 1985.
19. Расчет электронных схем. Примеры и задачи: Учеб. пособие для вузов по спец. электрон. техники / Г.И. Изъюрова, Г.В. Королев, В.А. Терехов и др. – М.: Высш. шк., 1987.
20. Преснухин Л.Н. и др. Расчет элементов цифровых устройств: Учеб. пособие / Л.Н. Преснухин, Н.В. Воробьев, А.А. Шишкевич; Под ред. Л.Н. Преснухина. 2-е изд., перераб. и доп. – М.: Высш. шк., 1991.
21. Пухальский Г.Н., Новосельцева Т.Я. Проектирование дискретных устройств на интегральных микросхемах: Справочник. – М.: Радио и связь, 1990.
22. Аваев Н.А. и др. Основы микроэлектроники: Учеб. пособие для вузов / Н.А. Аваев, Ю.Е. Наумов, В.Т. Фролкин. – М.: Радио и связь, 1991.
23. Тимошенко В.С. Учеб. пособие по курсу лекций «Устройства преобразования информации ЭВМ» для студентов специальности «Вычислительные машины, системы и сети». Ч. 1. – Мн.: БГУИР, 1996.
24. Миловзоров В.П. Элементы информационных систем: Учеб. для вузов по спец. «Автоматизированные системы обр. информ. и упр.» – М.: Высш. шк., 1989.
25. Галкин В.И. Комбинационные и функциональные узлы ЭВМ: Учеб. пособие по курсу «Схемотехника ЭВМ» для студентов заочного и вечернего факультетов специальности «ВМСиС». Ч. 2. – Мн.: БГУИР, 2000.
26. Галкин В.И. Комбинационные и функциональные узлы ЭВМ: Учеб. пособие по курсу «Схемотехника ЭВМ» для студентов заочного и вечернего факультетов специальности «ВМСиС». Ч. 1. – Мн.: БГУИР, 1999.
27. Шило В.И. Популярныe цифровые микросхемы: Справочник. 2-е изд., исправ. – М.: Радио и связь, 1989.

28. Потемкин И.С. Функциональные узлы цифровой автоматики. – М.: Энергоатомиздат, 1988.
29. Баранов С.И., Скляр В.А. Цифровые устройства на программируемых БИС с матричной структурой. – М.: Радио и связь, 1986.
30. ЕСКД. Обозначения условные графические в схемах. – М.: Изд-во стандартов, 1983.
31. Применение интегральных микросхем памяти: Справочник / А.А. Дерюгин, В.В. Цыркин, В.Е. Красовский и др; Под ред. А.Ю. Гордонова, А.А. Дерюгина. – М.: Радио и связь, 1994.
32. Усатенко С.Т., Каченюк Т.К., Терехова М.В. Выполнение электрических схем по ЕСКД: Справочник. – М.: Изд-во стандартов, 1989.
33. Микропроцессоры: Учеб. для техн. вузов: В 3 кн. Кн. 2: Средства сопряжения. Контролирующие и информационно-управляющие системы / В.Д. Вернер, Н.В. Воробьев, А.В. Горячев и др; Под ред. Л.Н. Переснухина. – М.: Высш.шк., 1987.
34. Цифровые интегральные микросхемы: Справочник / П.П. Мальцев, Н.С. Долидзе, М.Н. Критенко и др. – М.: Радио и связь, 1994.
35. Опадчий Ю.Ф. и др. Аналоговая и цифровая электроника (Полный курс): Учеб. для вузов / Под ред. О.П. Глудкина. – М.: Горячая линия – Телеком, 2000.