БЕЛОРУССКИЙ ГОСУДАРСТВЕННЫЙ УНИВЕРСИТЕТ

ИНФОРМАТИКИ и РАДИОЭЛЕКТРОНИКИ

Факультет КСиС

Кафедра ЭВМ

АПВМиС

Лабораторная работа № 1

**Описание и моделирование цифрового устройства на языке VHDL в потоковом виде**

Выполнил: Проверила:

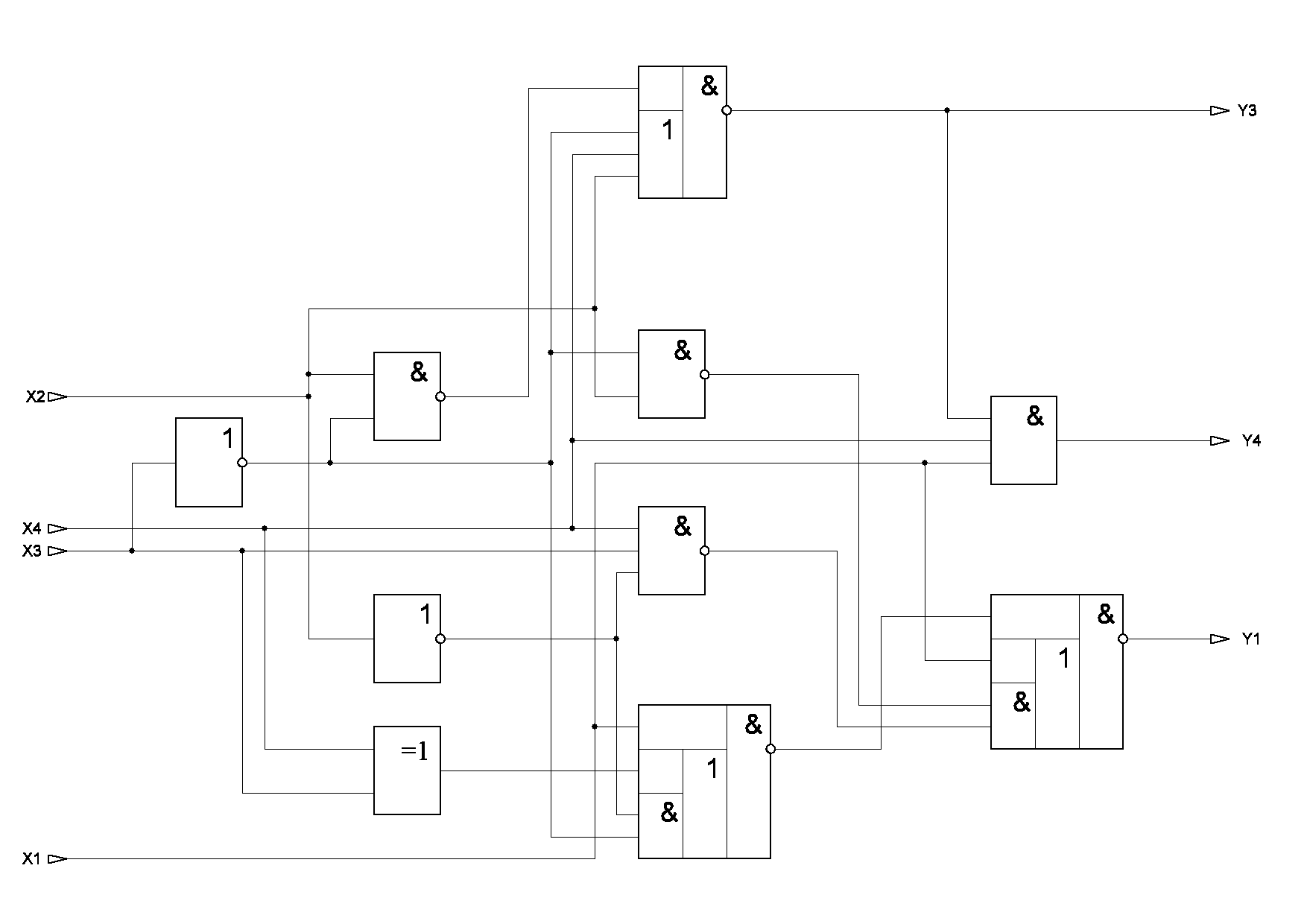
Грасюк В.В доцент, кандидат

технических наук

Золоторевич Л.А.

Минск 2017

Структурная схема устройства.



Описание цифрового устройства на языке VLSI-SIM:

**CIRCUIT VAR13;**

**INPUTS X1(1), X2(1), X3(1), X4(1);**

**OUTPUTS C1(1), D1(1), D2(1);**

**GATES**

**A1 'NOT'(1) X3(1);**

**B1 'NAND'(1) X2(1), A1(1);**

**B2 'NOT'(1) X2(1);**

**B3 'EX2'(1) X4(1), X3(1);**

**C1 'NAO3'(1) B1(1), A1(1), X4(1), X2(1);**

**C2 'NAND'(1) A1(1), X2(1);**

**C3 'NAND'(1) X4(1), X3(1), B2(1);**

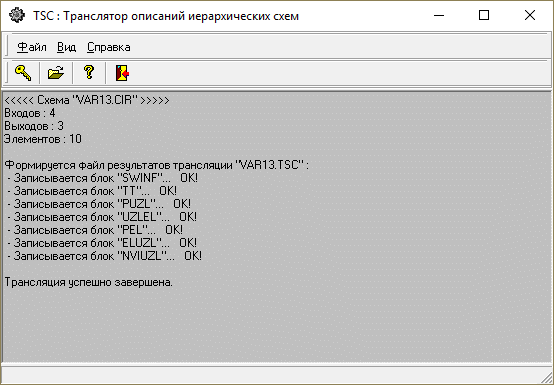
**C4 'NAOA2'(1) X1(1), B3(1), B2(1), A1(1);**

**D1 'AND'(1) C1(1), X4(1), X1(1);**

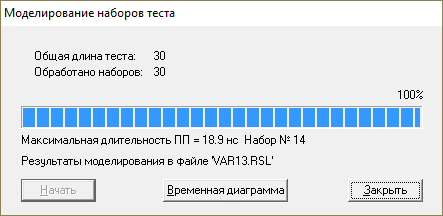
**D2 'NAOA2'(1) C4(1), X1(1), C2(1), C3(1);**

**ENDGATES**

**END**

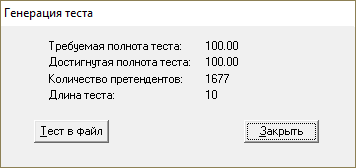
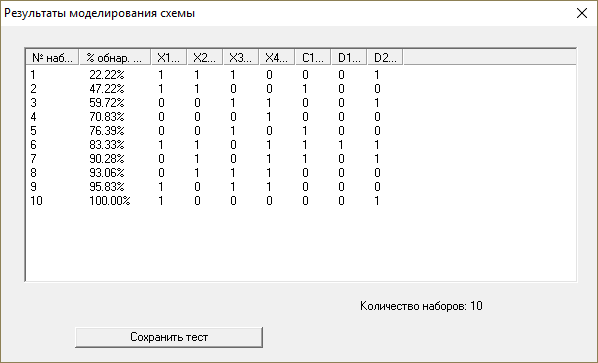
Результат трансляции схемы:

Результат моделирования схемы с псевдослучайным набором входных данных:

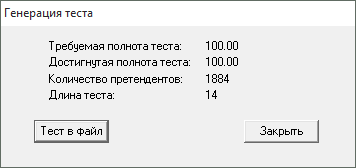


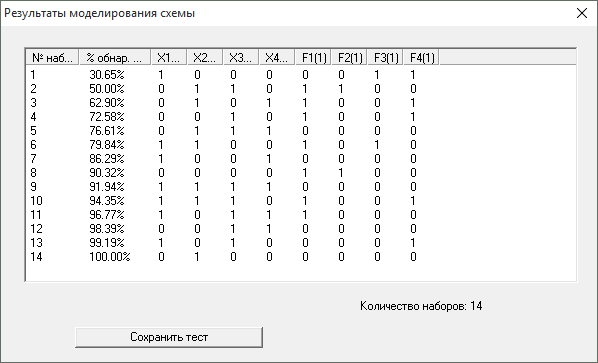
Построения теста контроля объекта случайным образом (программа SCA\_GENER):

Первый тест:

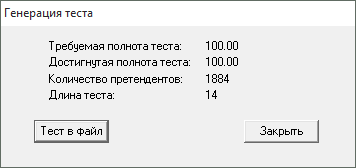


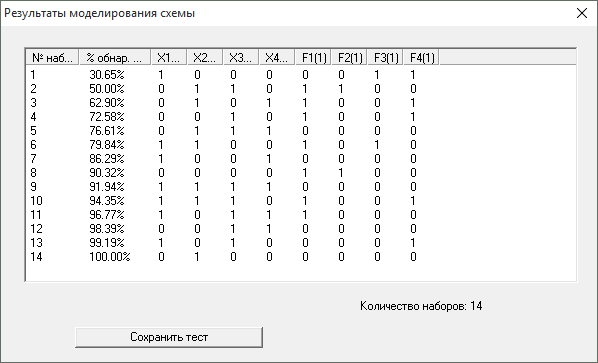
Второй тест:



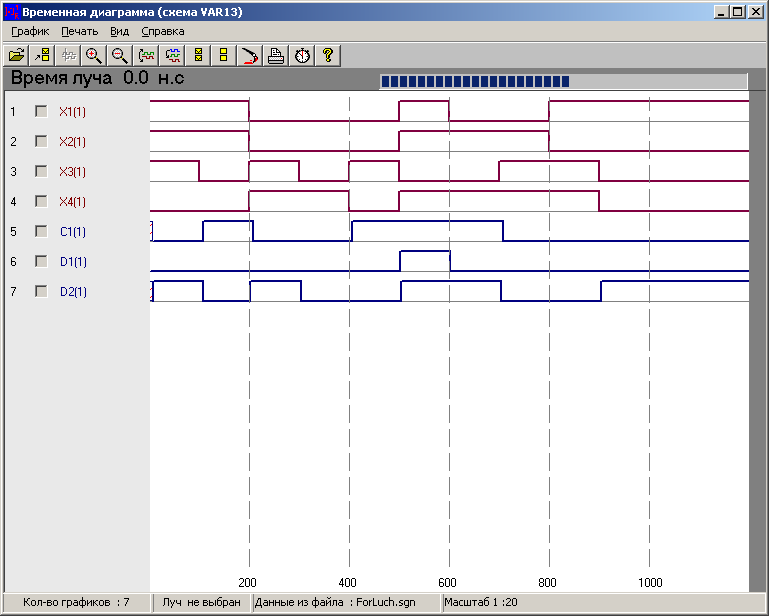


Третий тест:





Моделирование объекта на лучшем из полученных тестов (программа SCA-TIME):



Описание схемы на языке VHDL:

**library IEEE;**

**use IEEE.STD\_LOGIC\_1164.all;**

**ENTITY laba1 IS**

**port (X1, X2, X3, X4: in STD\_LOGIC;**

**D1, D2 : out STD\_LOGIC;**

**C1 : inout STD\_LOGIC);**

**END laba1 ;**

**ARCHITECTURE var13 OF laba1 IS**

**signal A1, B1, B2, B3, C2, C3, C4: STD\_LOGIC;**

**BEGIN**

**A1 <= NOT X3 after 1 NS;**

**B1 <= X2 NAND A1 after 2 NS;**

**B2 <= NOT X2 after 1 NS;**

**B3 <= X4 XOR X3 after 5 NS;**

**C1 <= B1 NAND (A1 OR X4 OR X2) after 5 NS;**

**C2 <= A1 NAND X2 after 2 NS;**

**C3 <= NOT (X4 AND X3 AND B2) after 3 NS;**

**C4 <= X1 NAND (B3 OR (B2 AND A1)) after 4 NS;**

**D1 <= C1 AND X4 AND X1 after 3 NS;**

**D2 <= C4 NAND (X1 OR (C2 AND C3)) after 4 NS;**

**END var13;**

Блок TestBench для отладки объекта, с использованием теста, полученного в части 1 задания:

**entity myTest is**

**end;**

**library IEEE;**

**use IEEE.STD\_LOGIC\_1164.all;**

**architecture BENCH of myTest is**

**component laba1**

**port (X1, X2, X3, X4: in STD\_LOGIC;**

**D1, D2 : out STD\_LOGIC;**

**C1 : inout STD\_LOGIC);**

**end component;**

**signal X1, X2, X3, X4, D1, D2, C1: STD\_LOGIC;**

**begin**

**X1 <= '1', '1' after 100 NS, '0' after 200 NS, '0' after 300 NS, '0' after 400 NS, '1' after 500 NS, '0' after 600 NS, '0' after 700 NS, '1' after 800 NS, '1' after 900 NS;**

**X2 <= '1', '1' after 100 NS, '0' after 200 NS, '0' after 300 NS, '0' after 400 NS, '1' after 500 NS, '1' after 600 NS, '1' after 700 NS, '0' after 800 NS, '0' after 900 NS;**

**X3 <= '1', '0' after 100 NS, '1' after 200 NS, '0' after 300 NS, '1' after 400 NS, '0' after 500 NS, '0' after 600 NS, '1' after 700 NS, '1' after 800 NS, '0' after 900 NS;**

**X4 <= '1', '0' after 100 NS, '1' after 200 NS, '1' after 300 NS, '0' after 400 NS, '1' after 500 NS, '1' after 600 NS, '1' after 700 NS, '1' after 800 NS, '0' after 900 NS;**

**M: laba1 port map (X1, X2, X3, X4, D1, D2, C1);**

**end BENCH;**

Сравнение результата моделирования в средах ModelSim и VLSI\_SIM:

