**БЕЛОРУССКИЙ ГОСУДАРСТВЕННЫЙ УНИВЕРСИТЕТ**

**ИНФОРМАТИКИи РАДИОЭЛЕКТРОНИКИ**

**Факультет КСиС**

**Кафедра ЭВМ**

**АПВМиС**

Вариант № 15

Лабораторная работа № 1

**Описание и моделирование цифрового устройства на языке VHDL в потоковом виде**

**Выполнил: Проверила:**

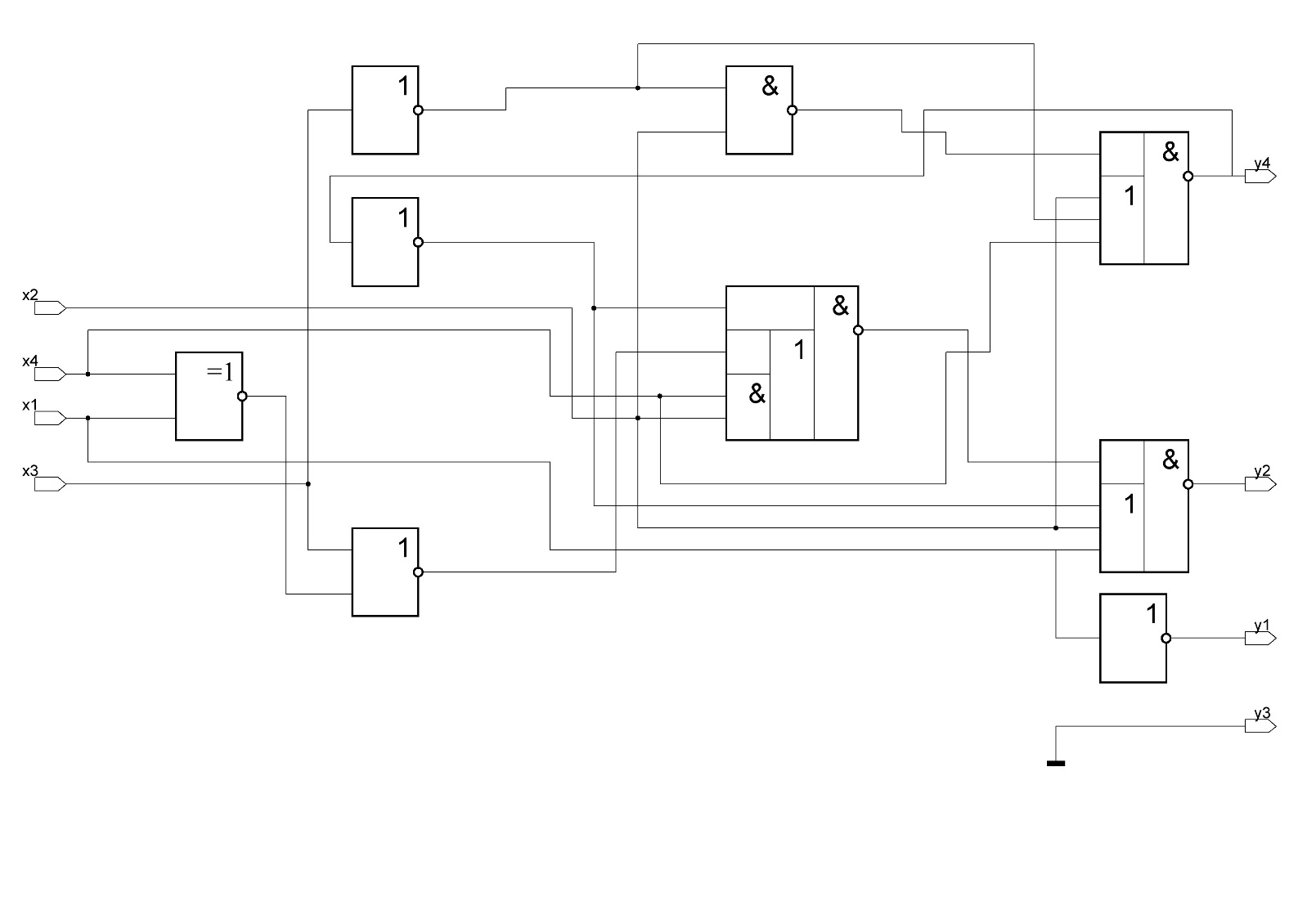
**Козяков А.И. доцент, кандидат**

**технических наук**

**Золоторевич Л.А.**

**Минск 2017**

Структурная схема устройства.



1. Решить прямую задачу анализа цифрового устройства: определить систему булевых функций, реализуемую устройством.
2. По результатам анализа определили что, имеется 1 линия обратной связи в анализируемой схеме, при этом устройство не принадлежит к устройствам с памятью.
3. Описание цифрового устройства на языке системы VLSI-SIM:

CIRCUIT LAB2;

INPUTS P1(1),P2(1),P3(1),P4(1);

OUTPUTS C1(1),C2(1),C4(1);

GATES

A1 'NEX2' (1) P4(1),P1(1);

A4 'N\_' (1) P3(1);

A2 'NO2' (1) P3(1),A1(1);

A6 'NA2' (1) A4(1),P2(1);

C4 'NAO3' (1) A6(1),P2(1),A4(1),P4(1);

A3 'N\_' (1) C4(1);

A5 'NAOA2' (1) A3(1),A2(1),P4(1),P2(1);

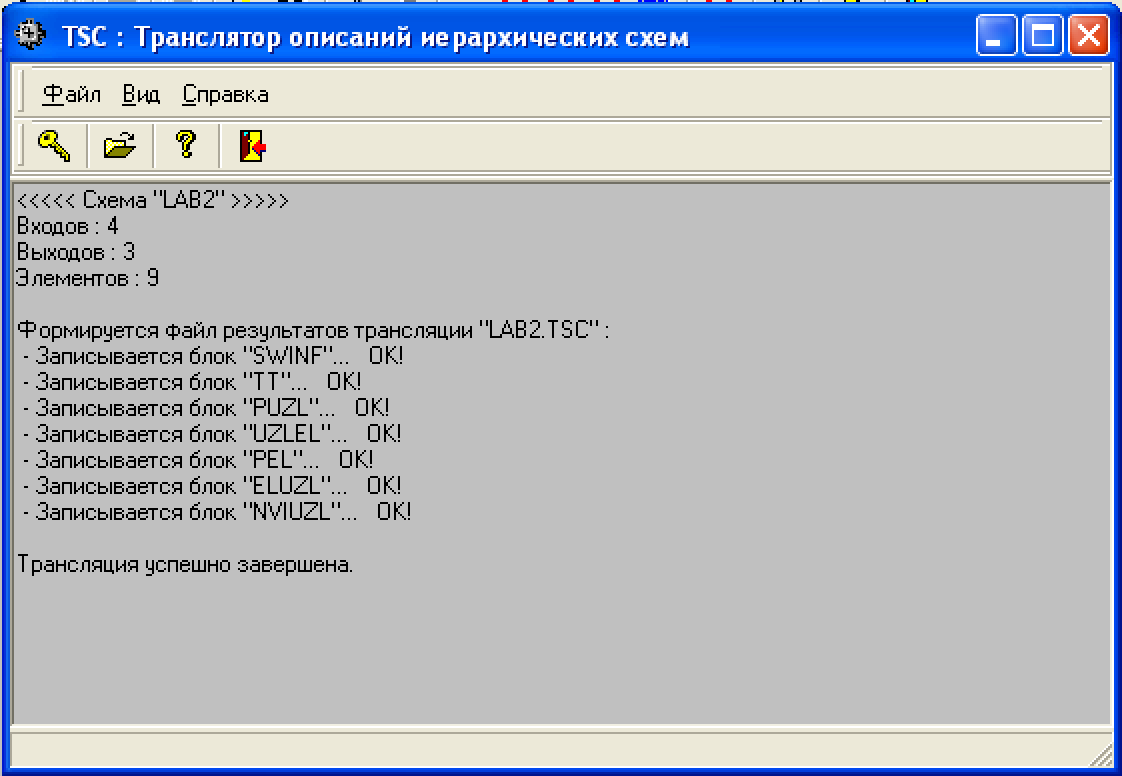
C2 'NAO3' (1) A5(1),A3(1),P2(1),P1(1);

C1 'N\_' (1) P1(1);

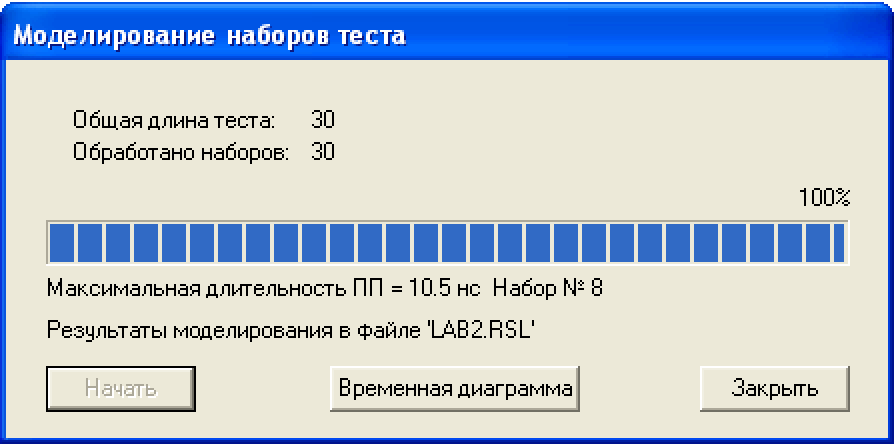
ENDGATES

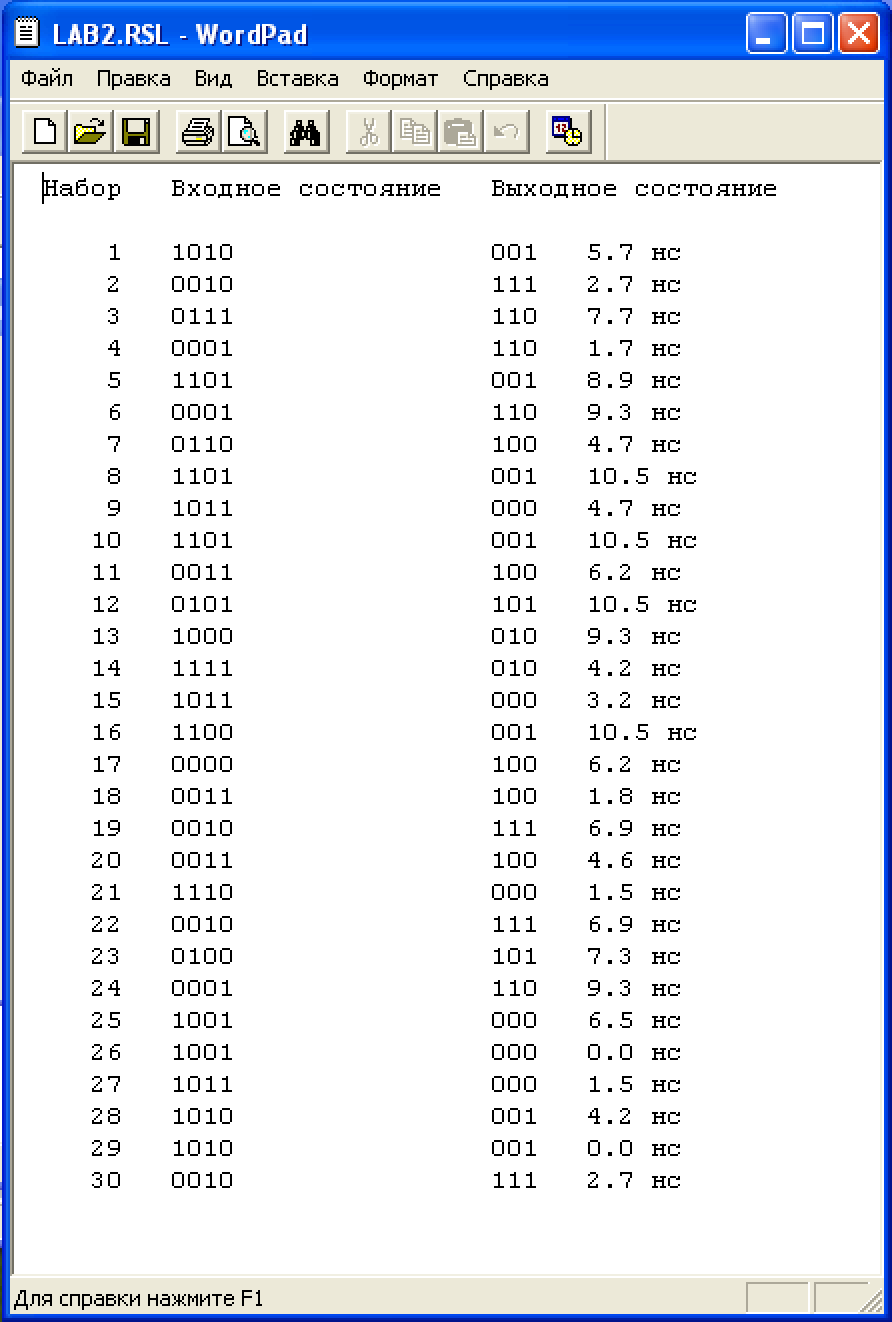
END

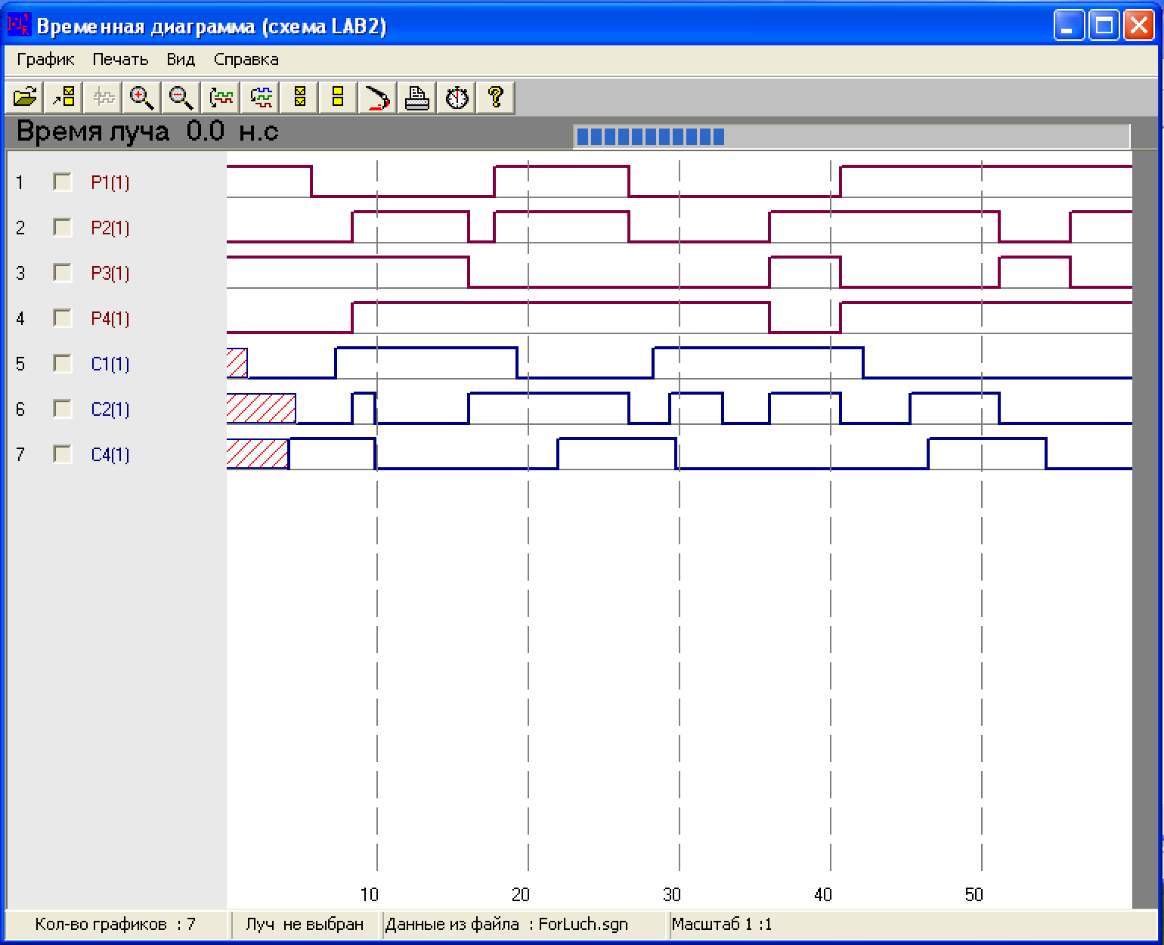
1. Выполнить трансляцию описания:



1. Провести моделирование объекта на функционально-логическом уровне на псевдослучайных входных воздействиях (программа SCA-TIME)



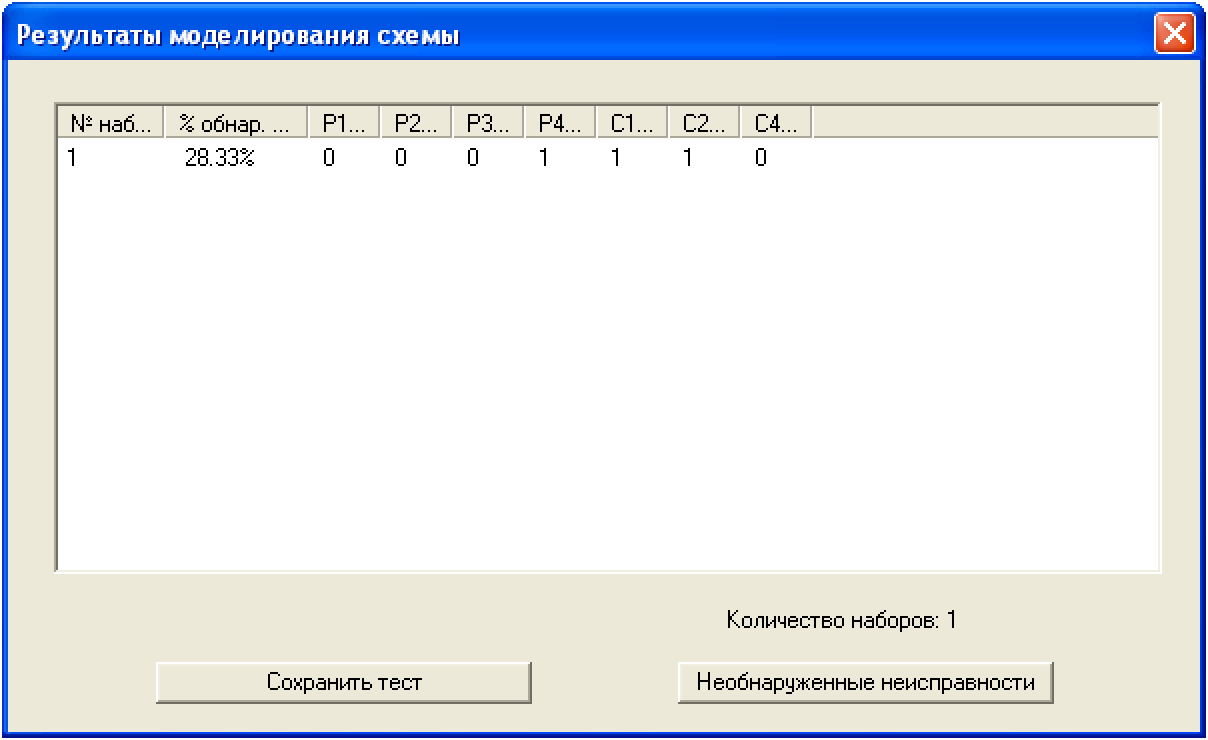




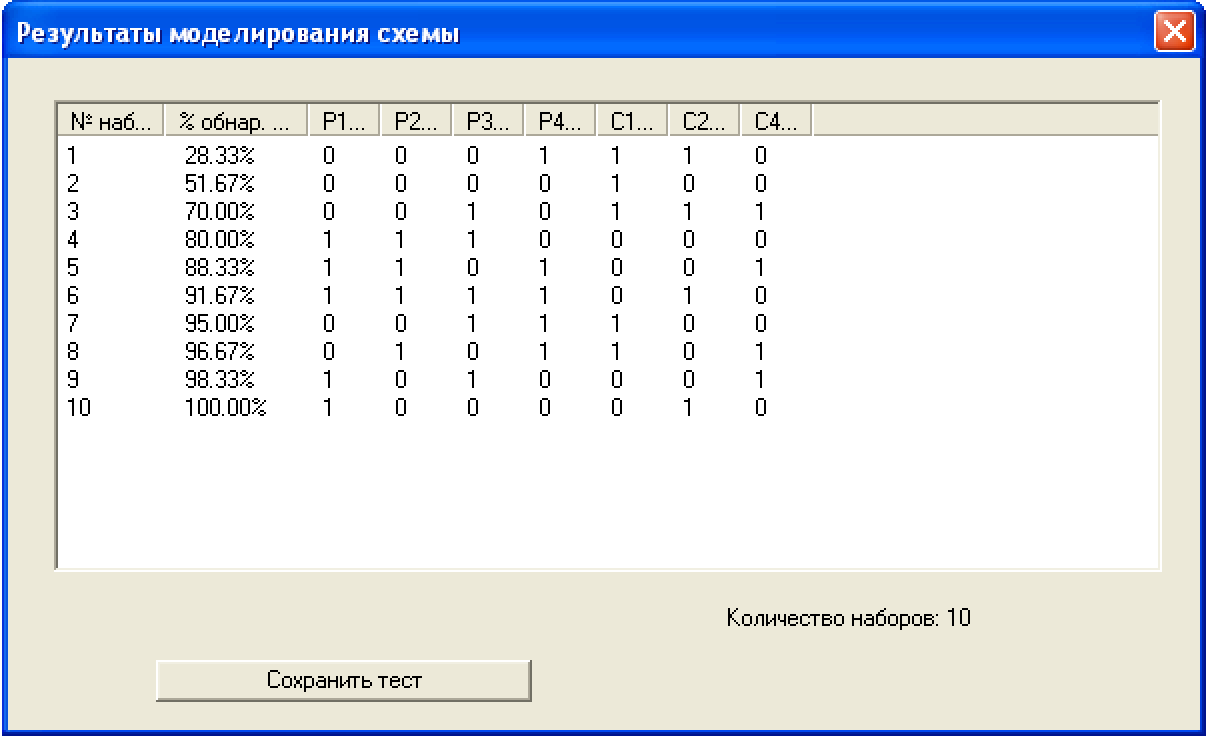
1. Выполнить 3 попытки построения теста контроля объекта случайным образом (программа SCA\_GENER).

Попытка №1

Результат генерации при заданном качестве покрытия входного набора в 28%:

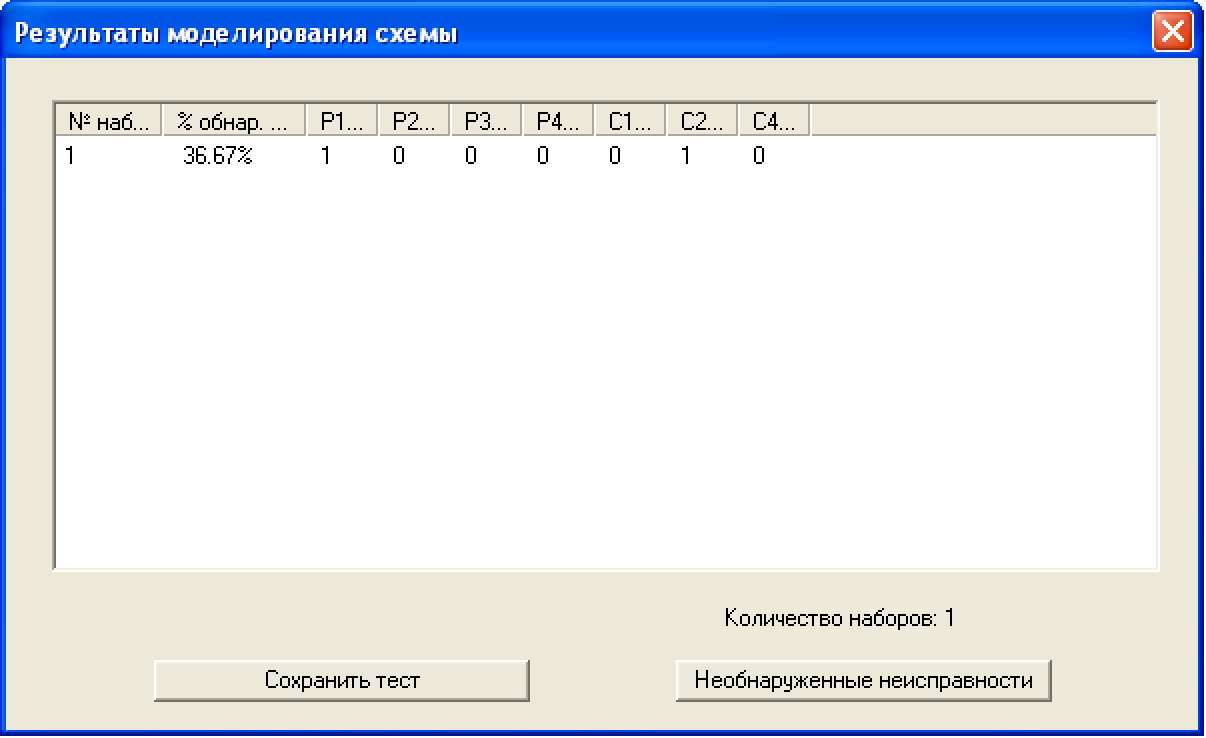


При заданном качестве покрытия входного набора в 2%:

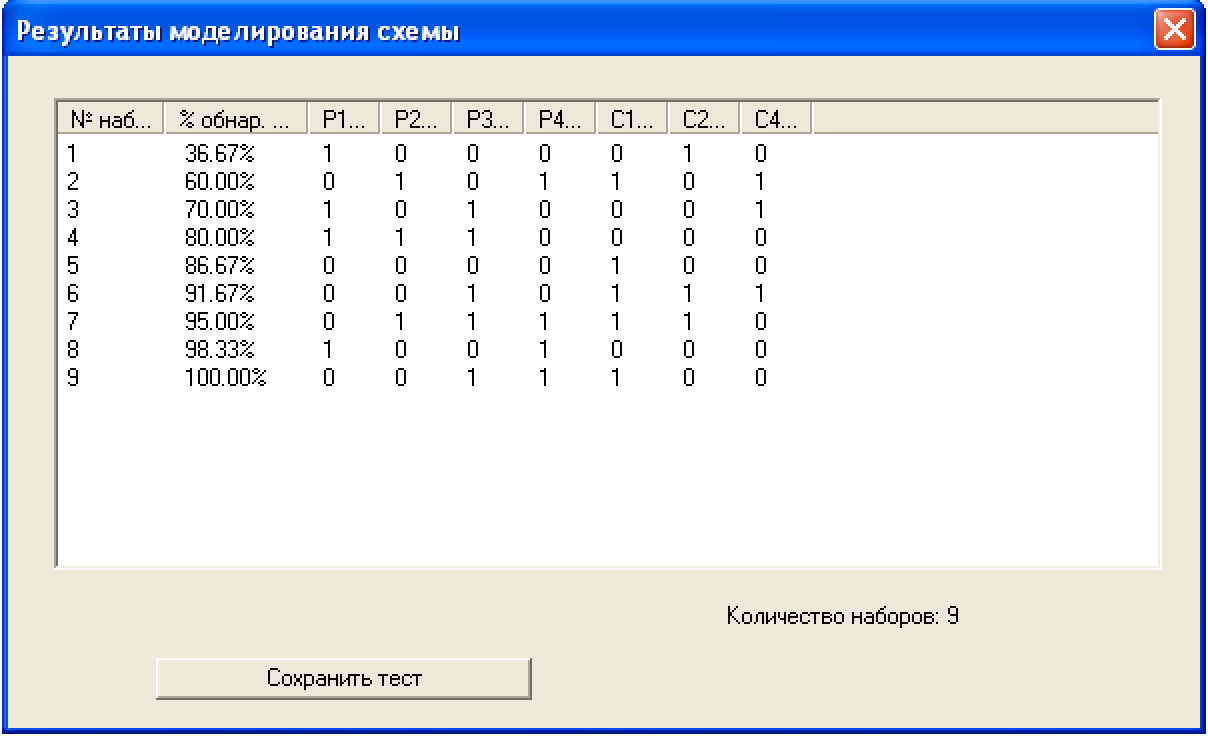


Попытка №2

Результат генерации при заданном качестве покрытия входного набора в 36%:

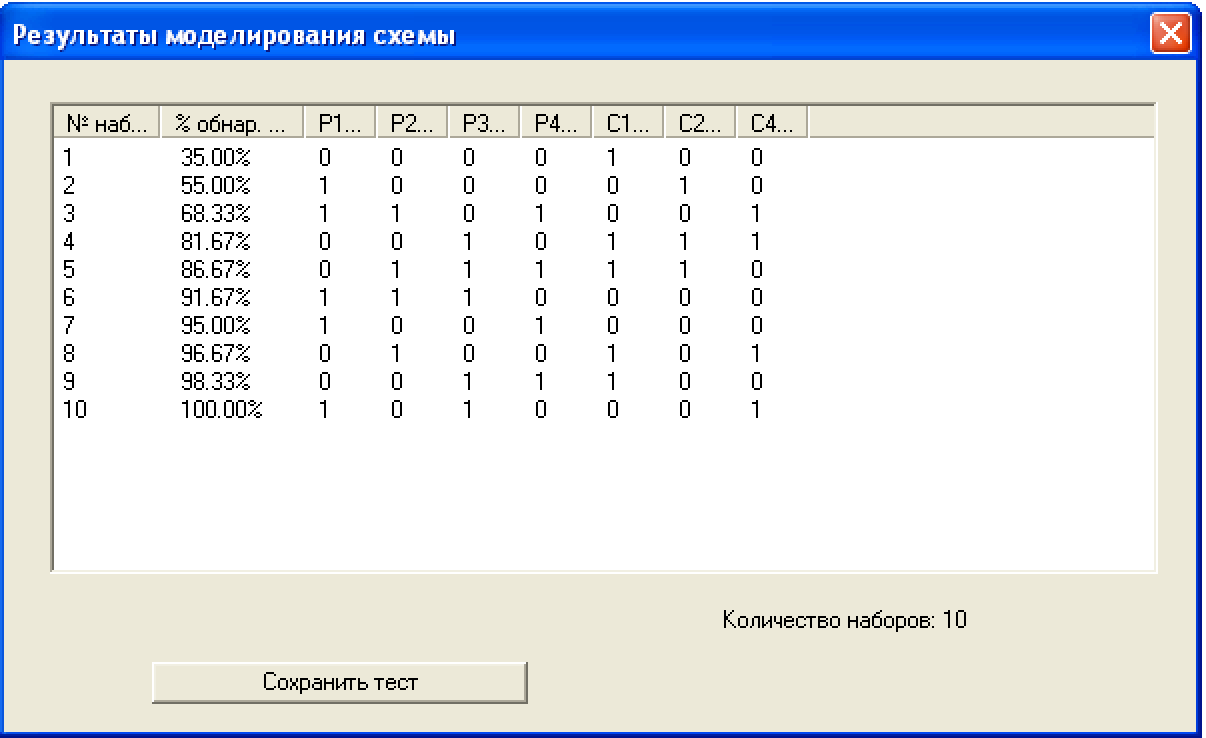


При заданном качестве покрытия входного набора в 2%:

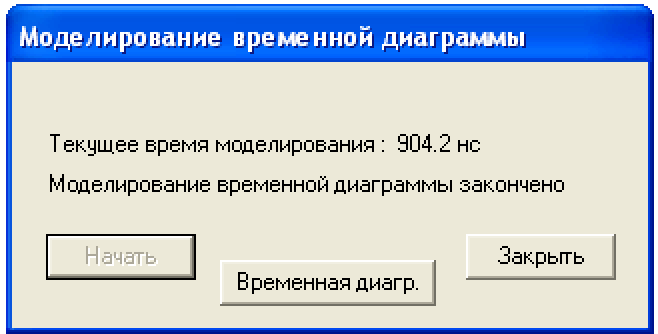


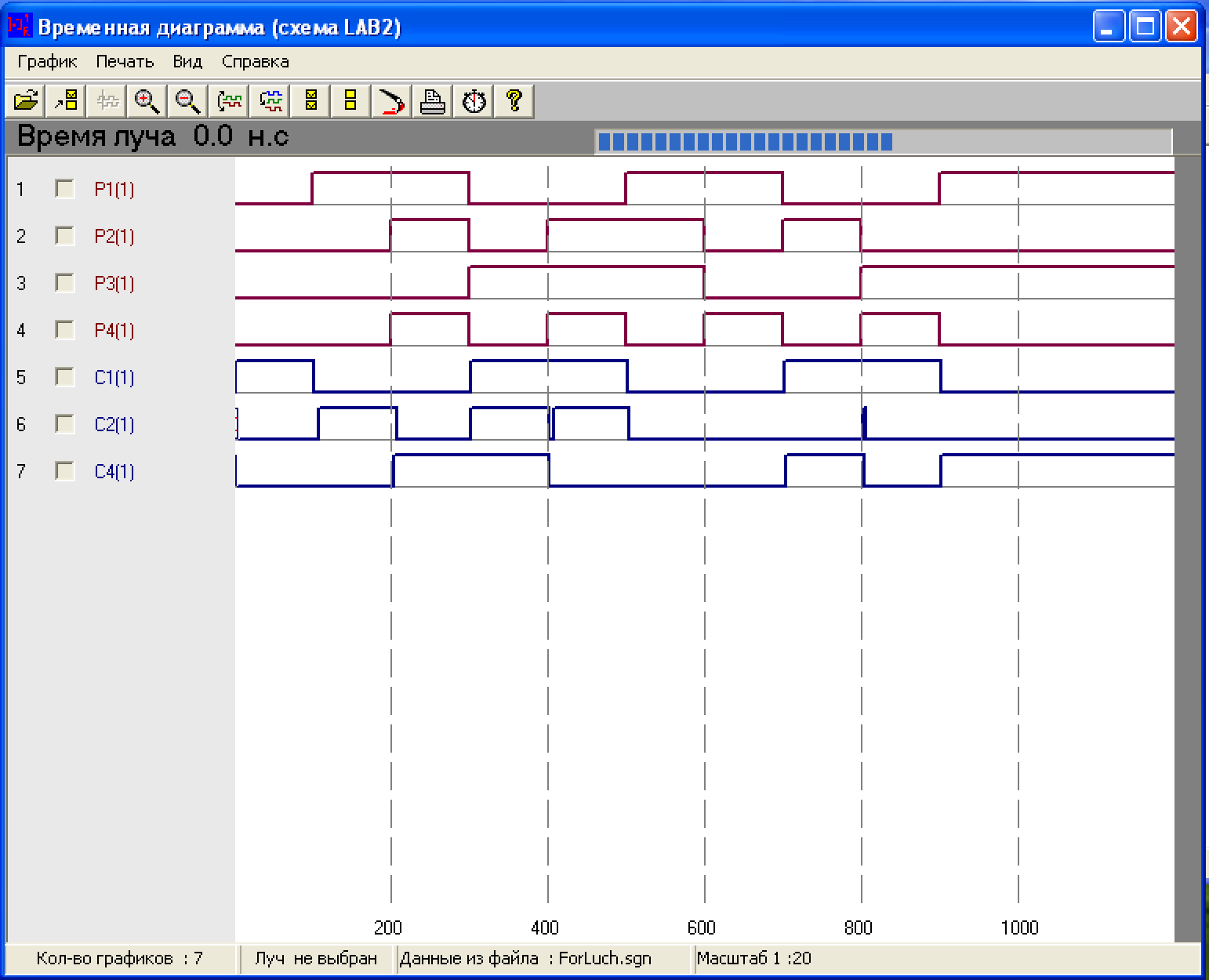
Попытка №3

Результат генерации при заданном качестве покрытия входного набора в 35%:



1. Провести моделирование объекта на лучшем из полученных тестов (программа SCA-TIME)





1. Описать цифровое устройство на структурном уровне на языке VHDL

entity TEST\_Test is

end;

library IEEE;

use IEEE.STD\_LOGIC\_1164.all;

architecture BENCH of TEST\_Test is

component hohoh

port ( P1, P2, P3, P4:in STD\_LOGIC;

C1, C2 :out STD\_LOGIC;

C4: inout STD\_LOGIC);

end component;

signal P1, P2, P3, P4, C1, C2, C4: STD\_LOGIC;

begin

P1 <= '1', '0' after 10 NS, '1' after 20 NS, '1' after 30 NS, '0' after 40 NS, '0' after 50 NS, '0' after 60 NS, '1' after 70 NS, '0' after 80 NS;

P2 <= '0', '1' after 10 NS, '0' after 20 NS, '1' after 30 NS, '0' after 40 NS, '0' after 50 NS, '1' after 60 NS, '0' after 70 NS, '0' after 80 NS;

P3 <= '0', '0' after 10 NS, '1' after 20 NS, '1' after 30 NS, '0' after 40 NS, '1' after 50 NS, '1' after 60 NS, '0' after 70 NS, '1' after 80 NS;

P4 <= '0', '1' after 10 NS, '0' after 20 NS, '0' after 30 NS, '0' after 40 NS, '0' after 50 NS, '1' after 60 NS, '1' after 70 NS, '1' after 80 NS;

M: hohoh port map (P1, P2, P3, P4, C1, C2, C4);

end BENCH;

1. Подготовить блок Testbench для отладки объекта, при этом использовать тест, полученный в части 1 задания

library IEEE;

use IEEE.STD\_LOGIC\_1164.all;

ENTITY hohoh IS

port (P1, P2, P3, P4: in STD\_LOGIC;

C1, C2 : out STD\_LOGIC;

C4 : inout STD\_LOGIC);

END hohoh ;

ARCHITECTURE ha OF hohoh IS

signal A1, A4, A2, A6, A3, A5: STD\_LOGIC;

BEGIN

A1 <= P4 XOR P1 after 5 NS;

A4 <= NOT P3 after 1 NS;

A2 <= P3 NOR A1 after 3 NS;

A6 <= A4 NAND P2 after 2 NS;

C4 <= NOT (A6 AND (P2 OR A4 OR P4)) after 5 NS;

A3 <= NOT C4 after 1 NS;

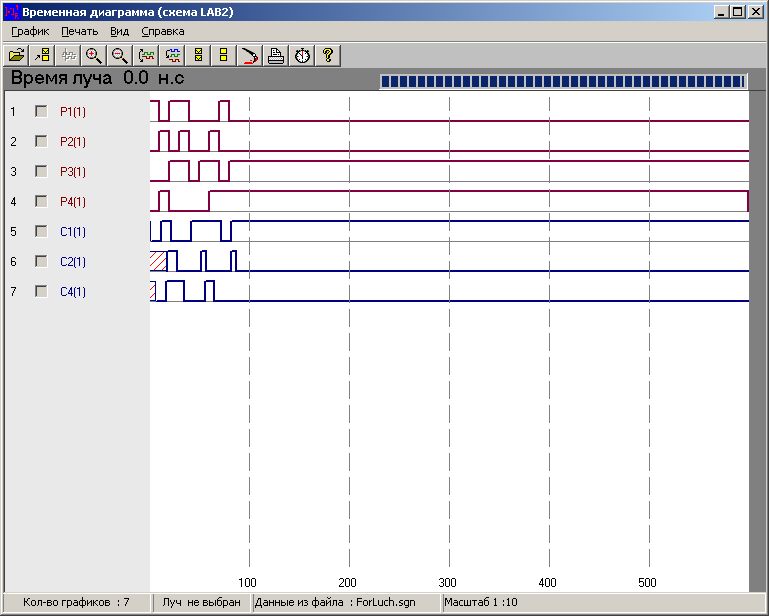
A5 <= NOT (A3 AND (A2 OR (P4 AND P2))) after 4 NS;

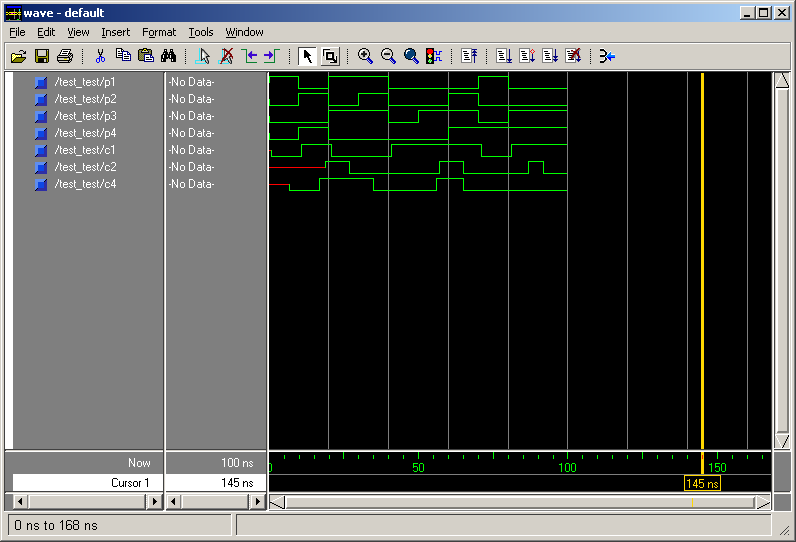
C2 <= NOT (A5 AND (A3 OR P2 OR P1)) after 5 NS;

C1 <= NOT P1 after 1 NS;

END ha;

1. Сравнить результаты моделирования объекта в двух системах моделирования





1. Описать цифровое устройство на уровне компонент языка VHDL

library IEEE;

use IEEE.STD\_LOGIC\_1164.all;

ENTITY N IS

port(

A: in STD\_LOGIC;

F: out STD\_LOGIC);

END N;

ARCHITECTURE Arch\_N OF N IS

Begin

F <= NOT A after 1 ns;

END Arch\_N;

library IEEE;

use IEEE.STD\_LOGIC\_1164.all;

ENTITY NA2 IS

port(

A, B: in STD\_LOGIC;

F: out STD\_LOGIC);

END NA2;

ARCHITECTURE Arch\_NA2 OF NA2 IS

Begin

F <= A NAND B after 2 ns;

END Arch\_NA2;

library IEEE;

use IEEE.STD\_LOGIC\_1164.all;

ENTITY NO2 IS

port(

A,B: in STD\_LOGIC;

F: out STD\_LOGIC

);

END NO2;

ARCHITECTURE Arch\_NO2 OF NO2 IS

BEGIN

F <= NOT(A OR B) after 3 ns;

END Arch\_NO2;

library IEEE;

use IEEE.STD\_LOGIC\_1164.all;

ENTITY NEX2 IS

port(

A,B: in STD\_LOGIC;

F: out STD\_LOGIC

);

END NEX2;

ARCHITECTURE Arch\_NEX2 OF NEX2 IS

BEGIN

F <= A XOR B after 5 NS;

END Arch\_NEX2;

library IEEE;

use IEEE.STD\_LOGIC\_1164.all;

ENTITY NAO3 IS

port(

A,B,C,D: in STD\_LOGIC;

F: out STD\_LOGIC

);

END NAO3;

ARCHITECTURE Arch\_NAO3 OF NAO3 IS

BEGIN

F <= NOT (A AND (B OR C OR D)) after 5 NS;

END Arch\_NAO3;

library IEEE;

use IEEE.STD\_LOGIC\_1164.all;

ENTITY NAOA2 IS

port(

A,B,C,D: in STD\_LOGIC;

F: out STD\_LOGIC

);

END NAOA2;

ARCHITECTURE Arch\_NAOA2 OF NAOA2 IS

BEGIN

F <= NOT (A AND (B OR (C AND D))) after 4 NS;

END Arch\_NAOA2;

library IEEE;

use IEEE.STD\_LOGIC\_1164.all;

ENTITY hohoh IS

port (P1, P2, P3, P4: in STD\_LOGIC;

C1, C2 : out STD\_LOGIC;

C4 : inout STD\_LOGIC);

END hohoh ;

ARCHITECTURE ha OF hohoh IS

component N

port(

A: in STD\_LOGIC;

F: out STD\_LOGIC);

end component;

component NEX2

port(

A,B: in STD\_LOGIC;

F: out STD\_LOGIC);

end component;

component NA2

port(

A,B: in STD\_LOGIC;

F: out STD\_LOGIC);

end component;

component NO2

port(

A,B: in STD\_LOGIC;

F: out STD\_LOGIC);

end component;

component NAO3

port(

A,B,C,D: in STD\_LOGIC;

F: out STD\_LOGIC);

end component;

component NAOA2

port(

A,B,C,D: in STD\_LOGIC;

F: out STD\_LOGIC);

end component;

signal A1, A4, A2, A6, A3, A5: STD\_LOGIC;

BEGIN

sA1: NEX2 port map (P4, P1, A1);

sA4: N port map (P3, A4);

sA2: NO2 port map (P3, A1, A2);

sA6: NA2 port map (A4, P2, A6);

sC4: NAO3 port map (A6, P2, A4, P4, C4);

sA3: N port map (C4, A3);

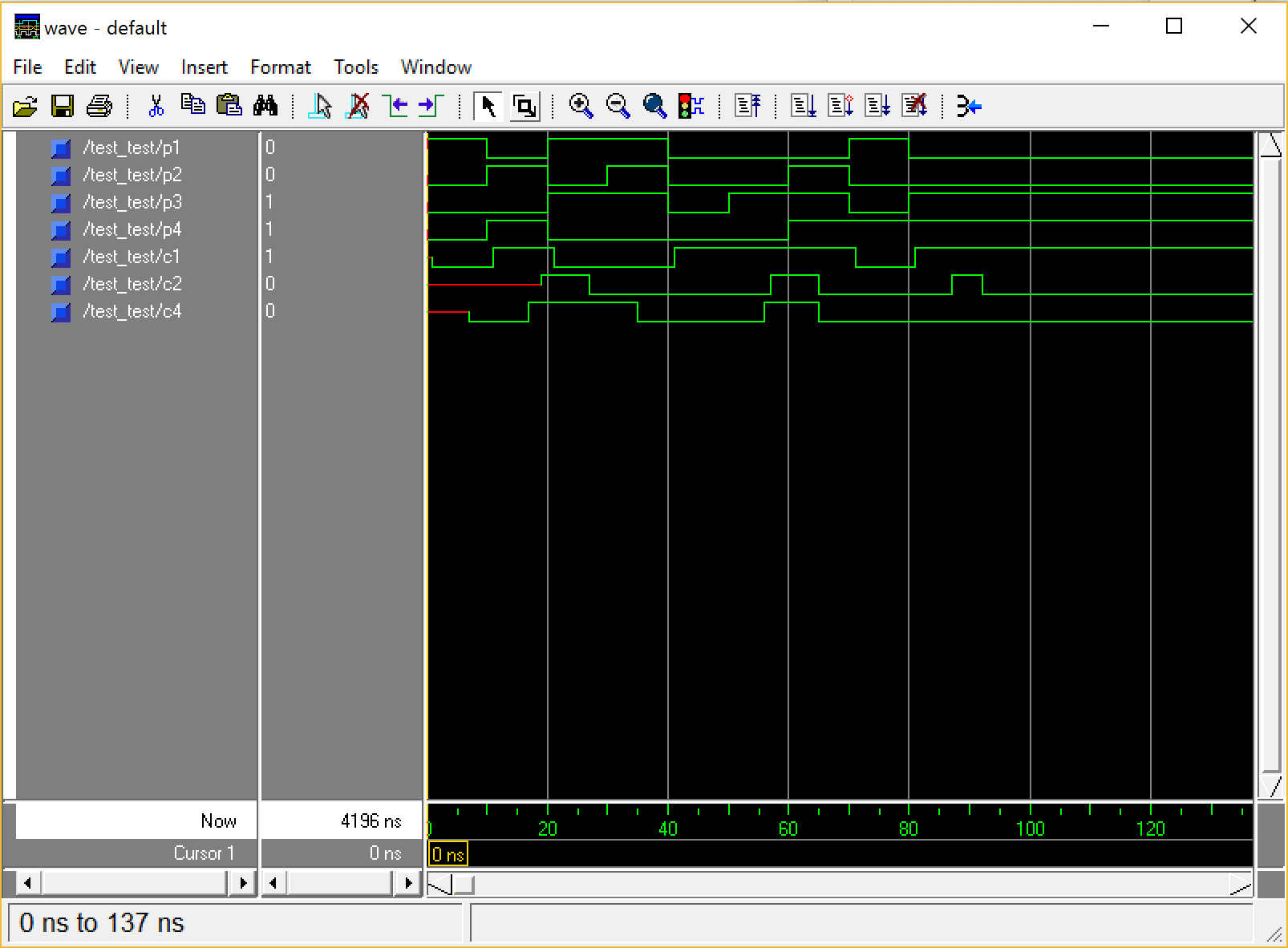
sA5: NAOA2 port map (A3, A2, P4, P2, A5);

sC2: NAO3 port map (A5, A3, P2, P1, C2);

sC1: N port map (P1, C1);

END ha;

1. Результаты моделирования объекта



1. Описать цифровое устройство на уровне компонент языка VHDL

library IEEE;

use IEEE.STD\_LOGIC\_1164.all;

ENTITY lab3 IS

port (X2, X3, X4: in STD\_LOGIC;

C1 : out STD\_LOGIC);

END lab3;

ARCHITECTURE lab3Arc OF lab3 IS

BEGIN

C1 <= NOT((NOT ((NOT X3) AND X2)) AND (X2 OR (NOT X3) OR X4)) after 5 NS;

END lab3Arc;

1. Описать тест на уровне компонент языка VHDL

entity TEST\_Test\_Lab3 is

end;

library IEEE;

use IEEE.STD\_LOGIC\_1164.all;

architecture BENCH of TEST\_Test\_Lab3 is

component lab3

port (X2, X3, X4: in STD\_LOGIC;

C1 : out STD\_LOGIC);

end component;

signal X2, X3, X4, C1: STD\_LOGIC;

begin

X2 <= '0', '1' after 10 NS, '0' after 20 NS, '1' after 30 NS, '0' after 40 NS, '0' after 50 NS, '1' after 60 NS, '0' after 70 NS, '0' after 80 NS;

X3 <= '0', '0' after 10 NS, '1' after 20 NS, '1' after 30 NS, '0' after 40 NS, '1' after 50 NS, '1' after 60 NS, '0' after 70 NS, '1' after 80 NS;

X4 <= '0', '1' after 10 NS, '0' after 20 NS, '0' after 30 NS, '0' after 40 NS, '0' after 50 NS, '1' after 60 NS, '1' after 70 NS, '1' after 80 NS;

M: lab3 port map (X2, X3, X4, C1);

end BENCH;

1. Результат моделирования

