БЕЛОРУССКИЙ ГОСУДАРСТВЕННЫЙ УНИВЕРСИТЕТ

ИНФОРМАТИКИи РАДИОЭЛЕКТРОНИКИ

Факультет КСиС

Кафедра ЭВМ

АПВМиС

Лабораторная работа № 1

Описание и моделирование цифрового устройства на языке VHDL в потоковом виде

Выполнил: Проверила:

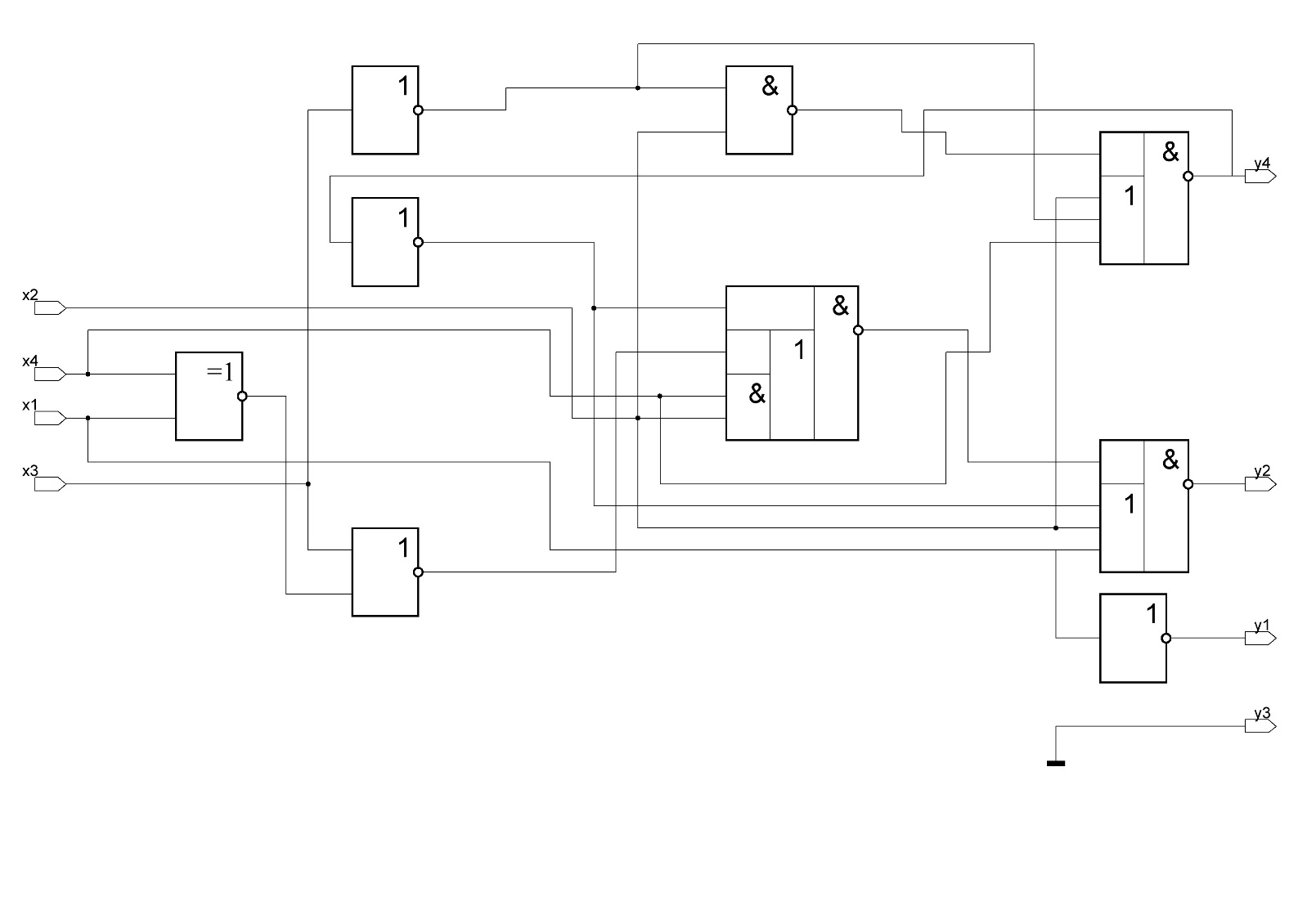
Козяков А.И. доцент, кандидат

технических наук

Золоторевич Л.А.

Минск 2017

Структурная схема устройства.



1. Решить прямую задачу анализа цифрового устройства: определить систему булевых функций, реализуемую устройством.

Логическая функция реализуемая устройством:

| X4 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| X3 | 0 | 0 | 0 | 0 | 1 | 1 | 1 | 1 | 0 | 0 | 0 | 0 | 1 | 1 | 1 | 1 |
| X2 | 0 | 0 | 1 | 1 | 0 | 0 | 1 | 1 | 0 | 0 | 1 | 1 | 0 | 0 | 1 | 1 |
| X1 | 0 | 1 | 0 | 1 | 0 | 1 | 0 | 1 | 0 | 1 | 0 | 1 | 0 | 1 | 0 | 1 |
| Y1 | 0 | 0 | 1 | 0 | 1 | 1 | 0 | 0 | 0 | 0 | 1 | 0 | 1 | 1 | 0 | 0 |
| Y2 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 0 | 0 |
| Y3 | 0 | 1 | 1 | 0 | 0 | 1 | 1 | 1 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 1 |
| Y4 | 0 | 0 | 0 | 0 | 1 | 1 | 1 | 1 | 0 | 0 | 0 | 0 | 1 | 0 | 1 | 1 |

1. По результатам анализа определили что, имеется 1 линия обратной связи в анализируемой схеме, при этом устройство не принадлежит к устройствам с памятью.
2. Описание цифрового устройства на языке системы VLSI-SIM:

CIRCUIT LAB2;

INPUTS P1(1),P2(1),P3(1),P4(1);

OUTPUTS C1(1),C2(1),C4(1);

GATES

A1 'NEX2' (1) P4(1),P1(1);

A4 'N\_' (1) P3(1);

A2 'NO2' (1) P3(1),A1(1);

A6 'NA2' (1) A4(1),P2(1);

C4 'NAO3' (1) A6(1),P2(1),A4(1),P4(1);

A3 'N\_' (1) C4(1);

A5 'NAOA2' (1) A3(1),A2(1),P4(1),P2(1);

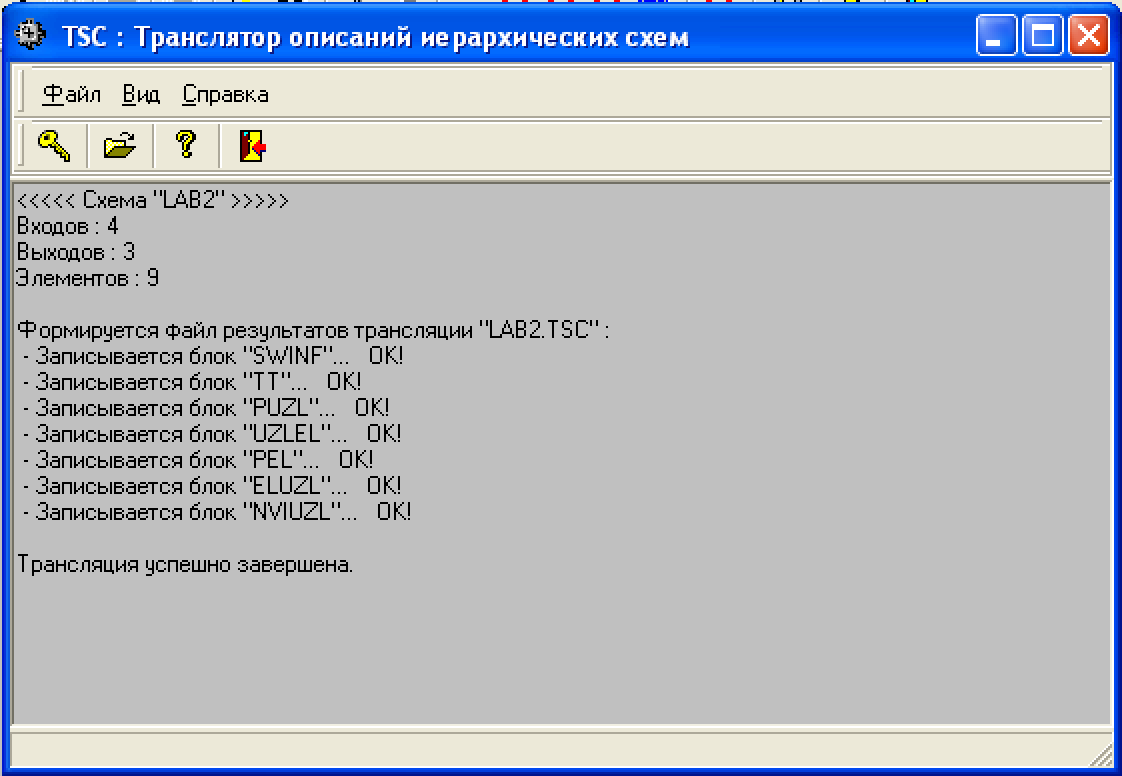
C2 'NAO3' (1) A5(1),A3(1),P2(1),P1(1);

C1 'N\_' (1) P1(1);

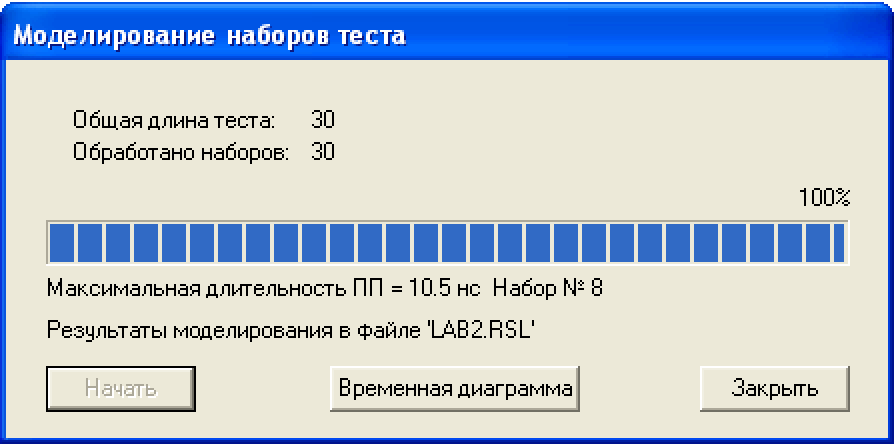
ENDGATES

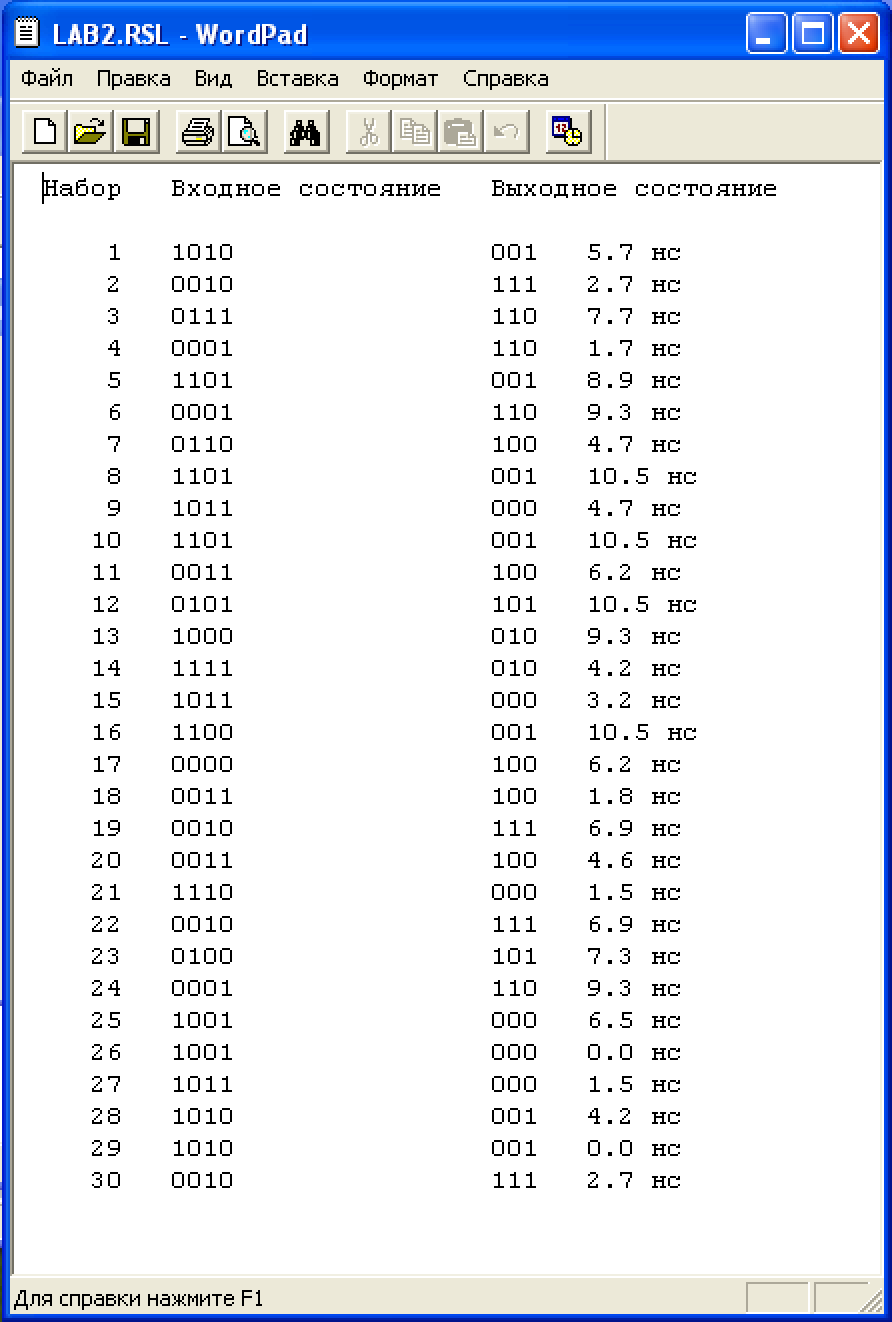
END

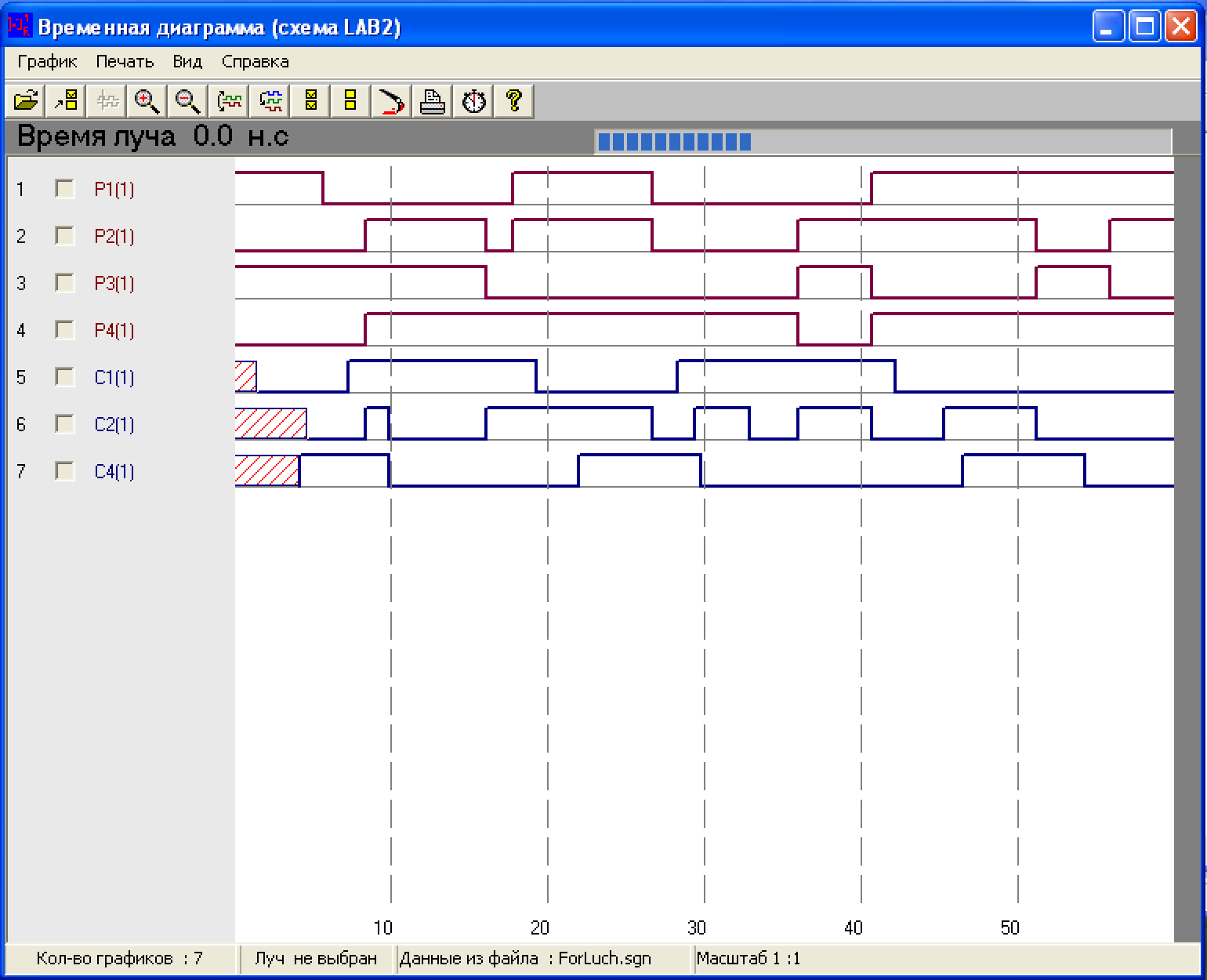
1. Выполнить трансляцию описания:



1. Провести моделирование объекта на функционально-логическом уровне на псевдослучайных входных воздействиях (программа SCA-TIME);



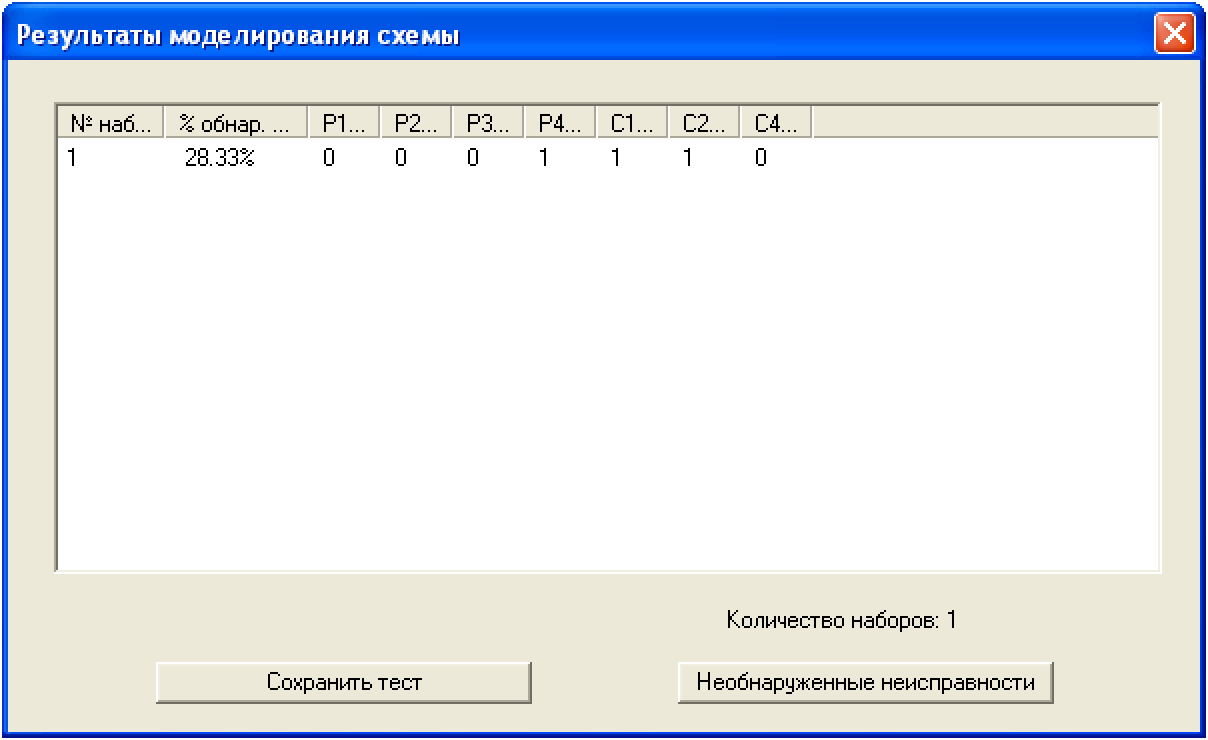




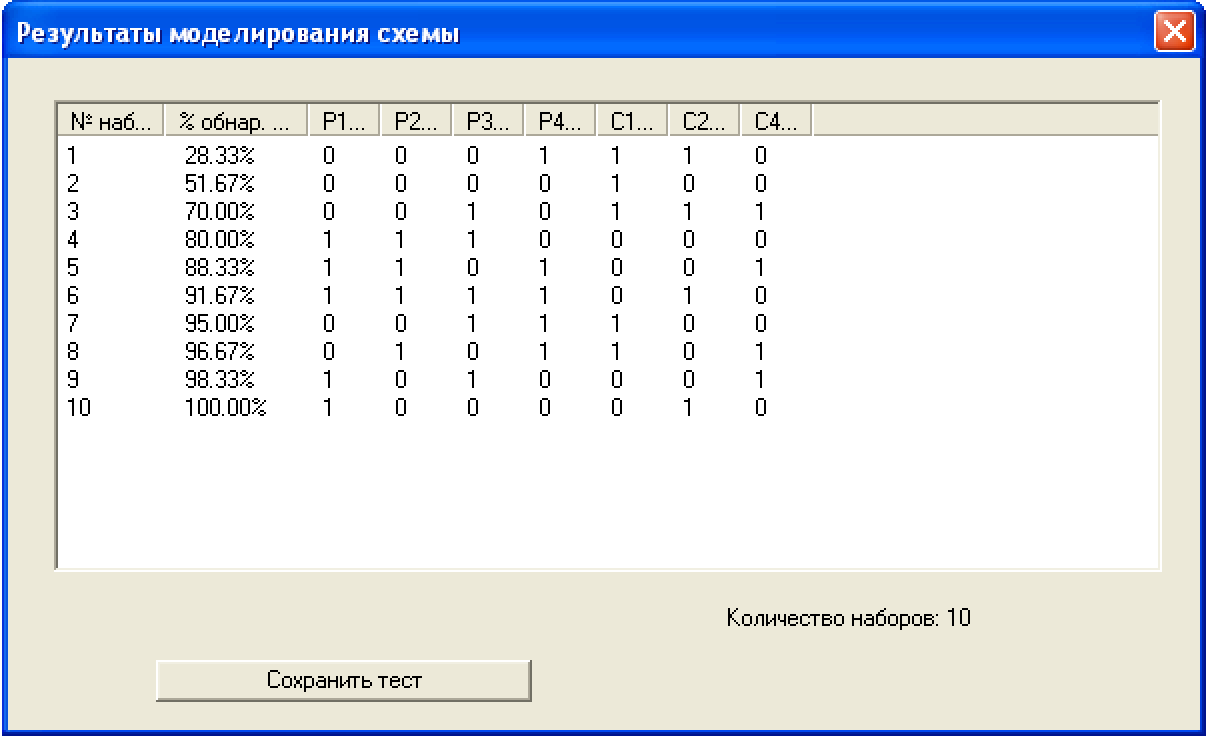
1. Выполнить 3 попытки построения теста контроля объекта случайным образом (программа SCA\_GENER).

Попытка №1

Результат генерации при заданном качестве покрытия входного набора в 28%:

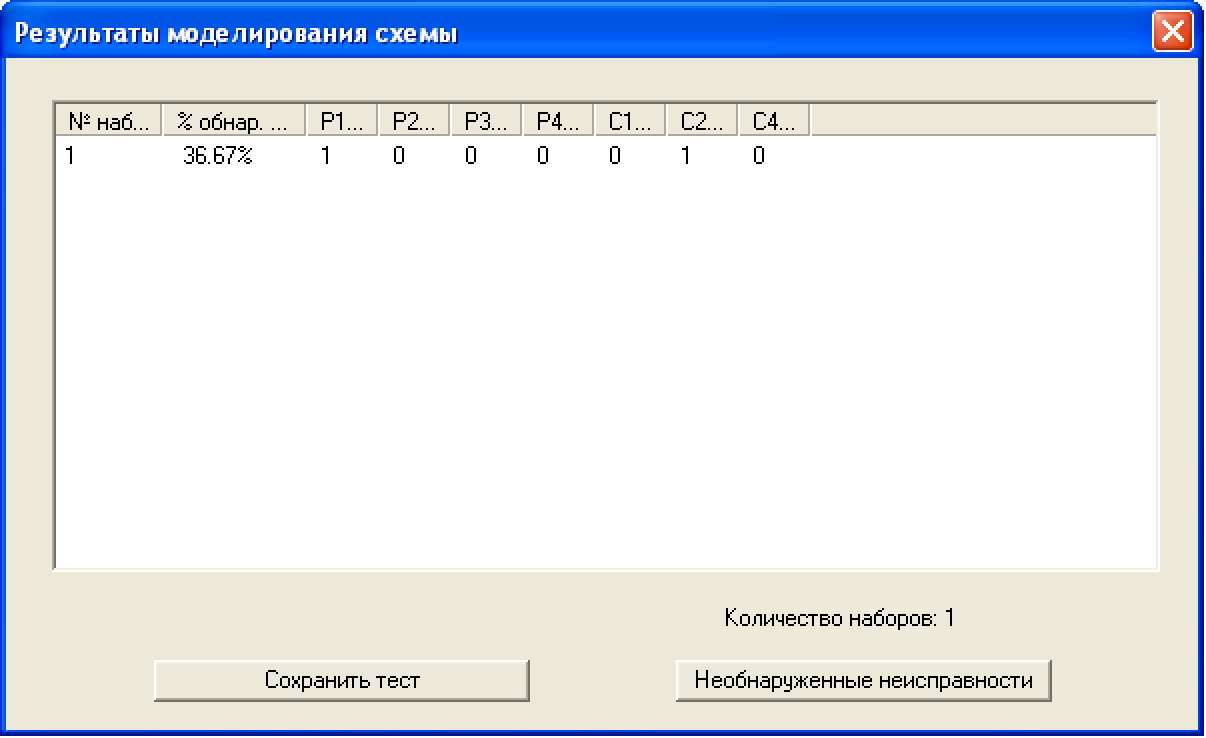


При заданном качестве покрытия входного набора в 2%:

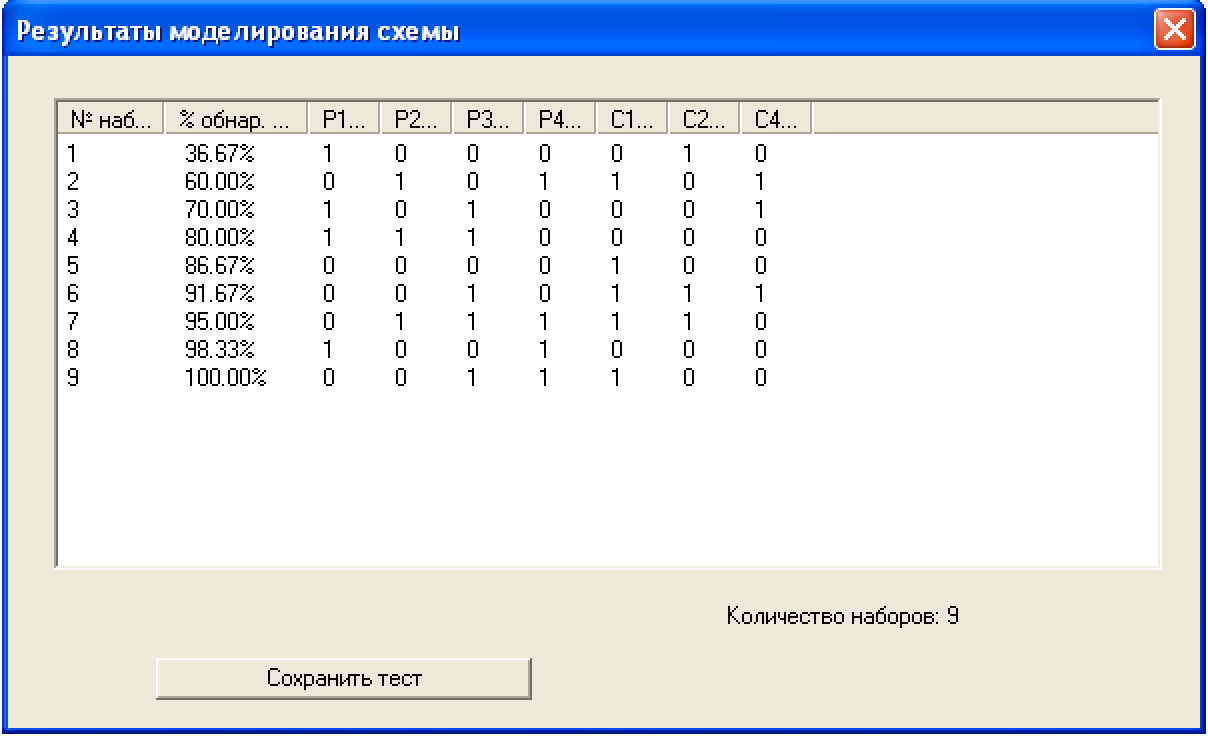


Попытка №2

Результат генерации при заданном качестве покрытия входного набора в 36%:

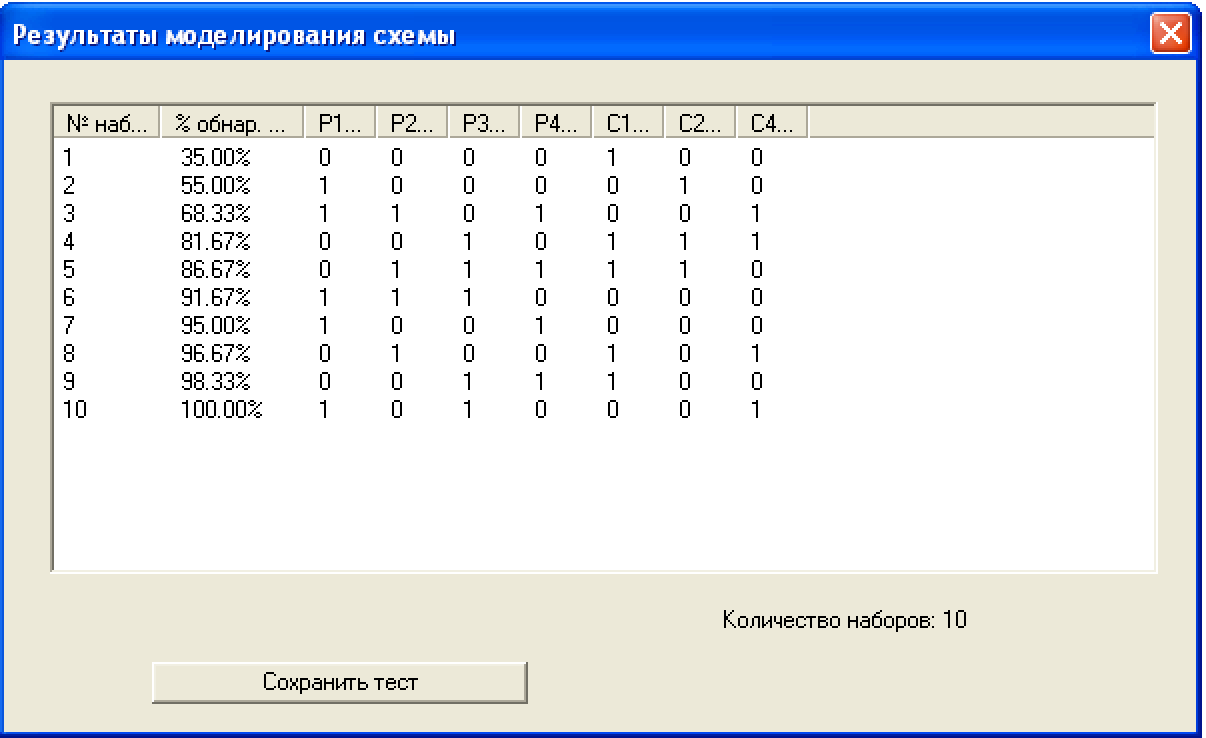


При заданном качестве покрытия входного набора в 2%:



Попытка №3

Результат генерации при заданном качестве покрытия входного набора в 35%:



1. Провести моделирование объекта на лучшем из полученных тестов (программа SCA-TIME);

