



RIPASSO

B1 - circuiti combinatori

• CORRISPONDENZA STATI - TENSIONE:

• LOGICA POSITIVA : $V_H = 1$, $V_L = 0$

• LOGICA NEGATIVA : $V_H = 0$, $V_L = 1$

NEL CASO

\hookrightarrow STATO ALTO H $\rightarrow V_H = 1 = V_O$ \rightsquigarrow IN OUT
STATO BASSO L $\rightarrow V_L = 0 = V_O$

\rightarrow APPROSSIMAZIONE $\begin{cases} V_H = V_{AC} \\ V_L = 0V \end{cases}$

• V_T : V_{TH} DI TRAVERSAMENTO $\rightarrow \begin{cases} \text{STATO H: } V_I > V_T \\ \text{STATO L: } V_I < V_T \end{cases} \rightsquigarrow$ IN INPUT

• VALORI \rightarrow INTERVALLI $\rightarrow V_I \in [V_{IL}, V_{IH}] / V_{OL}, V_{OH}$

• CONDIZIONI DI COMPATIBILITÀ:

• $V_{OL} \leq V_{IL}$, $V_{OH} \geq V_{IH}$

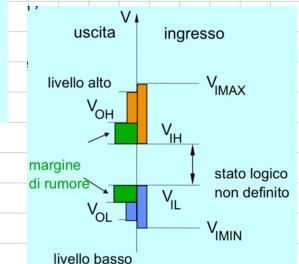
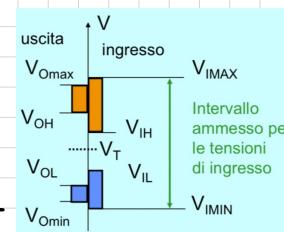
• $V_{omin} \leq V_{omax} \leq V_{imin} \leq V_{imax}$

\rightarrow UTILIZZO PER RIVOLGERE L'ESPERIMENTO OSC RUMORE

• MARGINI DI RUMORE (NOISE MARGIN):

• $NM_H = V_{OH} - V_{IH}$ { margini di rumore

• $NM_L = V_{IL} - V_{OL}$ \Rightarrow STATI LOGICI VENUTI DA INTRACCIA COMBINATORIA



\rightarrow PER SEGUSSI DI RUMORE, LA DEGRADAZIONE DOVUTA AL RUMORE È RECUPERATA SE CONTRASTA

\rightarrow V CIRCUITO : \exists VARIABILE SE $V_{in} \geq V_T$, QUANDO V_{out} È STRETTA A V_{OH}/V_{OL}

• USO DEI TRANSISTORI PER PORTE LOGICHE:

• TRANSISTOR CMOS : modello equivalente \rightarrow se $V_{GS} \geq V_{TH}$: CMOS $\rightarrow R_{ON}$, altrimenti SWING OFF

• NMOS, PMOS \rightsquigarrow componenti

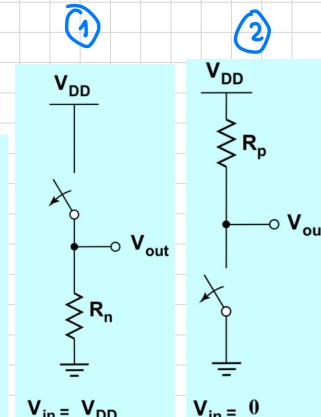
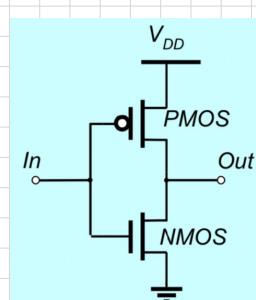
• INVERTORE CMOS :



• 2 TRANSISTORI : PMOS PULL-UP, NMOS PULL-DOWN

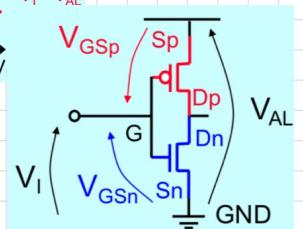
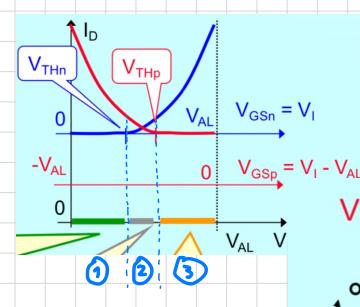
\rightarrow ① se $V_{in} = V_{DD} \rightarrow V_{out} = 0 \rightarrow \begin{cases} \text{NMOS LINEARE} \\ \text{PMOS OFF} \end{cases}$

② se $V_{in} = 0 \rightarrow V_{out} = V_{DD} \rightarrow \begin{cases} \text{NMOS OFF} \\ \text{PMOS CONDUCE} \end{cases}$



• CARATTERISTICHE INVERTER E CMOS

- ① $\begin{cases} V_{GSn} = V_I < V_{Thn} \rightarrow \text{NMOS OFF} \\ V_{GSp} = V_I - V_{AL} < V_{Thp} \rightarrow \text{PMOS ON} \end{cases}$
- ② $V_I = V_T \rightarrow \text{NMOS, PMOS saturati, } R_L \rightarrow \infty$
- ③ $\begin{cases} V_{GSn} = V_I > V_{Thn} \rightarrow \text{NMOS ON} \\ V_{GSp} = V_I - V_{AL} > V_{Thp} \rightarrow \text{PMOS OFF} \end{cases}$



• non è possibile definire in modo preciso V_T ($\rightarrow T, Aumentazione, ecc.$)

$$\rightarrow V_{IL} < V_T < V_{IH}$$

RETE PULL DOWN

RETE PULL UP

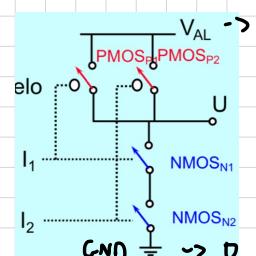
• PORTE CMOS COMBINATE: 1 NMOS $\rightarrow \sum \text{NMOS}$, 1 PMOS $\rightarrow \sum \text{PMOS}$

• NMOS $\left\{ \begin{array}{l} \text{escluso: } Y = X \Rightarrow A \text{ AND } B = A \cdot B \\ \text{permesso: } Y = X \Rightarrow A \text{ OR } B = A + B \end{array} \right.$

• PMOS $\left\{ \begin{array}{l} \text{escluso: } Y = X \Rightarrow \bar{A} \text{ AND } \bar{B} = \overline{A + B} \\ \text{permesso: } Y = X \Rightarrow \bar{A} \text{ OR } \bar{B} = \overline{AB} \end{array} \right.$

• NAND TIPO CMOS: $\sim \overline{A \cdot B}$

I_1	I_2	U
0	0	1
0	1	1
1	0	1
1	1	0



$\rightarrow \text{PMOS} = 1 \Leftrightarrow I_{1,2} = 0$
 $\rightarrow U = 1 \Leftrightarrow P1 \vee P2 \text{ ON}$

$\rightarrow \text{NMOS} = 1 \Leftrightarrow I_{1,2} = 1$
 $\rightarrow U = 0 \Leftrightarrow N1 \wedge N2 \text{ ON}$

• NOR TIPO CMOS: $\sim \overline{A + B}$

I_1	I_2	U
0	0	1
0	1	0
1	0	0
1	1	0

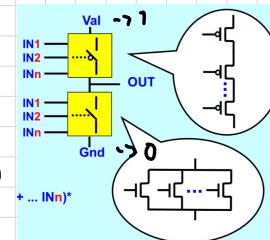
DE ROGLIANO

IN VERSIONE:

$$OUT = (\sum IN)^*$$

$\rightarrow \text{NMOS IN} \parallel \text{VFBZU (NAND)}$

$\rightarrow \text{PMOS IN} + \text{verso } V_{AC}$



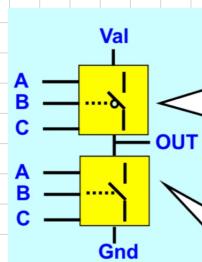
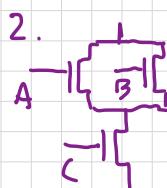
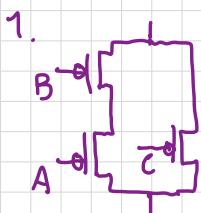
$\rightarrow OUT = 1 \Leftrightarrow \begin{array}{l} \text{num PMOS} = 1 \\ \text{num NMOS} = 0 \end{array}$

$\rightarrow OUT = 0 \Leftrightarrow \begin{array}{l} \exists \text{ NMOS} = 1 \\ \exists \text{ PMOS} = 0 \end{array}$

$$\text{es. } OUT = C(A + B)^* =$$

1. REGLIZZO LA RETE DI PULL-UP (PMOS), OAI 3 INGRESSI

2. REMOZZO PULL-DOWN REGOLAZIONE IL CONSUMATORI: $\parallel \rightarrow +, + \rightarrow \parallel$



es. MUX PER 2 CON PASS-GATE E PORTE

A	B	C	OUT
0	0	0	1
0	0	1	1
0	1	0	1
0	1	1	0
1	0	0	1
1	0	1	0
1	1	0	1
1	1	1	0

• PARAMETRI ELETTRICI STATICI E INTERACCIAIMENTO E STATI D'USCITA:

- CIRCUITI CMOS (PMOS + NMOS) SONO COSTITUITI DA $R_O = \begin{cases} R_{OL}, & V_O \geq V_{AL} \\ R_{OH}, & V_O < V_{AL} \end{cases}$
- CORRENTI D'USCITA:

(i) I_{OL}, I_{OH} o Azzeri corrente \rightarrow SONO LIMITATE

STATO H:

SIA R_L IL CARICO, I_O CORRENTE D'USCITA:

$$\rightarrow V_O = V_{AL} + R_{OH} I_O$$

$$\rightarrow I_O < 0, V_O < V_{AL} \rightarrow \text{DEVO MENO} \quad V_O > V_{OH} \rightarrow |I_O| < |I_{OH}| \quad \text{per} \quad I_O > 0$$

STATO L:

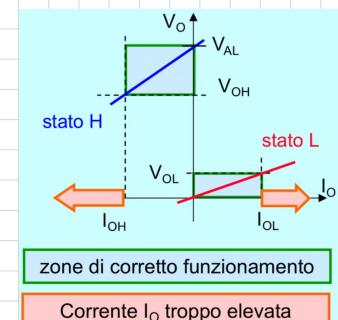
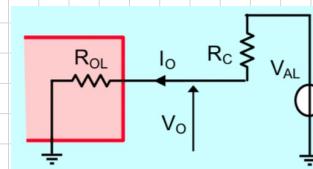
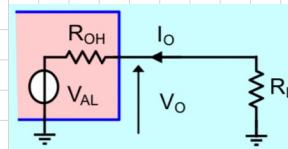
SIA UN CARICO CON R_C E GUARANTITO V_{AL}

$$\rightarrow V_O = R_{OL} I_O$$

$$\rightarrow \text{CORRETTO FUNZ.} \Leftrightarrow V_O < V_{OL} \rightarrow |I_O| < |I_{OL}|$$

\rightarrow CORRETTO FUNZIONAMENTO:

$$I_{OH} < I_O < I_{OL} \quad e \quad V_O < V_{OL} \wedge V_O > V_{OH}$$



• CIRCUITO D'USCITA TOTEM POLE: 2 USCITE \rightarrow STATO H: V_{AL} , STATO L: GND

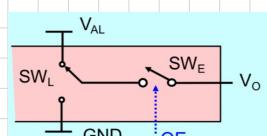
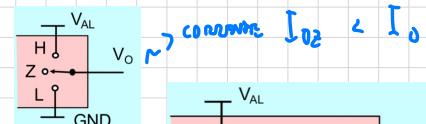
• CIRCUITO D'USCITA A 3 STATI (3S): H, L (come sopra) + Z

$\rightarrow Z$: STATO DI ALTA IMPEDANZA \rightarrow ENTROBI GLI INTERATORI APERTI

• 3S ATTIVAZIONE: SW_L COMMA LO STATO ZONOLO NELL'USCITA

\downarrow
3 STATI

SW_E : ABILITA L'USCITA (OE: OUT ENABLE)



\rightarrow UTILIZZO DUE USCITE 3S: SISTEMI MODULARI DI CUI NON SI CONOSCE A PRIORI IL N° DI DISP. LOGICI CONNESSI

REALIZZABILE CON NOR

\rightarrow gg. REGISTRI, MULTIPLEXER

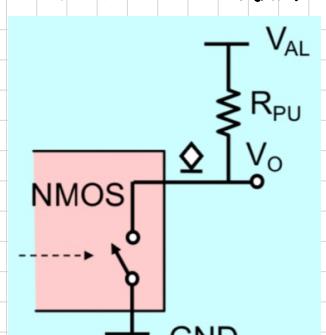
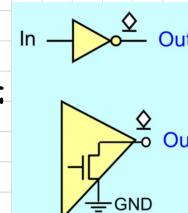
• USCITA OPEN DRAIN (OD) (OPEN COLLECTOR (OC)):

REALIZZABILE CON 1 NMOS

• NMOS OFF \rightarrow OVT = GND \rightarrow L

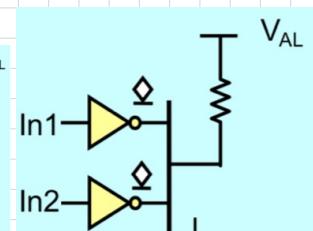
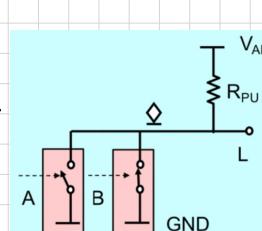
• NMOS ON \rightarrow OVT = STATO INIZIALE DELL'EXT (COME IN 3S)

\rightarrow PUÒ 3 R_{PU} (R PULL UP) GARANTIRE $V_O = V_{AL} \rightarrow H$



• UTILIZZO: OR CASOLOGICO

$OVT = 0 \ L \Rightarrow 3 \text{ NMOS ON } (A \circ B) \rightarrow \text{NOR}$



• PARAMETRI DINAMICI + MODELLI PER VACUATIZIONE DI RITARDI:

• NEI CIRCUITI RESISTIVI, LE TRANSIZIONI SONO STATE NON SONO IMMEDIATE $\rightarrow t$ DI RITARDO

\rightarrow RITARDI NEL PASSAGGIO LOGICO DA IN \rightarrow OUT

• t DI TRANSIZIONE (RISE e FALL) : $|t_{V=50\%} - t_{V=10\%}|$

• t DI PROPAGAZIONE TRA INGRESSO e USCITA :

$$t_{PHL} = t_{SO\%}(V_{OH}-V_{OL}) - t_{SO\%}(V_{IH}-V_{IL}) \quad (\text{ANALOG. } t_{PLH})$$

\rightarrow I t DI RITARDO SONO DOWNTIME AVE C PARASSITI

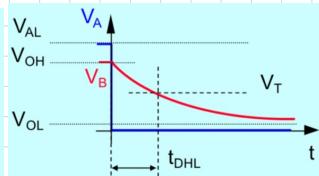
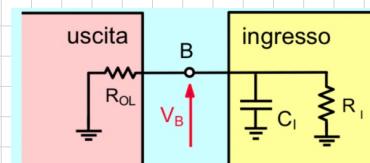
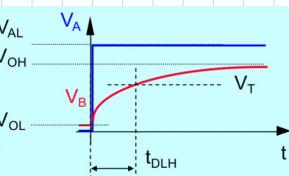
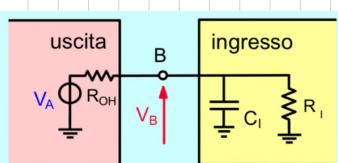
• C_{GB} DOMINANTE NEI MOS, LE ALTRE C SONO TRANSMITTENTI \rightarrow PROPAGATORI

• I CMOS DI INGRESSO SI POSSONO MODELLARE CON UNA C, EQUIVALENTE, CHE VERA DA V_I A GND

• RITARDI TRA MODULI: $\sim \tilde{\tau} = R_{\text{USCITA}} C_{\text{parassita}}$

• L \rightarrow H: $\rightarrow t_{DLH}$ AVRA V_B MIGLIOR V_T

• H \rightarrow L: $\rightarrow t_{DHL}$ AVRA V_B MIGLIOR V_T



es. INVERTORE CMOS: $t_{PHL} = 0,69 R_{OL} C_1$

• CALCOLO DEI RITARDI DI TRASMISSIONE

$$\rightarrow \tilde{t}_{LH} = C R_{OH}, \quad \tilde{t}_{HL} = C R_{OL}$$

• USCITE DD (OPEN DRAIN):

$$R_{OD} \ll R_{PU}$$

$$\rightarrow \text{SCALDA: } V_{BOL} \rightarrow \tilde{t}_{HL} = C R_{OL} // R_{PU}$$

$$\rightarrow \text{CERCA: } V_{TOA} \rightarrow \tilde{t}_{LH} = C R_{PU}$$

• EFFETTI DI CARICO: \uparrow n° CIRCUITI \rightarrow \uparrow C_{TOT} \rightarrow \uparrow ritardo + t_{trasmissione}

\rightarrow TRANSIZIONI TROPPO VELoci \rightarrow RUMORE

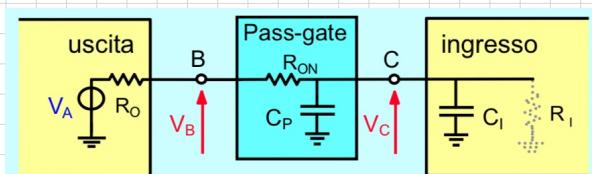
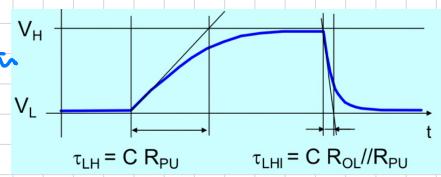
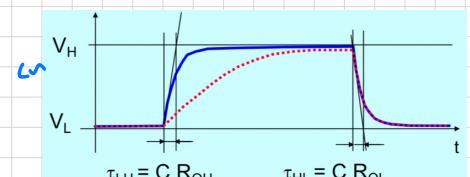
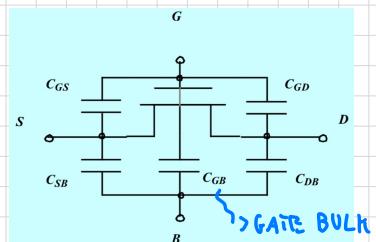
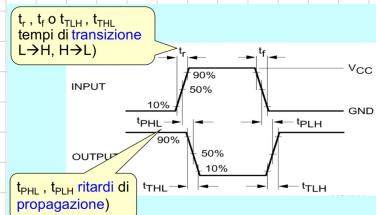
• PASS-GATE: MOS (o coppia p-n in s) IN SERIE TRA USCITA LOCALI CONNESSIONI

\rightarrow INVERSIONE R_{ON}

\rightarrow MINIMI VALORI MASSIMA R_C: $\uparrow \tilde{t}$

\rightarrow EVITARE DI INSERIRE PIÙ PASS-GATES IN SERIE

• RITARDI COMMESSIVI: $t_o + t_p \rightarrow$ INTESA: propagazione da porta a porta



• PER \downarrow RITARDI : USCITE CON BASSI R_O \rightarrow ALTA I_O , CAPACITÀ SCARICA RADIALE PENA C_1
INGRESSI CON ALTI C_i , EQUIVALENTE.

• FAN OUT : MAX N° DI INGRESSI CONFERIBILI ALL' USCITA

$\hookrightarrow C_i$: COMBINABILITÀ STATICA (I_{O1}, I_{O2} , CARICHI), COMBINABILITÀ DINAMICA (RITARDI, t_{PLH}, t_{PHL})

• NEI CMOS : $I_o \approx 0$

SEZIONI DIGITALI DIFFERENZIALI

V : INFINITÀ DI DISTORSIONE ($\uparrow V_{OL} \text{ e } \downarrow V_{OL}$)

- MINOR TRASDURATO VERSO ALTRI CIRCUITI
- POSSIBILI FLUENTANZE $\Delta V \rightarrow \uparrow$ VELOCITÀ, \downarrow CONSUMO
- TENDENZE: $\parallel t \rightarrow +$, $\downarrow V_{OL}$ NE t , $V_{OL} \approx V_d$

ESEMPIO DI ANALISI :

• VERIFICA REALE COMBINABILITÀ LOGICA:

1. VERIFICA COMBINABILITÀ DEI LIVELLI DI TENSIONE: $V_{OL} < V_{IL}$, $V_{OH} > V_{IH}$

2. CALCOLARE LE CORRENTI DI RIFERIMENTO ALL' USCITA

3. VERIFICARE COMBINABILITÀ NEGLI CURRENTI: $I_{O1} < I_{OL}$, $I_{O2} > I_{OH}$

es. B1.1 VERIFICA COMBINABILITÀ

1. $V_{OH} > V_{IH} \rightarrow 3V > 2V$, $V_{OL} < V_{IL} \rightarrow 0,4V < 0,8V$

2. a) $I_{O,A} = \# \text{ PORTE} * \left(I_{IH} / I_{IL} \right)$ \rightarrow IN QUESTO CASO 4 SE È STATA M/L

$$b) I_L = V_{DD} / R_{eq}$$

$$c) I_O = I_{O,A} + I_L$$

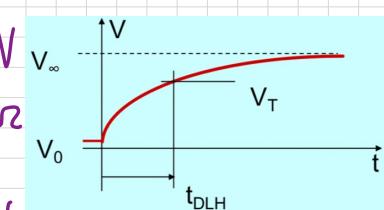
$$d) \text{VERIFICO } |I_{OH}| \geq I_O \geq |I_{OL}|$$

	uscita		4 porte (NO R)		R1 R2	
	alto	basso	alto	basso	alto	basso
a)	$4 \cdot 0,2A = 0,8A$	$4 \cdot 0,9A = 3,2A$	$0,8A$	$3,2mA$	$3,2mA$	$3,2mA$
b)	0	0	$0,8mA$	$3,2mA$	$0,8mA$	$3,2mA$
c)	$0,8mA$	$3,2mA$	$1,3mA$	$9,2mA$	$1,3mA$	$9,2mA$
d)	Verifica		$1,3mA > 9,2mA? \checkmark$		$1,3mA < 4mA? \checkmark$	

es. B1.3 CALCOLO RITARDI

• CALCOLARE $t/V(t) = V_T = 2V$, CON $V_{OL} = 1V$, $V_{OH} = 3V$, $V_{DD} = 6V$
 \hookrightarrow NEGLI CARBONI V_O : $C = 50pF$, $R_O = 200\Omega$, $R_I = 1M\Omega$

GND, V_{OL} , V_{OH} , V_{DD}



• USCITA DI REC. COST. CIRCUITI ORGANICI: $V(t) = [V_{L(\infty)} - V_{L(0)}] (1 - e^{-t/R_C}) + V_{L(0)}$

$$\rightarrow \text{SE CONSIDERO } V_{L(\infty)} = V_{OL(\infty)} = 4V, V_{L(0)} = V_{OL} = 1V \quad \hookrightarrow t = R_C C = 200\Omega \cdot 50pF = 1 \cdot 10^{-9}s$$

$$\rightarrow 2V = [4V - 1V] (1 - e^{-\frac{t}{10^{-9}}}) + 1V \rightarrow 1V = 3V - 3Ve^{-\frac{t}{10^{-9}}} \rightarrow 2V = 3Ve^{-\frac{t}{10^{-9}}}$$

$$\rightarrow \frac{2}{3} = e^{-\frac{t}{10^{-9}}} \rightarrow \left(-\frac{t}{10^{-9}}\right) = \ln\left(\frac{2}{3}\right) \rightarrow t = -10^{-9} \ln\left(\frac{2}{3}\right) = 4 \cdot 0,05 \cdot 10^{-9} s = 4,05 \text{ ns}$$

• CONSUMO DI POTENZA:

• E' USATA PER: PUNZ. INTEGRALE DEL MONDO, SECONI ESTERI, CGCSE

↳ FORMA DI V_{AC} : L'INDIMENTICO DI CONSUMO E' LA I ASSORBITA DALLA TUMETAZIONE

• POTENZA STATICA P_S : P ASSORBITA IN ASSENZA DI COMMUTAZIONI

↳ E' COST., A V_{AC} , T, MIGLIORAMENTE CON I_{DC} COMBINATO TRA V_{AC} E FND

• POTENZA DINAMICA P_D : P ASSORBITA DA ACCENSIONE/FIZZ. ESTATE. COMMUTAZIONI ($L \rightarrow H$, $H \rightarrow L$)

↳ CORRENTE I_L E' CORSA/SCARSA A C IN USCITA, I_L J (E' J) COMMUTAZIONI

• $P_D = FCV^2 / F$: FIBB. DI CORSA/SCARSA -> N° DI CAMBI/SCAMBIO AL SECONDO

↳ ... Q = CV -> FQ = FCV E $P_D = VI = V \frac{Q}{t} = FV \cdot CV = FCV^2$

• $P_S \leftrightarrow I_{OFF}$, CON SINT. TECNOLOGIA E' DISPOSITIVO, $P_D \leftrightarrow$ TECNOLOGIA E' Ogni USCITA CONSUMO

↳ OFFSET

• PRODOTTO POTENZA-RETARDO:

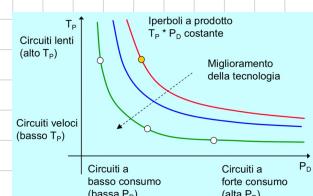
• IN UN CIRCUITO IDEALE: $P_D = 0$, $T_p = 0 \rightarrow$ RETARDO NULL

• P_D , $T_p \leftrightarrow$ C PASSATRICE (e) TECNOLOGIA E' I CORSA/SCARSA (e) PROGETTO

→ I ^{RAZZ.} → ↑ VELOCITA', FONDI DISTRIBUZIONE, I ^{RASS.} → ↓ VELOCITA', DISTRIBUZIONE

• $\sqrt{T_P \cdot P_D} = K$ → SE $\downarrow K \rightarrow$ MIGLIORE TECNOLOGIA

↳ SE $\downarrow K \rightarrow \downarrow C, \downarrow \Delta V$, RASSI MINIMALI E' ASSISTENZIONE



• CONSUMO IN CMOS:

$$\begin{aligned} \rightarrow P_S &= I_{OFF} \cdot V_{AC} \rightarrow \text{STATO } H/L \rightarrow \cancel{\text{X}} \\ \rightarrow P_D &= FCV^2 \rightarrow \cancel{\text{X}} \end{aligned} \rightarrow \text{CONSUMO COMPLESSIVO} = P_D + P_S$$

• CONSUMI

P_S, P_D IN CMOS CON: $V_{AC} = 2V$, $50 \cdot 10^6$ TRANSISTOR, $100 \cdot 10^6$ INNESSI CON $C = 1fF$

a) $F_m = 200\pi Hz$, $I_{OFF} = 1nA$ E' DISPOSITIVO:

$$\rightarrow P_S = N_{\text{DISP}} \cdot I_{OFF} \cdot V_{AC} = 50 \cdot 10^6 \cdot 1nA \cdot 2V = 0,1W$$

$$P_D = C_{\text{TOT}} F V_{AC}^2 / C_{\text{TOT}} = N_c \cdot C \rightarrow P_D = 100 \cdot 10^6 \cdot 1fF \cdot 200\pi Hz \cdot (2V)^2 = 80W$$

b) $F_m = 2 GHz$, $I_{OFF} = 100mA$ E' DISPOSITIVO:

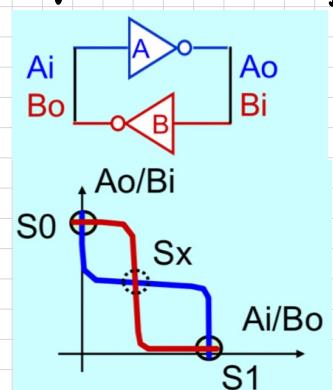
$$\rightarrow P_S = 10W$$

$$P_D = 800W$$

B2 - CIRCUITI BISTABILI:

• VARI TIPI DI FLIP-FLOP:

- CIRCUITI COMBINATORI: $OUT(t_0) = f(IN_1(t_0), \dots, IN_m(t_0)) \rightarrow$ associazioni con porte logiche
 - $\hookrightarrow f$ solo REGI INMESSI IN $t = t_0$
 - CIRCUITI SEQUENZIALI: $OUT(t_0) = f(IN_0 \div m(t_0), IN_0 \div m(t_{-1}), \dots, IN_0 \div m(t_{-i}))$
 - $\hookrightarrow f$ DEGLI IN_n A $t = t_0$ = t PRECEDENTI
 - NECESSITÀ DI ELEMENTI DI MEMORIA: FLIP-FLOP
 - ANEGLIO DI INVERTER: IN A = OUT B, IN B = OUT A
- \rightarrow 2 STATI STABILI:
- S0 : $A_0 = H, B_0 = L$
 - S1 : $A_0 = L, B_0 = H$
 - (INIZIALE S_x: PUNTO METASTABILE, DA EVITARE)

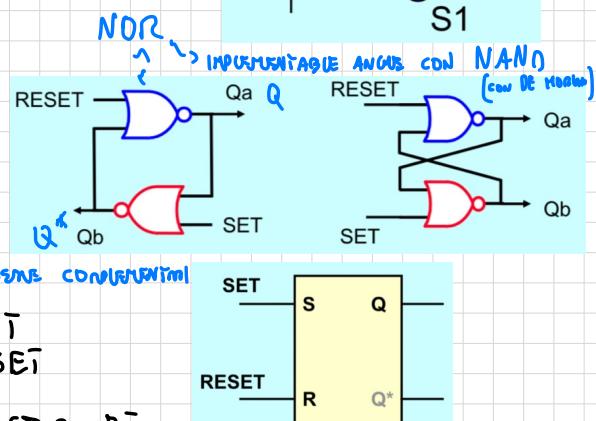


• FF SET-RESET:

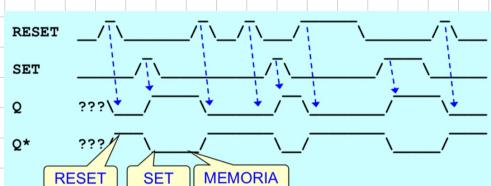
NOR
 $\begin{array}{c} AB \\ \text{OUT} \\ 00 \\ 01 \\ 10 \\ 11 \end{array}$

PER FORMARE L'ANALOGO IN S0, S1 C'È BISOGNO DI UN INPUT ESTERNO

- | | | | | | |
|----|----|----|----|----|----------|
| AB | 00 | 01 | 10 | 11 | S R Q Q* |
|----|----|----|----|----|----------|
- \rightarrow LE USCITE SONO ESENTE COMPLEMENTI
- S0 : 0 0 $\rightarrow Q_0 = 1, Q_1 = 0$; STATO DI SET
 - S1 : 0 1 $\rightarrow Q_0 = 0, Q_1 = 1$; STATO DI RESET
 - 0 0 \rightarrow STATO DI NEUTRALITÀ
 - 1 1 \rightarrow CONDIZ. PROIBITA \rightarrow POSSIBILE METASTABILITÀ



• COMANDI



• INIZIAMENTO STATO FF NON NOTO

• IN CASO DI RUMORES SUL R O S \rightarrow CON SEGU IL 1° COMANDO

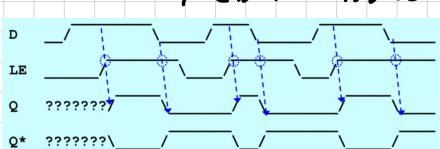
• CIRCUITI ASINCRONI: FF PUÒ COMBINARSI SUBITO IN QUALSIASI MODO, QUAD \Rightarrow INPUT EXTERNAL

• CIRCUI SINCRONI: FF PUÒ COMBINARSI CON CLK

• CATCH D: 1 SOLO INMESSO D (R RICAVATO CON S*)

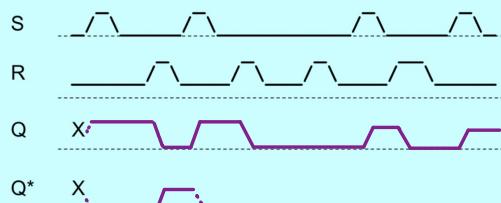
\rightarrow LE : ENABLING \rightarrow LE = 0 : CONDIZ. DI MEMORIA

LE = 1 : CONDIZ. DI TRASMISSIONE

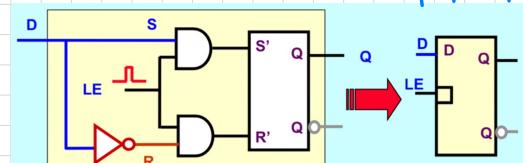


• B2.1 RISPOSTA DI FF SR

- Tracciare la risposta (Q e Q*) di un FF-SR ai comandi S, R indicati



AB	OUT
0 0	0
0 1	0
1 0	0
1 1	1

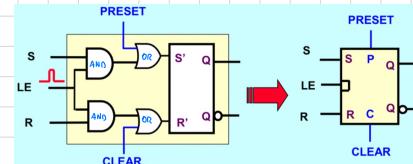


• COMANDI PRESET (P) e CLEAR (C) :

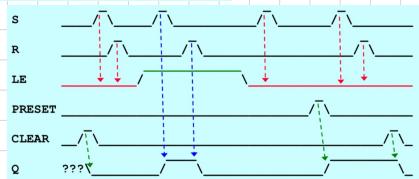
AGISSENO INDEPENDENTEMENTE DA LE

→ S, R ARRIVI SE LE = 1, BLOCCO SE LE = 0

→ P, C SONO ATTIVI



es.



• FF MASTER-SLAVE :

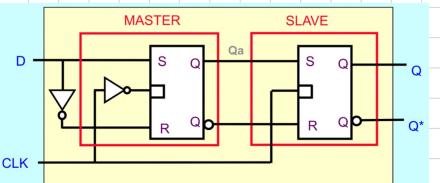
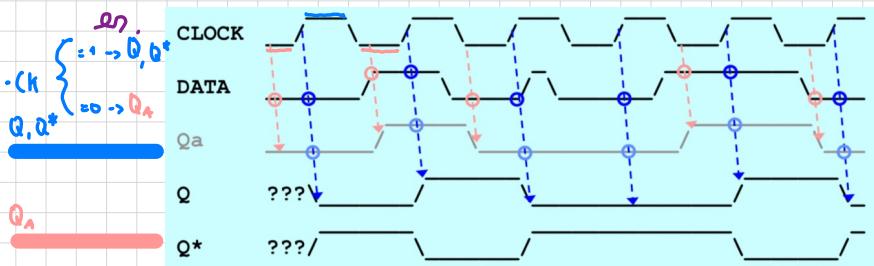
ASCESA DI FF WATCH, CON CK E CK*

→ DURANTE CK = 0 : 1° FF ABILITATO, MASTER TRASPARENTE e 2° FF SILENZIO, SLAVE IN RISERVA

→ DURANTE CK = 1 : 1° FF BLOCCATO, MASTER IN RISERVA e 2° FF ABILITATO, SLAVE IN TRASMISSIONE

L → QUANDO CK: 0 → 1 → 2° FF RICEVE IN INGRESSO
L'OUTPUT DEL 1° FF

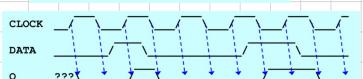
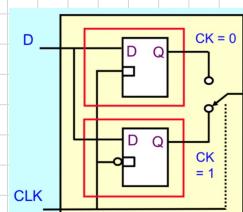
• SE È UNICO INGRESSO D : FFD, Q_n: VIZ. INTRACCIA



→ Q_n RICEVE DATA L → CK = 0

→ L'INFO IN Q È RICORDATO

SOLO AL CK SUCCESSIVO



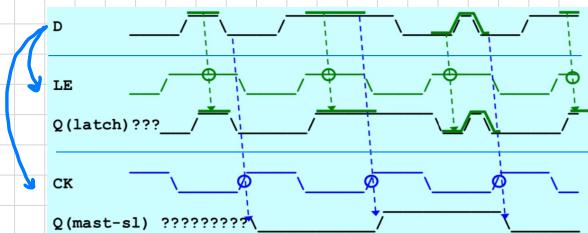
• FLIP FLOP DUAL EDGE : DDR (DOUBLE DATA RATE)

→ NON HA COND. DI TRASFERIMENTO

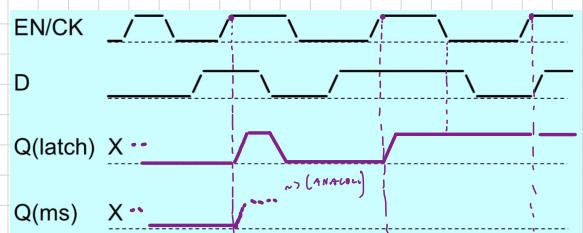
→ CONVOLTA SU ENTRAMBI I FRONTI DI CK : sia D → 1 che 1 → 0

L → f_{DATA} = 2 * f_{CK} → CONVOLTI PIÙ OFTTI

es. DIFFERENZE LATCH e MASTER-SLAVE



es.



• FF JK:

È UN SR MS CON RELAZIONE INTRACCIA: Q e Q* ⇔ Q_n e Q_n*

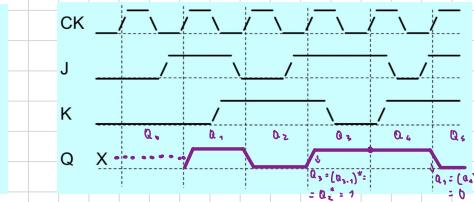
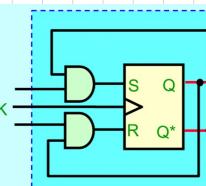
→ IN VERSIONE NON PERMESSA

→ LA COMBINAZIONE J=K=1 È UTILIZZATA PER COMBINARE L'USCITA

J	K	S	R	Q	Q*
0	0	0	0	Q _n	Q _n *
0	1	0	Q _n	0	1
1	0	Q _n *	0	1	0
1	1	Q _n	Q _n *	Q _n *	Q _n

combinazione J=K=1 è usata

combinazione J=K=1 è usata



• SPECIFICHE DI TEMPORIZZAZIONE:

- RITARDI IN FF SR:

$$\text{RITARDO} = T_1 + T_2 / \quad T_1: \text{INPUT} \rightarrow \text{USCITA PONTO}, \\ T_2: \text{USCITA 1} \rightarrow \text{USCITA 2}$$

\rightarrow SE "COMANDO CLK60", CON $T_{\text{comando}} > T_1 + T_2$ NON CI SONO PROBLEMI

\rightarrow IN USO CONTROVERA: NO COMUNICAZIONE O METASTABILITÀ

• PER FAR SI CHE FF cambino stato IN modo STABILE, LE VARIAZIONI DOVRAO MIGLIORARE SU TUTTO IL CAMPO

• FF SR e CATTURA: S/R DANE TORNA AL' INVESSO \rightarrow DURATA MINIMA: $2 t_p$

• FF MS tipo D: S/R CON PUNTO $> 2 t_p \rightarrow T_{S/R} > t_{SU} + t_h$

/SU: SET UP \rightarrow COMANDI SUL MASTER
/h: HOLD \rightarrow COMANDI MASTER \rightarrow SUAVE



• \forall MASSIMA, CK: $T_{\text{min, CK}} = t_{SU} + t_h + t_h + t_f \rightarrow t_{\text{max, CK}} = \frac{1}{T_{\text{min, CK}}}$

\rightarrow SE L'INVESSO COMBIA IN PRESENZA DI CK ANELLO NON SI STABILIZZA, USCITA NON STABILISCA \rightarrow METASTABILITÀ

• RESOLVING TIME:

T_{RES} : RITARDO CON CUI L'USCITA SI PONTE IN UNO STATO CORRETTO

$\rightarrow T_{\text{RES}} > t_{\text{PROPAGAZIONE}}$

$\rightarrow T_{\text{RES}}$ PRECISAMENTE STATISTICALEMENTE, NON IN MODO DETERMINISTICO

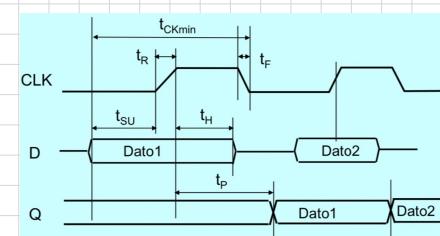
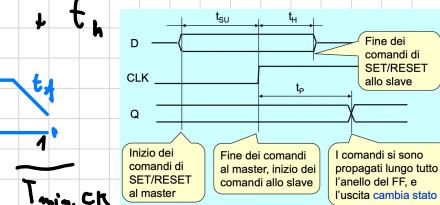
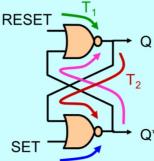
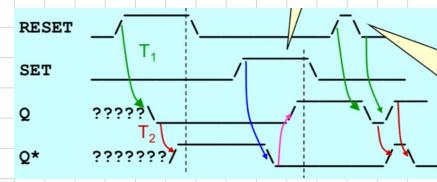
• SE METASTABILITÀ \rightarrow ERRORE NEL T_{RES} . IN 2 AMBITI CON DIVERSO CK

\rightarrow 2 TECNICHE PER RIDIMENTARE I SECONDI IN LOGO:

• 2 FF IN SERIE CON STESSO CK: \because PASSA PER OLTRE IL 2° USO IN METASTABILITÀ

• CK ATTIVATI IN FASE: \because REG. TEMPORIZI COSTANTI

\rightarrow L'USCITA CAMBIA STATO CON RITARDO E_p (GUADAGNO)



B3 - CIRCUITI SERIALI:

• REGISTRI PARALLELI, SERIALI e CONVERSSIONI SERIALE \leftrightarrow PARALLELA:

• SERIALE: SEGNALI QUADRATI DA CK

$\rightarrow N$ BIT SONO TRASFERITI CON N CICLI DI CK $\rightarrow T_{\text{TOT.}} = N T_{\text{CK}}$

• VANTAGGI: CINTA, MINOR CONSUMO e COSTI, USATA SU DISTANZE LUNGHE

• PARALLELA: SEGNALI QUADRATI DA CK

$\rightarrow N$ BIT SONO TRASFERITI CON 1 CICLO DI CK $\rightarrow T_{\text{TOT.}} = T_{\text{CK}}$

• VANTAGGI: VELOCE, MAGGIOR CONSUMO e COSTI, USATA SU DISTANZE BREVI

• REGISTRO: INSERIRE DI FF CON COMANDI ZERONI (CK, R/C, ecc.)

\hookrightarrow SE INGRESSO e USCITA //: REGISTRO PIPD \rightarrow PARALLEL INPUT PARALLEL OUTPUT



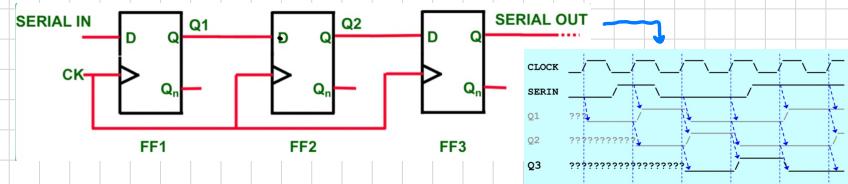
• DIFFERENZA IN = EN/CK : { EN: Q = DATA, NEW STATE IN ON EN = 1, RECUPERANO L'ULTIMO DATA quando EN=0
CK: Q = DATA, NEW STATE 0 \rightarrow 1 DI CK, se l'ultimo DATA è stato trovato

• SHIFT REGISTER SISO: \rightarrow SERIAL INPUT SERIAL OUTPUT

INSERIRE di FFD IN USCITA

• $Q_n \rightarrow D_{n+1}$,

• CK IN COMUNE TRA I FFD



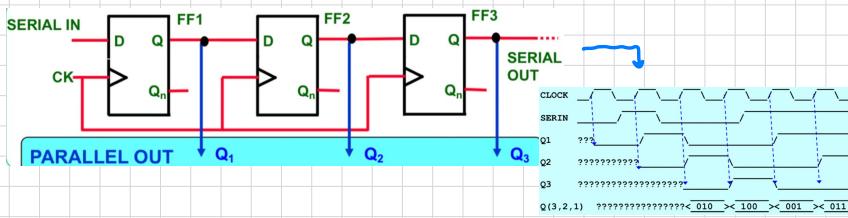
• SHIFT REGISTER SIPD: \rightarrow SERIAL INPUT PARALLEL OUTPUT

INSERIRE di FFD IN USCITA

• $Q_n \rightarrow D_{n+1}$,

• CK IN COMUNE TRA I FFD

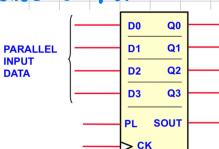
• CONVERSIONE DI INPUT + \rightarrow //



• SHIFT REGISTER PISO: \rightarrow PARALLEL INPUT SERIAL OUTPUT

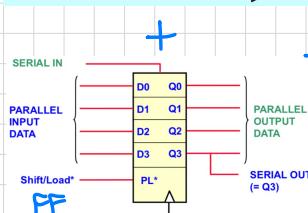
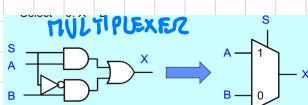
INCARICO // DI FFD: $PL = 1$ (\hookrightarrow PARALLEL LOAD)

• USCITA SERIALE



\rightarrow SHIFT REGISTER COMPUTATO:

\forall FF \rightarrow MULTIPLEXER IN INGRESSO, SEQUEZIONALE:



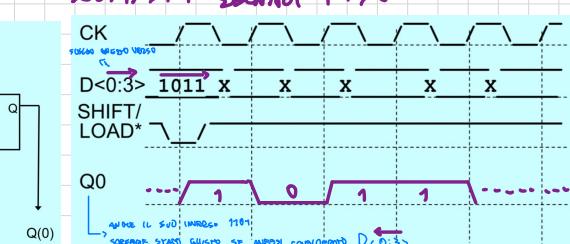
\hookrightarrow B NEGATIVO

\hookrightarrow LOAD \hookrightarrow = 0

Q(3) Q(2) Q(1) Q(0)

$X = A = 1$: INGRESSO + (scorrimento)
 $X = B = 0$: INGRESSO //

es. B3.1 serial PISO



CONTATORI ASINCRONI / SINCRONI, f_{max} DI CIRCUITI SEQUENZIALI:

• CONTATORE: CIRCUITO CHE MANDA IN USCITA UNA SERIA DI CONTENUTO BINARIO: VCK \rightarrow C + +

\hookrightarrow I CONTATORI UP E DOWN, RESTARE DA 0 RAGGIUNO UN VALORE PROSEGUITO
 $0, 1, 2, 3, \dots, 0000, 0001, 0010, 0011, \dots$

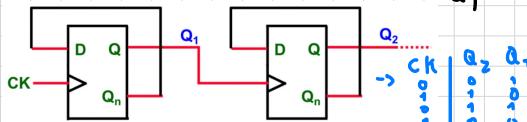
• DIVISORI: CONTATORI DI CUI SCENDO VERSO SOLO USCITA Q; TRA Q₁, ..., Q_M

\hookrightarrow IL STADIO SUCCESSIVO:

$$f_i = \frac{1}{2} f_{i-1} = \frac{1}{2^M} f_{CK} \text{ SE } M \text{ STADI} / M = \frac{f_{CK}}{f_{Q_i}}$$

CONTATORE ASINCRONO:

• ritardi T_{pol} : CK \rightarrow Q



SE M STADI: $f_{Q_i} = f_{CK} / M$

\rightarrow USCITA Q_n: $T_{pol,M} = M T_{pol}$

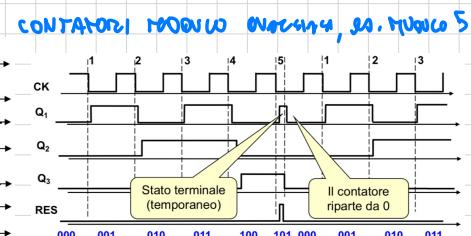
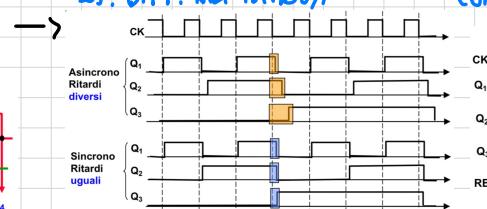
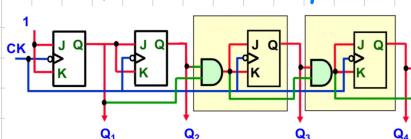
• JK-FF COME DIVISORI / CONTATORI:

SE J, K = 1 \rightarrow VCK, JK-FF come stadi

\hookrightarrow CONTATORI ASINCRONI \Rightarrow 3 STADI, CICLO 8, NELLE EDGE TRIGGERED

CONTATORI SINCRONI:

\Rightarrow CONTATORI MODULO Z^N, N=4

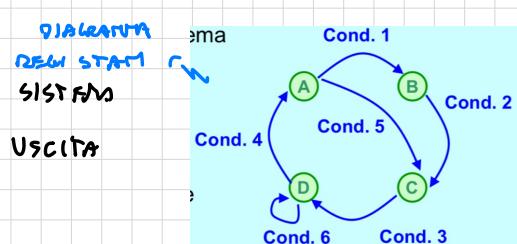


\rightarrow CONTATORI: { ASINCRONI: VFF \rightarrow CK DIVERSI, V USCITA Q; \rightarrow RITARDI DIFFERENTI
 SINCRONI: VFF \rightarrow STESSO CK, V USCITA Q; \rightarrow COMMUTAZIONI CON STESSI RITARDI

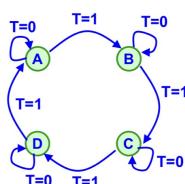
MACCHINE A STATI FINITI (FSM):

• LA CONDIZIONE DEI FF (0/1) IDENMIFICA LO STATO PRESENTE SISTEMA

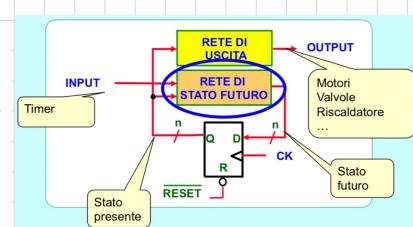
• I STATI (COMBINAZIONI DI 0/1 DI A, B, C, D) -> 16 COMBINAZIONI D' USCITA



\Rightarrow LAVATRICE: PSM PER IL TIMING



STATO	CARICA ACQUA	LAVA	CENTRIFUGA	ASCIUGA
A				
B				
C				
D				

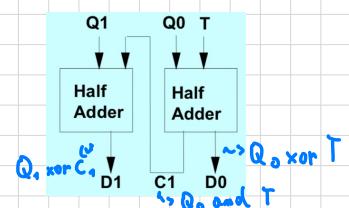


\rightarrow INGRESSI:

VAR. DI STATO (INIT.) + SEGNALE EXT

• USCITE:

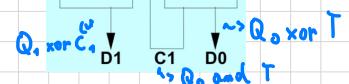
VAR. DI STATO NELLO STATO SUCCESSIVO



\rightarrow RETE DI STATO FINITO:

\rightarrow STATO PRESENTE SE T=0, STATO PRESENTE +1 SE T=1

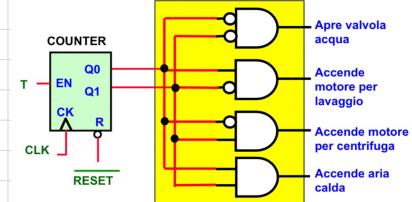
\rightarrow INGRESSO CONTINUO DOW DA T=0/1 \rightarrow USO HALF ADDER



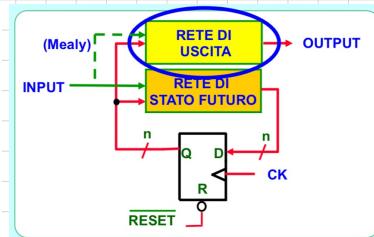
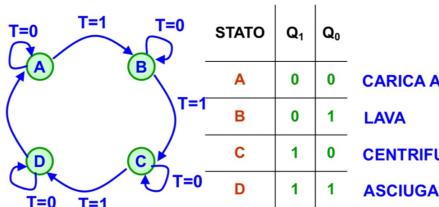
• RETE DI USCITA:

- FSM di MOORE: $\frac{1}{2}$ INGRESSI
- FSM di MEAL N: L) INGRESSI

es.



→



→ INTEGRATI:

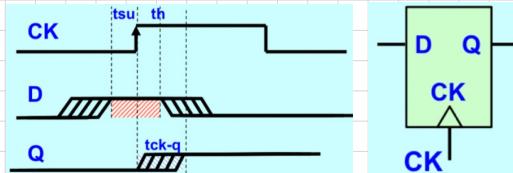
VAR. DI STATO (INTERNA)

• USCITE:

REGISTRI DI CIRCUITO

• t_{max} DI FUNZIONAMENTO:

t_{max} (i) t_{su} DEI FF:



- t_{su} : t DI SET UP \rightarrow D DANESSA STANTE PRIMA DEL FRONTE DI CK PER IL TEMPO t_{su}
- t_h : t DI HOLD \rightarrow D DANESSA STANTE DOPO IL FRONTE DI CK PER IL TEMPO t_h
- t_{ck-q} : RETARDO DI CK \rightarrow Q SI STABILIZZA NEL TEMPO t_{ck-q} DOPO IL FRONTE DI CK

• RETRASMI 20 GATE COMBINATORIA:

$$\begin{aligned} \cdot t_{lc, max} &= \max(t_{in-out}, t_{in-sf}, t_{sp-out}, t_{sp-sp}) \\ \cdot t_{lc, min} &= \min(t_{in-out}, t_{in-sf}, t_{sp-out}, t_{sp-sp}) \end{aligned}$$

$$\cdot \bar{t}_{ck,min} > t_{ckq} + t_{lc,max} + t_{su} \Rightarrow \text{IN FF}$$

$$\cdot \text{RETARDO MINIMO RESS. VOLTO: } t_{ckq} + t_{lc,min} > t_h$$

$$\rightarrow t_{max} = \frac{1}{\bar{t}_{ck,min}}$$

• UE STRUTTURE A RIPETIZIONE (RIPPLE) HANNO UN RETRASMO MAGGIORISMO RISPETTO ADUE STR. SINGOLARE (look ahead)

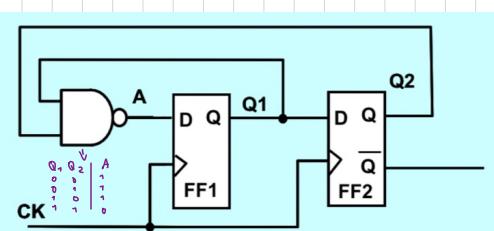
RETARDO MAX: C) N PDRP

STATO IMPL. $Q_i = 0$

$$\cdot t_{nano} = 2 \text{ ns}$$

$$\cdot t_{ckq} = 3 \text{ ns}$$

$$\cdot t_{su} = 1 \text{ ns}, t_h = 1 \text{ ns}$$



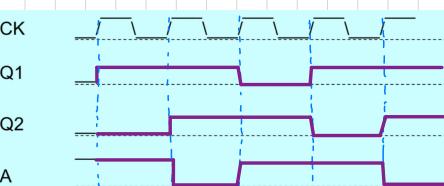
• VERIFICA RETRASMO MINIMO LOGICO: $t_{ckq} + t_{lc,min} > t_h$

$$\rightarrow 3 \text{ ns} + t_{nano} > 1 \text{ ns} \rightarrow 3 \text{ ns} > 1 \text{ ns} \checkmark$$

$$\dots \cdot \bar{t}_{ck,min} = t_{ckq} + t_{lc,max} + t_{su} = 6 \text{ ns} \Rightarrow f_{clock} = \frac{1}{\bar{t}_{ck,min}} = 167 \text{ MHz}$$

NO

RITARDI



SÌ

RITARDI



B6 - COMPARATORI e OSCILLATORI:

RICHIAMI SUI COMPARATORI:

• COMPARATORI DI SCUOTI: se $I > S \rightarrow V = H$, $I < S \rightarrow V = L$

• COMPARATORI CON OP. AMP:

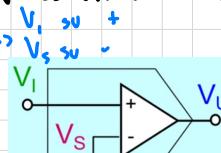
$$\rightarrow A_{OL} \rightarrow \infty, V_U \in [V_{UH} = V_{out}, V_{UL} = V_{in}]$$

$\rightarrow V \sim V^+ - V^-$, OP.AMP AD ANTRI APERTO: comp. di scuoti

• COMP. NON INVERTENTE:

$$\text{se } I > S \rightarrow V = H$$

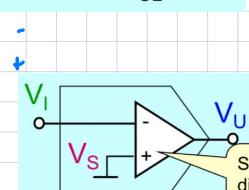
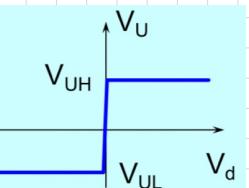
$$\text{se } I < S \rightarrow V = L$$



• COMP. INVERTENTE:

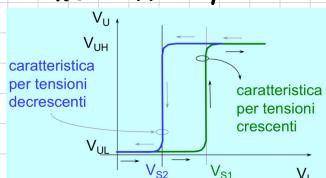
$$\text{se } I > S \rightarrow V = L$$

$$\text{se } I < S \rightarrow V = H$$

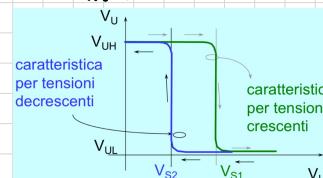


• PER NON OTTENERE L'EFFETTO DEL RITRONE \rightarrow ISTERESI

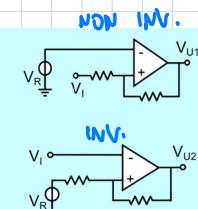
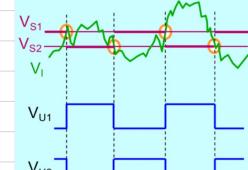
• NON INV:



• INV:



\rightarrow



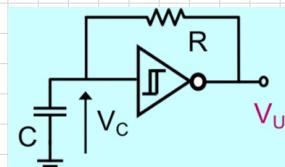
\rightarrow IL COMPARATORE CON ISTERESI È ANCHE DETTO TRIGGER o SCALITY

GENERATORI DI Onde QUADRE e TRIANGOLARI:

• GENERATORE DI Onda QUADRATA:

$\square\square\square \rightarrow$ RETE RC PASSA-BASSO $\rightarrow V_C$

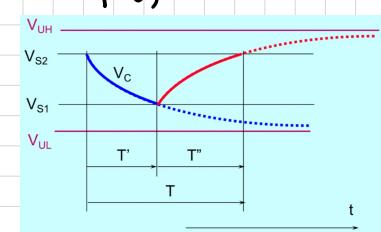
$L > V_C \rightarrow$ comp. con istersi $\rightarrow V_U \rightarrow$ V_U PUÒ ESSERE RISONEANTE (RISONANZA)



$\rightarrow C$ SI SCALA E CORRISPONDE ALLE SENSITIVITÀ $S_1, S_2 \rightarrow$ VOLTAGE AND. EXP()

$$\cdot SV UN SEMICICLO: V_C(T') = V_{S1} = V_{UL} \cdot (V_{UL} - V_{S2}) e^{-\frac{T'}{RC}}$$

$$\rightarrow T' = RC \ln \left(\frac{V_{UL} - V_{S2}}{V_{UL} - V_{S1}} \right)$$



• LIMITI OPERATIVI:

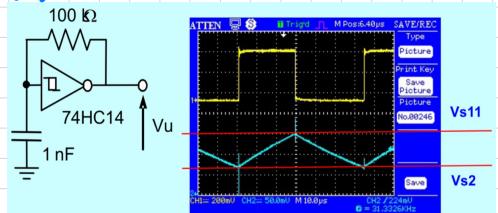
• SU R: $I_R > I_{in}/I_{1L}$ E R NON PUÒ ESSERE TROPPO BASSA \rightarrow LIM. MAX' USCITA

• SU L: $C_{min} = C$ DIPENDENTI DAL INVERSO

• SU f: f_{max} UNITA DA SR DI USCITA,

$$f_{min} \propto C_{max}, R_{max}$$

ds.



• OSCILLATORI :

• OSCILLATORE AD ANELLO :

• ANELLO FORMATO N INVERTER / N DISPARI

\rightarrow GENERA Onda ONDA ONDA DI PERIODO $T = N(t_{PLL} + t_{pol. LC})$

$\hookrightarrow T$ NON PRECISO : $\hookrightarrow V_{AC}$, TEMPERATURA, TENSIONE DI PESO., ecc.

• MORESCO DI SISTEMI CON REAZIONE :

• SE $A(f) \beta(f) > 0 \rightarrow$ REAZ. NEGATIVA

• SE $A(f) \beta(f) < 0 \rightarrow$ REAZ. POSITIVA

• CRITERIO DI BARKHAUSEN : $A(f) \beta(f) \approx -1$

$\hookrightarrow V$ PUÒ OSCILLARE CON $I=0$ ($\Rightarrow \downarrow / \uparrow$)

$$\rightarrow V = A(f) \cdot D = A(f) (1 - \beta(f) \cdot V) \rightarrow V = \frac{A(f)}{1 + A(f) \beta(f)} \cdot I$$

• STRUTTURA OSCILLATORI :

• DI SOLITO $A(f) = A_0 = \text{cost.}$, MENTRE $\beta(f)$ \rightarrow IMPLEMENTATA CON CIRCUITO PIEZOFETTICO

\rightarrow PER PARTE PIREOPIREUSCAZIONE: $A(f) \beta(f) \approx -1$ MINIMIZZAZIONE

• QUARZO PIEZOFETTICO: BRUNGE VARIAZIONE DI $Z(f)$, ALTA PRECISIONE DI f

$$\cdot f_0 : f_0 = \frac{1}{2\pi\sqrt{L_0 C_0}} \quad \cdot f_n = \frac{1}{2\pi\sqrt{L_n (C_0 \parallel C_1)}} \quad f_A = \frac{1}{2\pi\sqrt{L_A (C_1 \parallel C_0)}}$$

• OSCILLATORI DI PISSOLE:

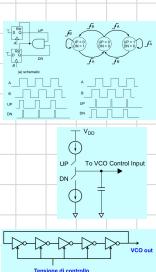
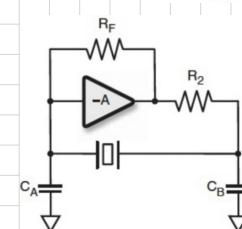
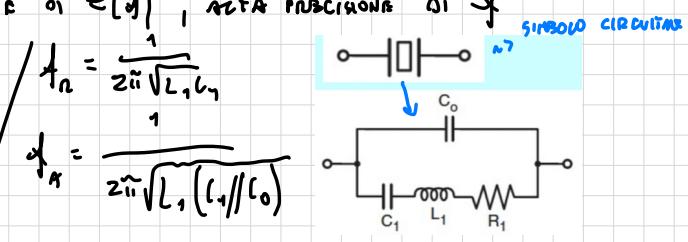
• RETE DI FEEDBACK $A \approx 1$: R_F, C_A, L_S

• $\beta(f_0) > 0 \rightarrow$ GUADAGNO < 0 (PARABOLICO)

- R_Z : REGOLARE IL COSTANTE, FESTA OSCILLAZIONE DI $f = n f_0$

- R_F : FORZA L'INVERTER A LADDERARE CON $V_m = V_{out}$

• SINTESI DI FREQUENZA CON PLL:



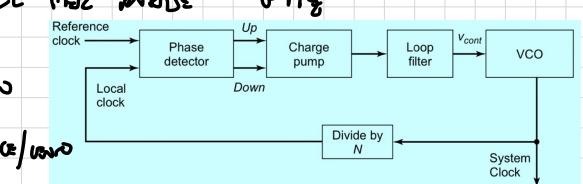
• PHASE DETECTOR: COMPARA DI 2 f IN INVERSO

UTILIZZANDO Z FPD \rightarrow CAPIRE SE OSC. È TROPPO VECCIO/NUOVO

• CHARGE PUMP: GENERA V SUA PIANA DI $\rightarrow V_P = 1$ SE OSC. TROPPO NUOVO, $DN = 1$ SE OSC. TROPPO VECCIO

• VCO: PERMETTE DI GENERARE UNA f RISALO MIN, MIGLIORARLA CON UNA PORTA

\rightarrow IN RETROAZIONE, È NECESSARIO DIVIDERE PER N LA f IN USO DI VCO, PER IL CONTROLLO

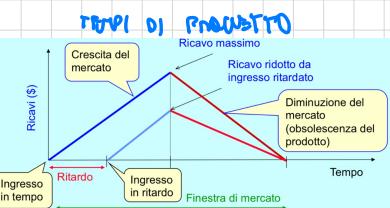


• BS - LOGIQUE PROGRAMMABLE :

- PROGETTO 2 FAPEZIUT BLINE 91 CIRCUIM INTEGRAM;

- USUALE DI MOORE: OGNI 2 ANNI \rightarrow n^0 TRANSISTOR SU CHIP $\times = 2$
 - Ogni 3 ANNI \rightarrow LUNGHEZZA TRANSISTOR $= 30\%$
 - COSTI DI PROGETTO E PRODUZIONE:
 - NRE (NON RECURRING ENGINEERING COST)
 - CU (COSTO UNITARIO DI PRODUZIONE)

\rightarrow COSTO PER PRODOTTO: $C_P = \frac{NRE}{N} + C_U / N : n^0$ PRODUTTO



• COMPOSITION PROGRAMES:

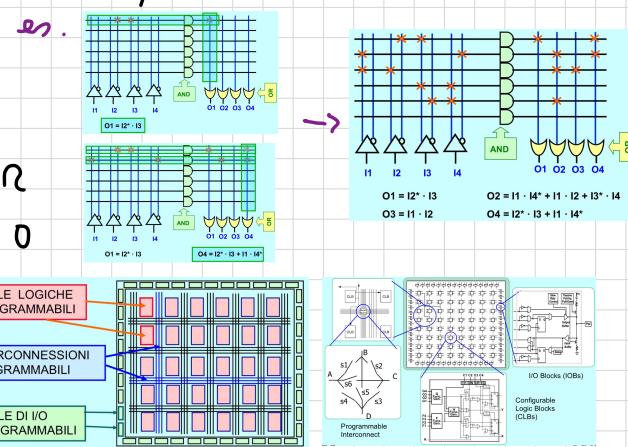
• PLA (PROGRAMMABLE LOGIC ARRAY) :

- MATRIX OF INVERSION (NOT), AND e OR

-> PERMETTE UN π^0 MAX. E MIN. GI' I e O

- FPGAs (FIELD PROGRAMMABLE GATE ARRAYS)

\Rightarrow LOGIQUE PROBABILITÉ CONVERGE



• INFO DI PRODUZIONE:

- MEMORIA VOLATILE (RAM, REGISTRI) : LA CONFL. NECESSITA' DI ESSERE SUMMATA DA ROM. EXIT. // ACCENSIONE
 - MEMORIA NON VOLATILE, RIPROG. (EEPROM, EEPROM, FLASH) : CORRISPOND CONCERNITO E RIPROGRAMMATO

• LOOK UP TABLE (LUT):

TRANMITE M INUSCUL, PUJ REMIZZNE T ZOCHUS ONALSIAS?

→ E UNA TAVOLA DI VERSI IN MEMORIA SCAM

$$\text{For } n=2: \#f_{n=2} = 2 \cdot P_4^{(4,0)} + 2 P_4^{(3,1)} + P_4^{(2,2)} = 2 + 8 + \frac{4!}{2! 2!} = 16$$

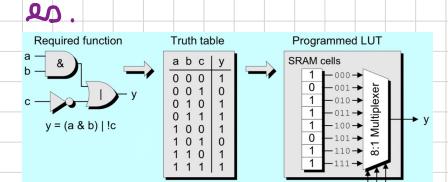
↳ IN WERKZEUG: $f(x) > 2^2$

OK.

A	B	OR	AND	...
0	0	0	0	...
0	1	1	0	...
1	0	1	0	...
1	1	1	1	...

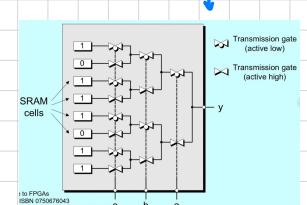
- USD 91 MULTIPLEXER & SRAM FOR IMPLEMENTATION

- TECNOLOGIE DI FEDERAZIONE EEPROM: \rightarrow PROTEZIONE ROM



\rightarrow REACTS ON MDS FEEDING RATE. SWING IN OFF \rightarrow CONVERGENCE

* TECH. A PUSZTASZI: PRZ MURWALISZ. -> BIECHL UNW FUSIONE -> PRZM/WFUSION
L₁ TECH. ANTFVSE



B6 - VERILOG & FLUSSO:

• VERILOG:

LINWARM DI PROGRAMMAZIONE USANDO PEE

LA PROGRAMMAZIONE MILA A VARI LIVELLI DI ASTRAZIONE

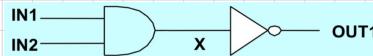
• < module name > : nome del modulo

• < port list > : segnali a connettere il modulo ad altri

• interface: architettura di porte (IN, OUT, INOUT) + parametri (n bit, ritardo, etc.)

es.

```
module my_gate(OUT1, IN1, IN2);
    output OUT1;
    input IN1, IN2;
    wire X;
    and (X, IN1, IN2);
    not (OUT1, X);
endmodule
```



• wire: definisce un connettore

• #if: #if(OUT, IN1, ..., INn)

es. HALF ADDER CON RITARDI DELAY POSITION

• RITARDI:

• #(Tp) *^{x1}

• #(Tp.t_h, T_h) /^T VAL. SINISTRO
3 valori: min:typ:max +2

• UNIRSI AL RISUM: time scale <time unit>/<time precision> es. 'timescale 1ns/100ps'

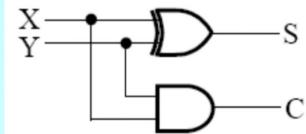
• FULL ADDER IMPLEMENTATO A PORTE LOGICHE (SHEE 14)

• SOMMATORIE A 4 BIT (SHEE 15)

• ASSEGNAZIONI: assign var = expr.

Operation	Operator
-	Bitwise NOT
&	Bitwise AND
	Bitwise OR
^	Bitwise XOR

```
module hadd (S, C, X, Y);
    input X, Y;
    output S, C;
    xor #(2:3:4, 5) (S, X, Y);
    and #(3:5:7) (C, X, Y);
endmodule
```



• I SEGNALI SONO SENZA SEMPRE DI DEFAULT

↳ CON SEMPRE: output signed [3:0] S

• SOMMATORIE A N BIT (SHEE 23)

• VALORI LOGICI IN VERILOG:

• X: usano nel caso in cui il simmetrione non è in grado di assumere un valore definito ad un segnale

• Z: usato per l'uscita NON PILOTTATA ose la porta TRI-STATE

• TIPI DI DATO:

• wire: segnali che connettono moduli, trasferiscono solo il dato

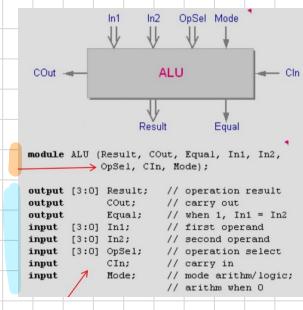
• reg: ricorda l'ultimo val. assunto → con nextvalue

• COSTANTI INTODE: sia base d=10, h=16, b=2

→ (n°bit) < BASE > < valore >

SENZA RISMEMORIA:

```
module module_name (port_list);
    port declarations
    parameter declarations
    interface
        include directives
    add-ons
    variable declarations
    assignments
    lower-level module instantiation
    initial and always blocks
    tasks and functions
endmodule
```



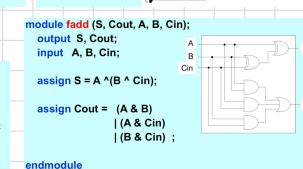
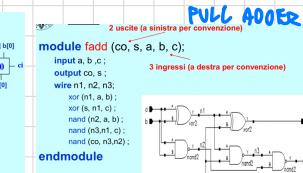
module definition

module add4 (s,cout,ci,a,b);

```
    input [3:0] a,b;
    input ci;
    output [3:0] s;
    output cout;
    wire [2:0] co;
    fadd a0 (co[0], s[0], a[0], b[0], ci);
    fadd a1 (co[1], s[1], a[1], b[1], co[0]);
    fadd a2 (co[2], s[2], a[2], b[2], co[1]);
    fadd a3 (cout, s[3], a[3], b[3], co[2]);
endmodule
```

• ASSEGNAZIONE CONCATENATA

```
input [3:0] A, B;
input Cin;
output [3:0] S;
output Cout;
{ Cout, S } = concatenazione di 1+4=5 bit:
Cout(S[3] S[2] S[1] S[0])
Operandi a 4 bit
Risultato a 5 bit
assign { Cout, S } = A + B + Cin;
```



{}	concatenazione
+	/ operatori aritmetici
%	modulo
>= <=	operatori relazionali
!	NOT logico (come in C)
&&	AND logico (come in C)
	OR logico (come in C)
==	uguaglianza
!=	disuguaglianza
:	condizionale (come in C)

CICLI FOR:

```
generate for (i = 0; i < 4; i = i + 1) begin
    if (i==0)      fadd (co[0], s[0], a[0], b[0], ci);
    else if (i==3) fadd (cout, s[3], a[3], b[3], co[2]);
    else           fadd (co[i], s[i], a[i], b[i], co[i-1]);
endgenerate
```

es. 4'd3, 4'b0100, 6'h20

• LOGIC SEQUENTIAL : ALWAYS BLOCK

- IL BLOCCO `always @ []` CONFERMA, RIS CODICE SEQUENZIALE
- sensitivity list: viene eseguito quando i segnali in (.) variano
 - es. `always @ (a or b)`, `always @ (*)`, & SEGNALI
 - es. `always (posedge clock)`, `always @ (negedge clock or reset)` → attivo sul fronte o nistro

• ASSEGNAZIONE BLOCCANTE / NON BLOCCANTE:

- BLOCCANTE: MA EFFETTO IMMEDIATO SULLA VAR. ASSIGNA

es. C.1.: $a=0, b=1$

```
always @ (a or b) begin
  a = b;
  b = a;
end
```

OUT IMMEDIATO

$\rightarrow a=1, b=1$

OUT end

$a=1, b=1$

→ always vero
exec 2 volte
L'ut 2° exec non fa niente
aggiunge al val. iniziale

- NON BLOCCANTE: MA EFFETTO SOLO DOPO FINITO IL PROCESSO `always @`

es. C.1.: $a=0, b=1$

```
// inizialmente a=0 e b=1
always @ (a or b) begin
  a <= b;
  b <= a;
end
```

OUT IMMEDIATO

$\rightarrow a=0, b=1$

OUT end 1 tratta

$a=1, b=0$

OUT end 2 trattati

→ always vero
exec 00 volte

...
...
...

• ISTRUZIONE if :

```
if (expression) begin
  ...statements...
end else if (expression)
begin
  ...statements...
end
...
else begin
  ...statements...
end
```

es.

```
if (alu_func == 2'b00)
  aluout = a + b;
else if (alu_func == 2'b01)
  aluout = a - b;
else if (alu_func == 2'b10)
  aluout = a & b;
else // alu_func == 2'b11
  aluout = a | b;
```

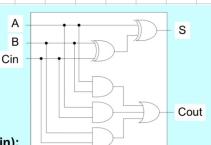
• ISTRUZIONE CASE :

```
case (expression)
  case_choice1:
    begin
      ...istruzioni...
    end
  case_choice2:
    begin
      ...istruzioni...
    end
    ...
    default:
      aluout = 16'bX;
    endcase
```

X in questo caso è usato
deliberatamente per dare modo
all'compilatore di scegliere 0
oppure 1 per minimizzare le
porte logiche (don't care)

es. FULL ADDER

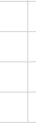
```
module fadd (A, B, Cin, S, Cout);
  input A, B, Cin;
  output S, Cout;
  reg S, Cout;
  always @(*)
  begin
    S = A ^ B ^ Cin;
    Cout = (A & B)|(A&Cin)|(B&Cin);
  end
endmodule
```



es. MULTIPLEXER 2x1

• 3 versioni essenzialmente equivalenti

- Cambia solo a (wire o reg)
- Versione 1: espressione condizionale
- module mux2x1 (b, c, select, a);
 input b, c, select;
 output a;
 assign a = (select ? b : c);
 endmodule
- Versione 2: if-else
- module mux2x1 (b, c, select, a);
 input b, c, select;
 output reg a;
 always@(select or b or c) begin
 if (select) a=b;
 else a=c;
 end
 endmodule
- Versione 3: case
- module mux2x1 (b, c, select, a);
 input b, c, select;
 output reg a;
 case (select)
 2'b00: a = b;
 2'b01: a = a - b;
 2'b10: a = a & b;
 default: a = 16'bX;
 endcase



es. ALU

```
module ALU (A, B, Y, Sel);
  parameter width=3;
  input [width-1:0] A, B;
  input [1:0] Sel;
  output [width-1:0] Y;
  reg [width-1:0] Y;
  always @ (A or B or Sel) begin
    case (Sel)
      2'b 00 : Y = A+B;
      2'b 01 : Y = A-B;
      2'b 10 : Y = A+1;
      2'b 11 : Y = A-1;
    endcase
  end
endmodule
```

es. LATCH TRASPARENTE

```
module latch (CLK, Reset, D, Q);
  input CLK, Reset;
  input D;
  output reg Q;
  always @ (D or Reset or CLK)
  begin
    if (Reset)
      Q = 0;
    else if (CLK)
      Q = D;
    end;
  end;
endmodule
```

- Carica 0 in Q solo se:
 - Reset (0 o D o CLK) cambia
 - Reset ha valore 1
 - Altrimenti, carica D in Q solo se:
 - D (o Reset) cambia
 - CLK ha valore 1
- Latch attivo sul livello alto con reset asincrono attivo alto

es. FF

```
module FF (CLK, Reset, D, Q);
  input CLK, Reset;
  input D;
  output reg Q;
  always @ (posedge CLK)
  begin
    if (Reset)
      Q = 0;
    else
      Q = D;
  end;
endmodule
```

- Carica 0 in Q solo se:
 - CLK ha appena avuto un fronte di salita
 - Reset ha valore 1
- Altrimenti carica D in Q solo se:
 - CLK ha appena avuto un fronte di salita
 - Reset ha valore 0
- Flip-flop con reset sincrono attivo alto

es. CIR. SEQ. MEALY

```
module Mealy (CLK, Reset, X, Z);
  input CLK, Reset;
  output Z;
  reg Y, D;
  always @ (posedge CLK or posedge Reset)
  begin: Registro
    if (Reset) Y = 0;
    else if (X == 1) Y = D;
  end;
  always @ (X or Y)
  begin: F1_transizione
    D = F1(X, Y);
  end;
  always @ (X or Y)
  begin: F2_uscita
    Z = F2(X, Y);
  end;
endmodule
```

- Reset asincrono (indipendente dal clock)
- Reset sincrono (dipende dal clock)
- Always block con nome (per documentazione)
- Z = F2(X, Y);



es. CIR. SEQ. MOORE

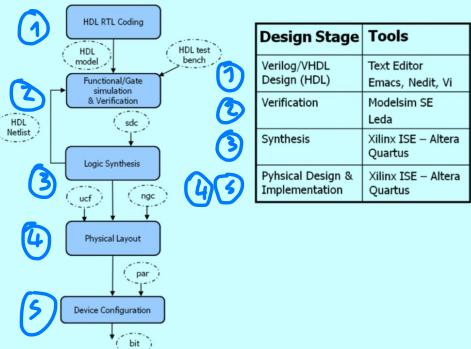
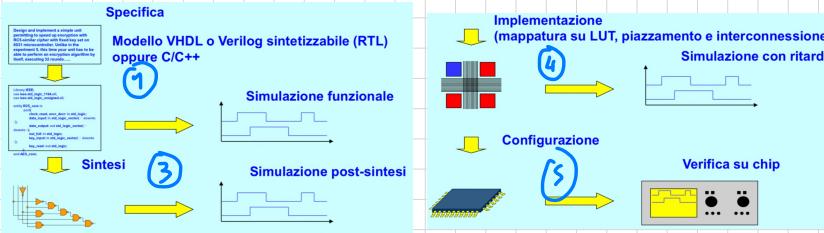
```
module Moore (CLK, Reset, X, Z);
  input CLK, Reset;
  input [] X;
  output reg [1:0] Z;
  reg [1:0] CS, NS;
  parameter s0=2'b00, s1=2'b01,
  s2=2'b10, s3=2'b11;
  always @ (posedge CLK)
  begin: Registro
    if (Reset) Y = 0;
    else CS = Y;
  end;
  always @ (X or Y)
  begin: F1_transizione
    D = F1(X, Y);
  end;
  always @ (Y)
  begin: F2_uscita
    Z = F2(Y);
  end;
endmodule
```

- Reset sincrono (dipende dal clock)
- Always block con nome (per documentazione)
- Z = F2(Y);

es. MACCHINA A STATE FINITI

```
always @ (in or CS) begin: Transizioni
  case (CS)
    s0: if (in) NS = s1; else NS = s2;
    s1: if (in) NS = s2; else NS = s1;
    s2: NS = s3;
    s3: NS = s0;
  endcase
  always @ (in or CS) begin: Uscita
    case (CS)
      s0: if (in) out = 2'b10; else out = 2'b00;
      s1: if (in) out = 2'b10; else out = 2'b01;
      s2: out = 2'b10;
      s3: out = 2'b10;
    endcase
  end
endmodule
```

• FLUSSO DI PROGETTO per FPGA :



• SINTESI LOGICA : ③

PASSAGGIO : CODICE VERILOG → CIRCUITO LOGICO

→ COMPIA CODICE RTL IN REGISTRI + LOGICA COMB.

→ OTTIMIZZAZIONE CIRCU. LOGICO TRAMITE ALGORITMO BODCONA, FORNISCE STIME DI RITARDI

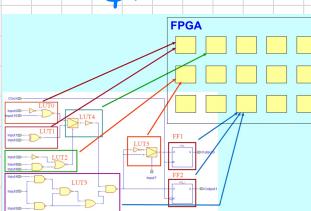
• IMPLEMENTAZIONE : ④

• MAPPAGGIO SU LUT

• 2 FASI :

4.1 • PIAZZAMENTO: SCELSCHE POS SVL CM1P

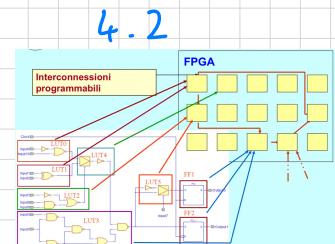
→ PER OTTIMIZZARE RITARDI



4.1

4.2 • INTERCONNESSIONE: SECONDA FASE DI INTERCONN. TRA I/O DI WF E FF

→ PER RIDURRE CONNESSA INTERCONNESSIONI



4.2

• CONFIGURAZIONE : ⑤

Dopo il flusso di progetto viene messo fuori configurazione FPGA

→ CONFIGURA LUT E INTERCONNESSIONI

• SE FPGA SU RAM: carica sui FPGA o memorizza in ROM

• SE FPGA SU FUSIBILE O EEPROM: carica sui FPGA

→ VENDE POI ESEGUENDO UNA VERIFICA E DEBUGGING SU CHIP

V: PROgettazione semplice, struttura fondata sui costituenti

• FLUSSO DI PROGETTO per ASIC :

S: RICHIESTE LOGICHE VERIFICATE, PARTEGGIATI PARALLELI A TRASFERIRE, STRUTTURA PIÙ COMPLICATA, NUMEROSI E COMPLESSI

• MOGLIO SIMULARE A FPGA

4.1: PODERE LOGIQUE SU ROM (non tutti come FPGA)

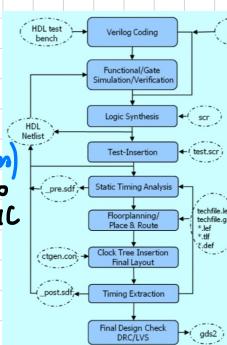
→ RIDURRE INTERCONNESSIONI, EVITARE SOVRAPPORSI

4.2: INTER. GIGANTESCA: SCELSCHE REG. VERSO UN CIRCUITO LOGICO SU ROM

→ ALGORITMO DI LEE (DJKSTRA)
↳ TIPO CONDIZIONE DI RITARDI, CONSIDERARE E PENSARE ASIC

“ LOGIC: “ ARCHITETTURE DESTINATE

→ COLLEGAMENTO DI MACCHINE CHE VERIFICA SE $I \rightarrow O$



B7 - MEMORIE A SEMICONDUTTORE:

ASPETTI COMUNI:

ARCHITETTURA:

DIM. $M \times N$ BIT / $N = n^{\text{o}}$ WORDS
 $M = m$ M. WORDS

\rightarrow DECODER DI INGRESSO: K INGRESSI / $n = \log_2 N$

• SE $n > m$:

INDIRIZZO DI M. WORD SI DIVIDE IN 2 PARTI:

- $n-k$ BIT DI INDIRIZZO DI RIGA
- k BIT DI INDIRIZZO PER LA COLONNA

LETTURA:

1. IL DECODER DI RIGA ATTIVA 1 WORDLINE

2. TRAMITE LE BITLINE VENIRENTE SELEZIONARE 2^k WORDS DALLA WORDLINE

3. IL DECODER DI COLONNA 1 WORD SU 2^k DA LEGGERE

SCRITTURA:

1. LA PAROLA DA SCRIVERE È TRASFERITA TRAMITE LA BITLINE

2. SULLA WORDLINE SOVRACCARICA DELLA WORDLINE VIENE SCRITTA

1^a PARTE: MEMORIE VOLATILI:

DRAM:

• CELLA DI MEMORIA CON 1 TRANSISTORE: C_{STORAGE}

• bit memorizzato come carica in C_S

• PASS-TRANSISTOR M₁, PESCARTE DI CARICA/CARICA C_S, TRAMITE SECONDA WL

• A CAUSA DI TANTE CELLE CONNESSE, SU BL \exists C_{BL} PARASSITARIO / C_S \ll C_{BL}

• OPERAZIONI SU DRAM:

SCRITTURA (o I/O):

1. BL A TENSIONE ALTA (1) O BASSA (0)

2. SELEZIONA LA RIGA CON WL, TRASFERISCE V_{BL} IN C_S

LETTURA:

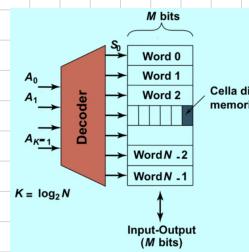
1. BL carica a V_{BL} = $\frac{1}{2} V_{DD}$

2. ESSER SEZIONATO CON WL, TRASFERISCE CARICA C_S E C_{BL}

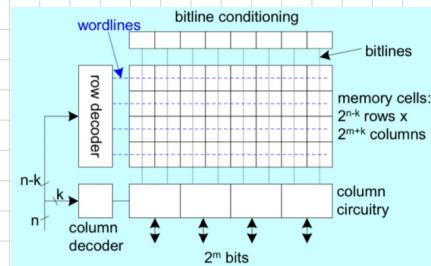
3. AMPLIFICO ΔV_{BL} CON SENSORE AMPLIFICATORE

4. RI-SCRITTURA PER RIPRISTINARE V_{BL} SU C_S

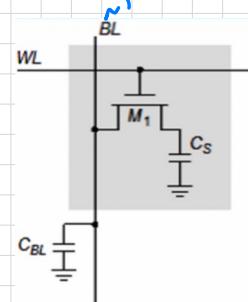
REFRESH:



Read-Write Memory		Non-Volatile Read-Write Memory	Read-Only Memory
Random Access	Non-Random Access	EPROM EEPROM FLASH	Mask-Programmed Programmable (PROM)
SRAM DRAM	FIFO LIFO Shift Register CAM		



1/0 IN BASE A COSA VADO SCRIVERE
 BIT LINE



IN BASE A CIO CHE VOGLIO SCRIVERE

WORD LINE

↑

↑

↑

↑

↑

↑

↑

↑

↑

↑

↑

↑

↑

↑

↑

↑

↑

↑

↑

↑

↑

↑

↑

↑

↑

↑

↑

↑

↑

↑

↑

↑

↑

↑

↑

↑

↑

↑

↑

↑

↑

↑

↑

↑

↑

↑

↑

↑

↑

↑

↑

↑

↑

↑

↑

↑

↑

↑

↑

↑

↑

↑

↑

↑

↑

↑

↑

↑

↑

↑

↑

↑

↑

↑

↑

↑

↑

↑

↑

↑

↑

↑

↑

↑

↑

↑

↑

↑

↑

↑

↑

↑

↑

↑

↑

↑

↑

↑

↑

↑

↑

↑

↑

↑

↑

↑

↑

↑

↑

↑

↑

↑

↑

↑

↑

↑

↑

↑

↑

↑

↑

↑

↑

↑

↑

↑

↑

↑

↑

↑

↑

↑

↑

↑

↑

↑

↑

↑

↑

↑

↑

↑

↑

↑

↑

↑

↑

↑

↑

↑

↑

↑

↑

↑

↑

↑

↑

↑

↑

↑

↑

↑

↑

↑

↑

↑

↑

↑

↑

↑

↑

↑

↑

↑

↑

↑

↑

↑

↑

↑

↑

↑

↑

↑

↑

↑

↑

↑

↑

↑

↑

↑

↑

↑

↑

↑

↑

↑

↑

↑

↑

↑

↑

↑

↑

↑

↑

↑

↑

↑

↑

↑

↑

↑

↑

↑

↑

↑

↑

↑

↑

↑

↑

↑

↑

↑

↑

↑

↑

↑

↑

↑

↑

↑

↑

↑

↑

↑

↑

↑

↑

↑

↑

↑

↑

↑

↑

↑

↑

↑

↑

↑

↑

↑

↑

↑

↑

↑

↑

↑

↑

$$\cdot \text{ESSENDO} \quad \Delta Q_{BL} = -\Delta Q_s \quad / \quad \Delta Q_{BL} = C_{BL} \cdot \Delta V_{BL},$$

$$\Delta Q_s = C_s \Delta V_s$$

$$\rightarrow \text{ESSENDO} \quad V_{pre} + \Delta V_{BL} = V_{bit} + \Delta V_s \quad 0/1$$

$\frac{V_{DD}}{2}$ V_{TH} se LETTURA 0/1

$$\rightarrow \Delta V_{BL} = (V_{bit} - V_{pre}) \frac{C_s}{C_s + C_{BL}} \approx 250 \text{ mV}$$

\rightarrow SECONDO IN USCITA RIGA, LEFT

• UTILIZZO CELLE DUMMY + ROL PER NORMALIZZARE I VALORI 1/0 DOPO IL SENSE AMPLIFER

ORGANIZZAZIONE:

• \exists D SUPERCELLS, W bit ciascuna \rightarrow DIM. CHIP = D * W

LETTURA SUPERCELLA:

es. LETTURA SUPERCELLA (2,1)

{ RAS : ROW ADDRESS STROBE
CAS : COLUMN ADDRESS STROBE }

1. SEGUONO RAS SEBORE. RIGA 2, RIGA 2 COPIATA IN BUFFER DI RIGA

2. SEGUONO CAS SEBORE. COLONNA 1, CELLA (2,1) BUFFER \rightarrow CPU

SEGNALE IN DRAM:

ATTIVO A LINEA DI PASSO

• WE_L : WRITE ENABLE LOW, OE_L : OUTPUT ENABLE LOW, RAS_L, CAS_L

TEMPI DI CYCLE:

• t_{RAC} : RETARDO min TRA DISCUSSO RAS E DAM IN USCITA \rightarrow DISTINZIONE VBCOCITA DRAM

• t_{RC} : DIST. min TRA 2 TRANSIZIONI H_L \rightarrow L DI RAS

• t_{CAC} : RETARDO min TRA DISCUSSO CAS E DAM IN USCITA

• t_{PC} : DIST. min TRA 2 TRANSIZIONI H_L \rightarrow L DI CAS

es.

CHIP 16 bit : 16bit = 128 MB = 2^{27} \rightarrow 27 LINEE DI ADDRESS DI MIGLIORATO / 17 PAGE IN COLONNA / 128 LINEE IN RIGA / 2 MEMORY FIELD

MODULI DRAM, EVOLUZIONE DRAM

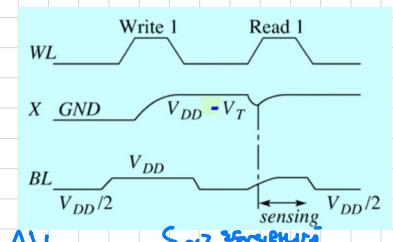
SDRAM: \sim SINCRONA (3 CK)

TEMPORIZZAZIONE:

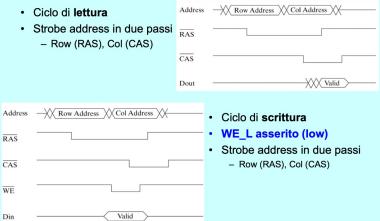
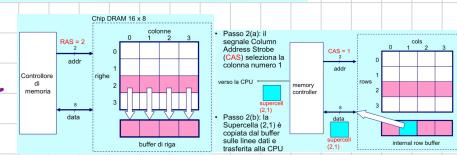
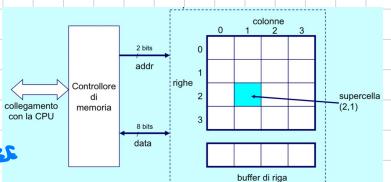
• LETTURA SINCRONA: CL (CAS LATENCY) : È IL RETARDO IN CICLI DI CK, TRA READ E DATA IN USCITA
 \rightarrow POSSIBILE CONTROLLARE.

• LETTURA A BURST: BL (BURST LENGTH) : MAX N° DI LOCALIZZAZIONI NELLE COLONNE A UN SI ACCEDERE CON R/W
 \rightarrow DISCHIETTI: 1, 2, 4, 8

• DDR SDRAM (DUE DATA RATE SDRAM): R/W SUCCESSIONI / FONDM DI CK \rightarrow VELOCITÀ $\times 2$
 \rightarrow MAX = $2 \cdot f_{bus} \cdot M_{bit}$



$\cdot \Delta V_{BL} > \Delta V_{BL}$ sensing
SENSE AND AMPLIFY



17 PAGE IN COLONNA / 128 LINEE IN RIGA / 2 MEMORY FIELD

• SRAM:

2 INV IN CONTROFASE + 2 PASS-TRANSISTOR

• SCRITTURA e LETTURA fanno: BL e BLc

• SCRITTURA:

$$1. \text{ } BL = 1(0) \text{ e } BLc = 0(1)$$

2. SELEZIONO TRAMITE WL

• LETTURA:

$$1. \text{ } BL \text{ e } BLc \text{ PRE-CHARGE a } \frac{1}{2} Vdd$$

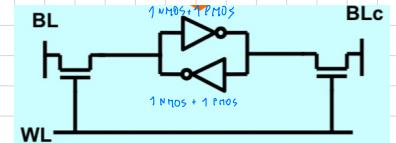
2. SELEZIONO TRAMITE WL

3. WR using COMPARATOR + TIPOLOGIA NMOS V IN DASE A 0/1

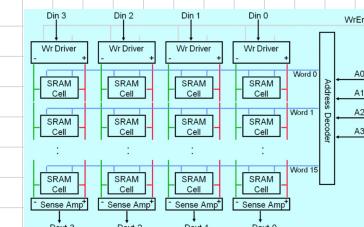
4. ATTIVO SENSE AMPLIFIER

• SRAM DUAL PORT: PERMETTE $R = W$ SIMULTANEO, 2 DECODER

→ 6 TRANSISTOR IN TOTAL

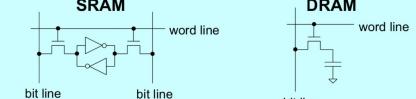


es. 16 WORDS × 4 bit



USO CECUE DI RIDONDANZA PER OVIARIO A DIRETTI

SRAM vs DRAM

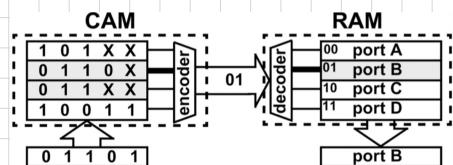


- Cella + grande \Rightarrow densità inferiore, maggiore costo/bit
- Consumo statico molto basso
- Lettura non-distruttiva
- No refresh
- Lettura semplice \Rightarrow accesso + veloce
- Processo di fabbricazione standard \Rightarrow scelta naturale per integrazione con i circuiti logici
- La densità elevata impone schemi di indirizzamento non banali

• CAM: → CONTENT ADDRESSABLE MEMORY

A DIFFERENZA DI UN RAM (ADDRESS \mapsto DATA), IN CAM

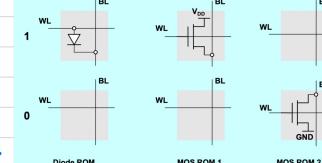
RESTRUISCE L'INDIRIZZO DEL DATO IN INPUT



• 2^a PARTE: MEMORIE NON VOLATILI → BIOS, LVT, ecc.

• MASK PROGRAMMABILE ROM:

• DIODE ROM, MOS ROM



• PROGRAMMABILE ROM:

• FAMOS (MOS CON GATE FLUTTOANTE): è un MOS CON UN GATE AGGIUNTIVO

L_o PENSARE DI INTRASALVARE E' IN FG \rightarrow V_m È PROGRAMMABILE (in MOS è FISSA)

• LETTURA DI 1 BIT: APPLICO V AL CONTROL GATE E MISURÒ id: \rightarrow DRAGH

\rightarrow SE id > 0 \rightarrow 0, SE id = 0 \rightarrow 1

• EEPROM \rightarrow USANO FLOTTOX: GATE PROGRAMMABILE

• EEPROM o TIPO FLASH \rightarrow PERMETTONO PROGRAMMAZIONE e CANCELLAZIONE \rightarrow A BLOCCHI

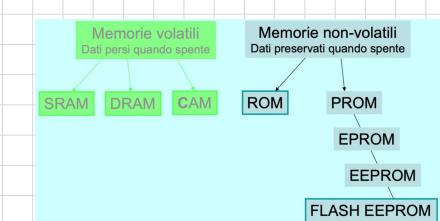
• MEMORIA FLASH:

CIRCUITI DI LETT. DI V "ON CHIP", PER PROGRAMMAZIONE e CANCELLAZIONE

CANCELLAZIONE PER BLOCCHI di 16-64 Byte
PER PAGINE

• OPERAZIONI: LETTURA, SCRITTURA, CANCELLAZIONE \rightarrow N PAGINE E 1 BLOCCO

• FLASH NAND: I/O MULTIPLI PER SEGNALE DATO



FLASH NOR vs FLASH NAND

- Flash NOR
 - ✓ Accesso casuale
 - ✓ Lettura veloce (ad accesso casuale)
 - ✓ Scrittura e cancellazione lente
 - ✓ Usata soprattutto per il codice (accesso casuale)



- Flash NAND
 - ✓ Accesso a pagina
 - ✓ Alta densità, costo inferiore
 - ✓ Più veloce in scrittura e cancellazione
 - ✓ Usata soprattutto per i dati con accesso sequenziale



DATI e

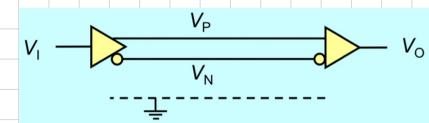
CONSUMO e COSTI

C1 - INTERCONNESSIONI:

- DATA SPLIT: se $V_{IN} \in (V_{IN}, V_{IL})$ \rightarrow interpretato come 0/1 in base al dispositivo
- SEGNALE DIFFERENZIALE:

$$V_o = V_p - V_n, V_{CM} = \frac{1}{2}(V_p + V_n)$$

\rightarrow ACTA INFLUENZA AL RUMORE, MINORI DISTURBI



\rightarrow STATO LOGICO ASSOCIAZIONE A VOL

$$\epsilon_{H/L}: \text{durata rego stato H/L, duty cycle: } D = \frac{t_H}{t_H + t_L} \quad \text{misure su SO% degli escursioni}$$

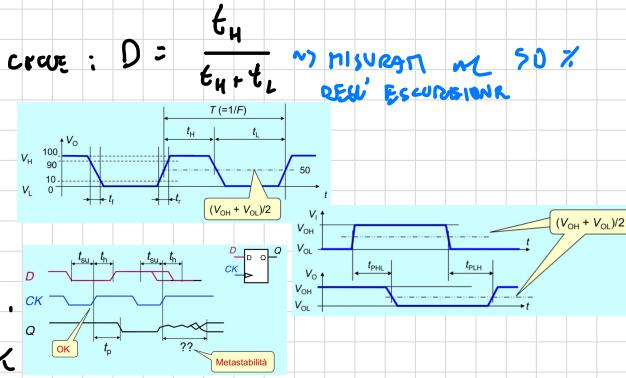
$\epsilon_{R,F}$: ϵ rise, fall

\rightarrow misura T_R 10%, T_F 10%, ϵ di escursioni

$\epsilon_{PLH/PLL}$: ϵ propagazione H \rightarrow L/L \rightarrow H

$\epsilon_{SU/H}$: ϵ setup/hold per il corretto funz.

\rightarrow D deve essere stabile in presenza di CK



RITARDI NEI CIRCUITI SEQUENZIALI:

$$T_{CK,min} = T_{CO} + T_L + T_{SU} + T_J + \delta(T_{P1}, \dots, T_{Pn})$$

$/ T_J$: errore temporale su T_{CK} , T_{Pi} : ritardi sull'integrazione

$$\rightarrow F_{max} = 1/T_{CK,min} \quad \left\{ \begin{array}{l} T_J: \text{dep. su 1 segnale} \\ t_K: \text{dep. tra 2 segnali} \end{array} \right\} \text{sono variabili}$$

\cdot SKEW: $\epsilon_K = T_{TX,max} - T_{TX,min}$, definito su 2 segnali differenti

INTERCONNESSIONI:

\cdot IDEALE: simbolo min e compatibile con collega D e R

\cdot REALE: non è compatibile, V_o non ideale, rumori + ritardi

\rightarrow VULNERABILE MORSESCO ISO/OSI

MORESCO PER D e R:

\cdot A, D: var. booleane di IN/OUT

\cdot R_0/R_1 : R_{req} di OUT nec D/IN \Rightarrow $R_0 \gg R_1$

\cdot C_1 : C_{eq} di IN nec R

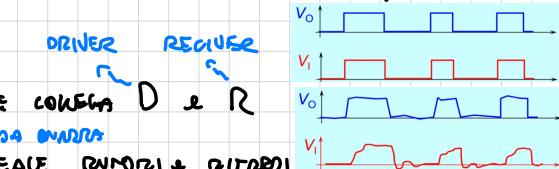
MORESCO RC:

CONNESSIONE D-R con RC passa nullo: $\left\{ \begin{array}{l} R = R_0 // R_1 \\ C = C_p \end{array} \right.$

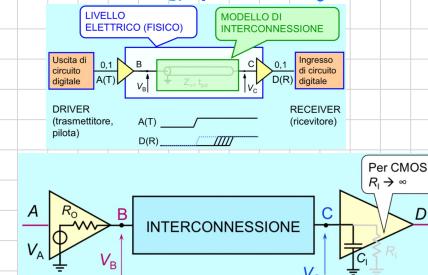
\cdot V_A = segnale unitario \rightarrow resp. exp

$\rightarrow \tilde{\tau} = RC$, variazione stato logico $\Rightarrow V_c > V_T$

\rightarrow TIEMPO DI TRASMISSIONE t_{TX} : ritardo con cui viene risposta alla richiesta



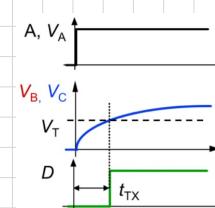
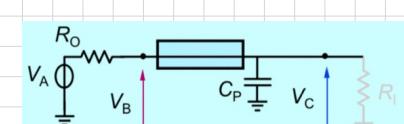
INTERCONNESSIONE REALE



ISO/OSI

- 7 APPLICATION
- 6 PRESENTATION
- 5 SESSION
- 4 TRANSPORT
- 3 NETWORK
- 2 DATA LINK
- 1 PHYSICAL

Queste lezioni (gruppo C)



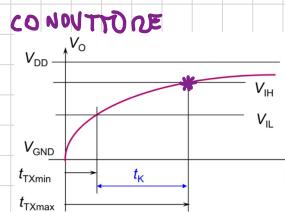
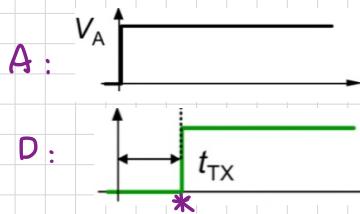
- $t_{TX} \rightarrow \Delta t: V_H, V_L, V_T, R_O, C$
- $t_K \rightarrow \Delta t: \Delta V_{L/H}, \Delta V_T, \Delta R_O, \Delta C \rightarrow$ o segnali dei parametri di TX

es. C1.2 ritardo modulo RC

- D: $V_{DD} = 5V, R_O = 120 \Omega$,
- R: $R_1 \rightarrow \infty, \begin{cases} V_{in} = 3V \\ V_{IL} = 1V \end{cases}$
- C = $80 pF$

\rightarrow

GRAPICO



$$\rightarrow V(t) = (V_{(0)} - V_{(0)}) e^{-\frac{t}{RC}} + V_{(0)} = (V_{(0)} - V_{DD}) e^{-\frac{t}{RC}} + V_{DD} \quad / \quad \gamma = C \cdot R_1 / R_O \quad / \quad C \cdot R_0 = 9,6 \cdot 10^{-12} s$$

$$\rightarrow t = \gamma \ln \frac{5V - 0V}{5V - V(t)}$$

$$\cdot T_{TX,min} = \gamma \mid_{V(t) = V_{IL}} = 2,1 \text{ ms}$$

$$\cdot T_{TX,max} = \gamma \mid_{V(t) = V_{IH}} = 8,8 \text{ ms} \quad \rightarrow t_K = T_{TX,max} - T_{TX,min} = 6,7 \text{ ms}$$

t_K rende indeterminato il momento di arrivo del segnale su R:

$$\rightarrow t_{min} = t_{TX,min}, \quad t_{max} = t_{TX,min} + t_K$$

t_K risulta utile per tempo ritardo segnali:

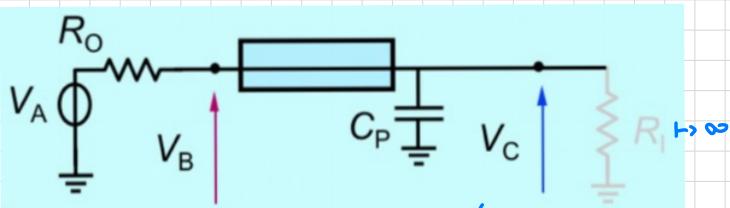
$$\rightarrow \begin{cases} t_1 = t_0 + t_{TX,min} + t_K \\ t_2 = t_0 + t_{TX,min} + t_{su}(D) \end{cases}$$

$$\rightarrow t_{su}(R) = t_2 - t_1 = t_{su}(D) - t_K$$

\rightarrow su R il segnale viene riportato da t_K rispetto al t_{su} su D

\rightarrow il livello ELETTRICO garantisce il corretto trasferimento, nonostante t_K

\rightarrow se MOS: $V_{out} \in [0, V_A]$

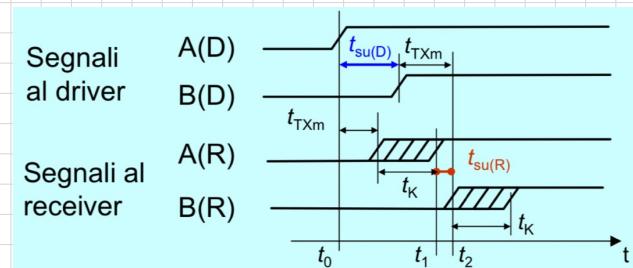


$$V(t) - V_{DD} = (V_{(0)} - V_{DD}) e^{-\frac{t}{RC}}$$

$$\rightarrow t_K = \frac{V_{(0)} - V_{DD}}{V(t) - V_{DD}}$$

$$\gamma = C \cdot R_1 / R_O \quad / \quad C \cdot R_0 = 9,6 \cdot 10^{-12} s$$

$$\rightarrow t_K = T_{TX,max} - T_{TX,min} = 6,7 \text{ ms}$$



CZ - LINEE DI TRASMISSIONE:

• INTER CONNESSIONI: MODULATE CON CIRCUITI R-C:

- R_0, R_i, C_i PER $D \times R$

- IL SERIE R_s , C PARALLELO C_p

→ USUA PASSA BASSI, BLOCC. ALTO

• IN CONDIZIONI REALE $\exists R \neq L, C_{PARALLELO} \neq C_p$

→ SE $R_s, C_p = 0 \rightarrow$ CONNESSIONI SENZA PERDITE

→ SE $\uparrow n^{\circ}$ USUE $\rightarrow L$ DI TRASM. (SENZA PERDITE)

• LINEA DI TRASMISSIONE:

PARAMETRI:

- Z_∞ : IMPEDANZA CARATTERISTICA
- L : LUNGHEZZA, P : VELOCITÀ PROPAGAZIONE
- t_p : TEMPO DI PROPAGAZIONE

→ A REGIME (DC) \rightarrow UNICO NODO, CONSUMANTO DIRETTO

• PARAMETRI FISICI (L) DI DIMENSIONI, MATERIALE:

• INDUCTANZA UNITARIA $L_u \rightarrow \text{H/m}$

• CAPACITÀ UNITARIA $C_u \rightarrow \text{F/m}$

• PARAMETRI ELETTRICI:

• IMPEDANZA CARATTERISTICA: $Z_\infty = \sqrt{L_u/C_u} (10 \div 10^3 \Omega)$

• VELOCITÀ PROPAGAZIONE: $P = \sqrt{L_u C_u} (0,6 \text{ c} \div 0,8 \text{ c} = 18 \div 24 \frac{\text{m}}{\text{s}})$

• TEMPO DI PROPAGAZIONE: $t_p = L/P \rightarrow t$ INPIUANO DAL SEGNALE PER SPOSTARSI NEL CONDUTTORE

• SE IL CONDUTTORE NON PUÒ ESSERE CONSIDERATO FINITO: \rightarrow DIVIDONO A LINEA DI TRASMISSIONE

• SE: $t_R/t_F \ll t_p$ OPPURE CONSUMANTI CONSUMI, TRANSIZ. VELOCI

- $\begin{cases} Z_\infty, P \text{ e } L \\ C, L \text{ e } C \text{ DIENSIONI, MATERIALI} \end{cases} \rightarrow \begin{cases} \text{PISTE STrette: } \uparrow L, \downarrow C \rightarrow \uparrow Z_\infty \\ \text{DISTANZE GRANDE: } \downarrow L, \uparrow C \rightarrow \downarrow Z_\infty \end{cases}$

RESISTANZE
DI PERDITA

R-C

R-L-C

$\text{G}_p \text{-} \text{R}_s \text{-} \text{L-C}$

...

...

CELLA BASE

$\text{R}_s=0, C_p=0$

\rightarrow

\hookrightarrow SD. LINEE SENZA PERDITE: CAVI, PIESTRA SU CIRCUITI
SD. LINEE CON PERDITE: CIRCUITI INTEGRATI

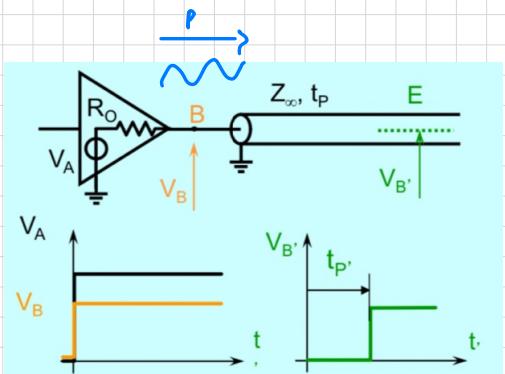
RIPETIZIONI - CONDIZIONI DI PILOTAGGIO:

- SEGNALE 0 → 1 →, quando $D \rightarrow V_A \approx D$
 ↳ VERSO IL MODELO UNIPOLARE PER D, NO PERDITE!

$$\rightarrow \text{GRADO} V_B : V_B(0) = \frac{Z_\infty}{R_0 + Z_\infty} V_A$$

→ SPOSTAMENTO NEL CONDUTTORE SENZA DISTORSIONI

→ TIPO t_p PER SPOSTARSI DA B A B'



- V PUNTO REALE LINEA: SE $Z_\infty = \text{cost.}$ → $\frac{V(t)}{I(t)} = Z_\infty$, t_p : ONDA DA SX → DX

→ SE Z_∞ VARIA ($Z_\infty \rightarrow Z_\infty z$) → V → 1 variano rispettivamente

↳ CAVITAZIONE VERSO UN'ONDA RIFLESSA, DA DX → SX

↳ ANALOG. ALLA 1° Onda, essa genera una nuova onda riflessa da SX → DX, ecc.

- H_p : LINEA CHIUSA SU TERMINAZIONE $R_T / R_i = \frac{V}{I}$ se PUNTO REALE LINEA, DOPO $t = t_p$ ENERGIA
- SE $R_T = Z_\infty \rightarrow \frac{V}{I} = Z_\infty \rightarrow$ NON VARIA → NO ONDA RIFLESSA, TUTTA IN E È ASSORBITA
- SE $R_T \neq Z_\infty \rightarrow \frac{V}{I} \neq Z_\infty \rightarrow$ VARIA → 1° ONDA RIFLESSA CHE SI MUOVE DA R → D
 ↳ DX → SX
 IN QUESTO CASO

- COEFFICIENTE DI RIFLESSIONE: $T_T = \frac{R_T - Z_\infty}{R_T + Z_\infty}$

→ SIA V_p UN'ONDA INCIDENTE PROGRESSIVA → SU R_T GENERA $V_r / V_p = T_T V_p$ ONDA RIFLESSA

→ SU UNA LINEA: $V_{TOT} = \sum_{\text{PUNTI}} V_p + V_r$

• VALORI DI T_T :

• LINEA CHIUSA: $R_T = Z_\infty \rightarrow T_T = 0 \rightarrow \frac{Z_\infty - Z_\infty}{2Z_\infty} = 0$

→ NO DISCONTINUITÀ, NO ONDA RIFLESSA → E ASSORBITA INTERAMENTE SU R_T

• LINEA APERTA: $R_T \rightarrow \infty \rightarrow T_T = 1$

→ $I_{TOT} = 0$, ONDA RIFLESSA CON $I_r = -I_i$, $V_r = V_i$ INCIDENTE → $V_{TOT} = 2V_i \approx 2V_r$

• LINEA IN CORROSIONE: $R_T = 0 \rightarrow T_T = -1$

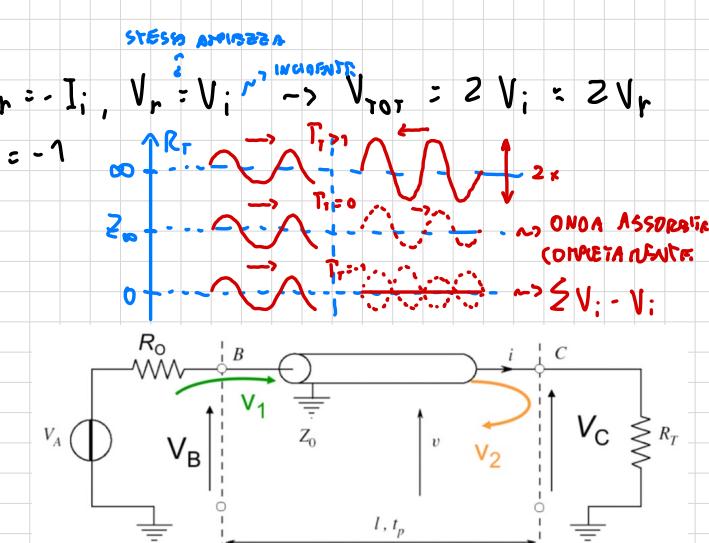
→ $V_r = -V_i \rightarrow V_{TOT} = 0$

• CIRCUITO COMPOSTO:

$$\cdot V_1 = V_B(0) = \frac{Z_\infty}{R_0 + Z_\infty} V_A$$

$$\cdot V_2 = T_T V_1, \text{ DOPO } t = t_p$$

$$\rightarrow V_C = V_1 + V_2, \text{ PER } t > t_p$$



• DIAGRAMMI $V(x, t)$ •

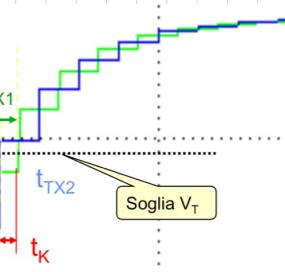
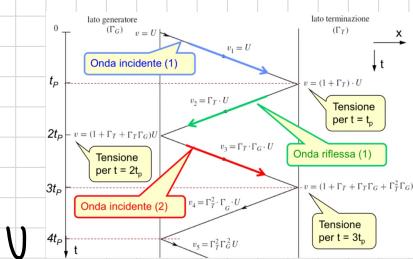
- $V_c = V_{\text{ref}} = V$, $T_b \approx T_r$, $V = U$
- $V_1 = U \rightarrow t_p : V = V_1 + T_r U = (1 + T_r) U$
- $V_2 = T_r U \rightarrow 2t_p : V'' = V_1 + V_2 + T_b V_2 = (1 + T_r + T_r T_b) U$
- $V_3 = T_r T_b U \rightarrow 3t_p : V''' = V_1 + V_2 + V_3 + T_r V_3 = (1 + T_r + T_r T_b + T_r^2 T_b) U$
- ecc.

\rightarrow su D: discontinuità per $(2k)t_p$, $k \in \mathbb{N}$

su R: discontinuità per $(2k+1)t_p$, $k \in \mathbb{N}$

\rightarrow A REGIME: LINEA EQUILIBRANTE (\Leftrightarrow NO PERDITE)

$\rightarrow t_K = t_{\text{TX},2} - t_{\text{TX},1}$, tempo ritr. V_s c.) t_{TX}



2. CZ.1 RIFLESSIONI

D: $R_0 = 160 \Omega$, $V_{\text{AC}} = 5V$

LINIA: $Z_\infty = 80 \Omega$, $t_p = 70 \text{ ms}$

$$\rightarrow V_1 = U = \frac{Z_\infty}{Z_\infty + R_0} V_{\text{AC}} = \frac{80}{240} \cdot 5V = \frac{5}{3}V = 1,6V$$

$$\cdot T_b = \frac{R_0 - Z_\infty}{R_0 + Z_\infty} = \frac{80}{240} = 0,3, \quad T_r : T_r \Big|_{R_t \gg \infty} = 1$$

\rightarrow A REGIME: $V_{\text{ref}} \mapsto V_{\text{AC}} = 5V$

2. CZ.2 PROPAGAZIONE e SKEW

(PARTENNO DA CZ.1), $V_{\text{IH}} = 1V$, $V_{\text{IL}} = 3V$

SE V_T SU D. \rightarrow se ne misura su D $\rightarrow V_T \in [1V, 3V]$

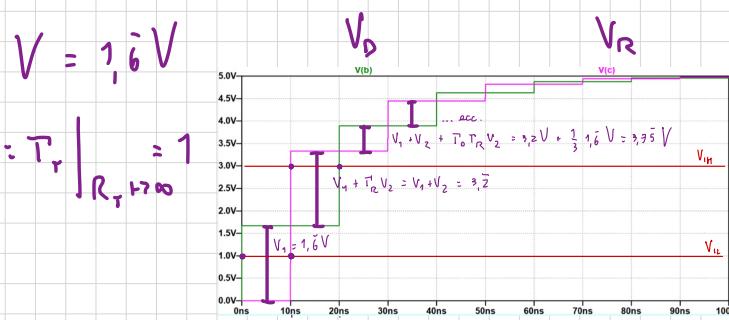
$$\cdot t_{\text{tx,max}} = t \Big|_{V_o > V_{\text{IH}}} = 20 \text{ ms}$$

$$\cdot t_{\text{tx,min}} = t \Big|_{V_o > V_{\text{IL}}} = 0 \text{ ms} \rightarrow t_{K,0} = 20 \text{ ms} - 0 \text{ ms} = 20 \text{ ms}$$

SE V_T SU R (COME RICHIESTO):

$$\cdot t_{\text{tx,max}} = t \Big|_{V_R > V_{\text{IH}}} = 10 \text{ ms}$$

$$\cdot t_{\text{tx,min}} = t \Big|_{V_R > V_{\text{IL}}} = 10 \text{ ms}$$



$\cdot t_K$ TRAS 1 2 SEGNALI V_o e V_R :

$$\rightarrow t_K = \Delta t \Big|_{V_o > V_{\text{IH}} \wedge V_R > V_{\text{IL}}} = 10 \text{ ms} = \Delta t \Big|_{V_o > V_{\text{IL}} \wedge V_R > V_{\text{IH}}}$$

IN QUESTO CASO $\Leftrightarrow V_T = V_{\text{IL}} \div V_{\text{IH}}$ SESTA

C3 - INTERCONNESSIONI CON LINES:

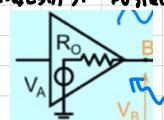
- INTEGRITÀ DEI SEGNALI: TENERE SOTTO CONTROLLO t_K
- $t_{TX}, t_K \Leftrightarrow V_H, V_L, V_T$ DI $T_X \in R_X$, PROPAGAZIONE, CORICHI, RUMORE DI MASSA E CONVOLZIONE
- TOPOLOGIE DI CONNESSIONE:

- PUNTO-PUNTO: CONDIZ. DI PROPAG. BEN DEFINITE

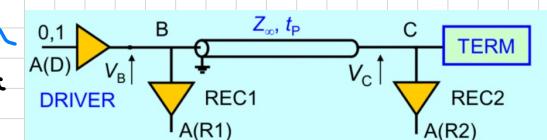
BUS: 1 DRIVER E RICEVITORI IN OVASIASI POSIZIONE, CARICO VARIABILE \rightarrow CONDIZ. PROBL. VARIABILI

$\rightarrow R$ IN OVASIASI POSIZIONE:

$$\text{su } D, \text{ TERMINAZIONE} = (\text{NEAR/FAR END}), \text{ INTRACCIALE, ecc}$$



STRUTTURA DI RIFERIMENTO



SISTEMA COMPLESSIVO: t_K \rightarrow COMPRENDE VAR. DI t_{TX} IN BASE A POS. DI R E DISERS. PARAM. (V_T, C_p, \dots)

$$\rightarrow t_{nc} = \text{MAX} (t_{tx,max,i}) - \text{MIN} (t_{tx,min,j}) \rightarrow \text{COMPRENDE ENTRAMBE POS.: } A(01) \wedge A(10)$$

SISTEMA LOCALE: t_K \rightarrow COMPRENDE VAR. DI t_{TX} CAUSATO SOLO DA DISERS. PARAM. (V_T, C_p, \dots)

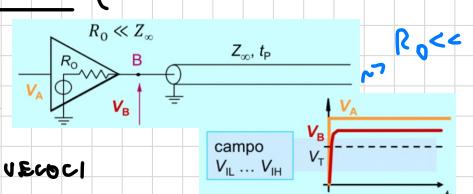
$$\rightarrow t_K = \text{MAX} (t_{tx,max,i}) - \text{MIN} (t_{tx,min,i}) \rightarrow \text{COMPRENDE SOLO 1 POS.: } A(10) \vee A(01)$$

3 CASI:

BASSO R_0 ($R_0 \ll Z_\infty$) \rightarrow BUS VELOCI, t_{tx} BASSO, 1° GRADINO AMPIO

ALTA CORRENTE

- V_T ATTENZIONE SU 1° GRADINO SU ONDA INCIDENTE \rightarrow IWS (INCIDENT WAVE SWITCHING)
- $\Gamma_0 < 0$ \rightarrow RIFLESSIONE NEGATIVA SU D
- OSCILLAZIONI, POSSIBILI ATTRAVERSAMENTI MULTIPLO DI V_T \rightarrow PAR END
- NECESSITA TERMINAZIONE AL LATO REMOTO \rightarrow ADATTO PER BUS VELOCI



ALTO R_0 ($R_0 \gg Z_\infty$) \rightarrow BUS LENTI, t_{tx} ALTO, 1° GRADINO PASSO

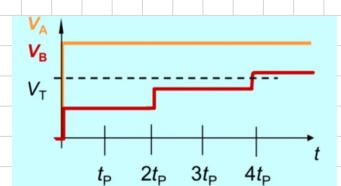
BASSA CORRENTE

- V_T NON ATTENZIONE SU 1° GRADINO, MA DOPO RIFLESSIONI MULTIPLE

$\rightarrow \Gamma_0 > 0, \Gamma_r > 0 \rightarrow$ RIFLESSIONE POSITIVA SU D \wedge T

NO OSCILLAZIONI, SALITA LENTA E MONOTONA

NO NECESSITA TERMINAZIONI, ESTREMO REMOTO APERTO \rightarrow ADATTO PER SIST. LENTI



alto D soattato ($R_0 = Z_\infty$) \rightarrow BUS COMBINATO

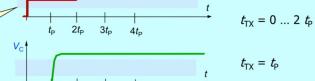
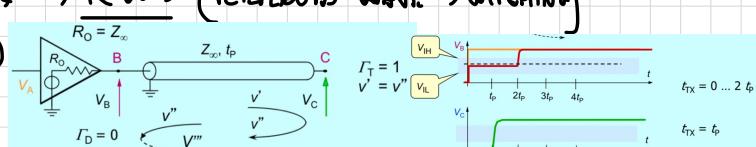
$\rightarrow V_T$ ATTENZIONE SUL 1° ONDA RIFLESSA \rightarrow RWRS (REFLECTED WAVE SWITCHING)

$\rightarrow \Gamma_0 = 0 \rightarrow$ NO RIFLESSIONI SU D

$$/\ 1^{\circ} \text{ GRADINO} = \frac{1}{2} V_A \quad V_A \text{ RECUPERO}$$

\rightarrow PIÙ LENTO, MINOR CONSUMO RISpetto A IWS

\rightarrow ADATTO PER CONNESSIONI PUNTO-PUNTO



• TIPI DI TERMINAZIONE :

• TERMINAZIONE PARALLELO :

V { • BASSO RITARDO
• POSSIBILITÀ PILOTAGGIO DA PUNTO INTRATTATO

S • ELEVATO CONSUMO

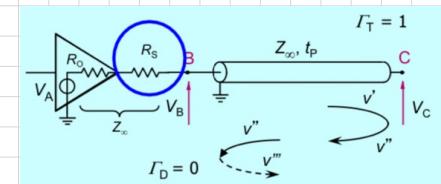
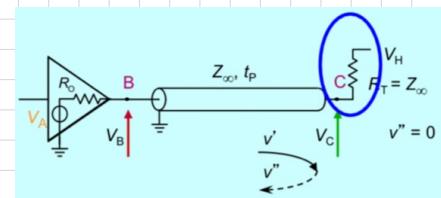
• TERMINAZIONE SERIE :

$$\sim Z_{\infty} = R_s + R_0$$

S { • ELEVATO RITARDO

S • NO PILOTAGGIO DA PUNTO INTRATTATO

V • BASSO CONSUMO



• EFFETTO CARICO CAPACITIVO C :

• $\downarrow Z_{\infty}$, $\downarrow P$ (VELOCITÀ PROPAGAZIONE)

• \downarrow AMPIZZA 1° GRADINO, $\uparrow P_{\text{DINAMICO}}^{\text{CONSUMO}}$

\rightarrow OCCORRE LIMITARE C : BUFFER DI SEPARAZIONE SMD \rightarrow DISPOSITIVI A MONTAGGIO SUPERFICIALE
TUTTI SU STAMPATO DI LUMINOSA LIMITATA,
ACCORCIAMENTI LAYOUT, DISTANZ. OASI SEGUICI

\rightarrow PER COLLEGAMENTO MAXIM - PUNTO (BUS) : NON CONSEGUENZE DIRETTAMENTE BUS \leftrightarrow CIRCUITI SU PLASTICA,
USARE BUFFER O TRANSCONVERSORI VICINO \leftrightarrow CONNETTORE

• SOMMARIO :

tra R_K NEAR/FAR END

• IWS: $t_{K,\max} = t_p$, $t_K = t_p$ VELOCE, DISSIPAZIONE ENERGETICA SU TERMINAZIONI

• RWS: $t_{K,\max} = 2t_p$, $t_K = 2t_p$, VELOCITÀ MEDIA \approx BASA POTENZA, OTTIMALE PER PUNTO. PUNTO

• SWITCHING SU RIPETIZIONE MULTIPLEX: $t_{K,\max} \approx N \cdot 2t_p$ (N : PARTIZIONE V_D)
 \downarrow DRIVER

• OGGETTI DI PROBLEMI A LIVELLO CICLO :

• PROPAGAZIONE E DISPERSIONE DEI PARAM. ELETTRICI MODIFICA RELAZIONI TEMPORALI (t_K)

$\rightarrow t_K$ MODIFICA t_{SU} e t_h \rightarrow POSSIBILE INSTABILITÀ IN FF E REGISTRI

• PER AVERE $V >> 0$:

• MINIMIZZARE t_K

• GARANTIRE SPECIFICHE TEMPORALI \rightarrow PROTOCOLLI A LIVELLO CICLO PER GARANTIRE CORRETTO TRASFERIMENTO REALE INFORMAZIONI, NONSTANTE t_K

es. C3.1 VALUTAZIONE RITARDI

• $Z_\infty = 70 \Omega$, $t_p = 10 \text{ ns}$

• R : $V_{A_L} = 5 \text{ V}$, $V_{IN} = 3 \text{ V}$, $V_{IL} = 0,8 \text{ V}$

→

• TENSIONE A REGOLARE: $V_{STEADY} = \frac{R_T}{R_0 + R_T} V_A$

a) $V_{STEADY} = \frac{R_T + \infty}{100 \Omega + R_T + \infty} \cdot 5 \text{ V} = 5 \text{ V}$

$$\cdot \Gamma_0 = \frac{R_0 - Z_\infty}{R_0 + Z_\infty} = \frac{100 - 70}{100 + 70} = \frac{30}{170} = 0,18 > 0$$

$$\cdot \Gamma_R = \frac{R_T - Z_\infty}{R_T + Z_\infty} = \frac{\infty}{\infty} = 1 > 0$$

→ ONDA INCIDENTE V_1 : $V_1 = V_B(0) = \frac{Z_\infty}{R_0 + Z_\infty} V_{A_L} = \frac{70}{100 + 70} \cdot 5 \text{ V} = 2,06 \text{ V}$

→ ONDA REFLESSA V_2 : $V_2 = \Gamma_R V_1 = 1 \cdot 2,06 \text{ V} = 2,06 \text{ V}$

→ $V_3 = \Gamma_0 \Gamma_R V_1 = 0,18 \cdot 1 \cdot 2,06 \text{ V} = 0,33 \text{ V}$

→ $V_4 = \Gamma_R^2 \Gamma_0 V_1 = \dots$

b) $\Gamma_0 = \frac{100 - 70}{70 + 100} = 0,18 > 0$, $\Gamma_R = \frac{200 - 70}{200 + 70} = 0,48 > 0$

$$V_{STEADY} = \frac{R_T}{R_0 + R_T} V_{A_L} = \frac{200}{100 + 200} \cdot 5 \text{ V} = 3,33 \text{ V}$$

→ $V_1 = V_B(0) = \frac{Z_\infty}{R_0 + Z_\infty} V_{A_L} = 2,06 \text{ V}$; $V_2 = \Gamma_R V_1 = 0,99 \text{ V}$; ecc.

c) $\Gamma_0 = -0,17 < 0$, $\Gamma_R = 0,48 > 0$, $V_{STEADY} = 2 \text{ V}$

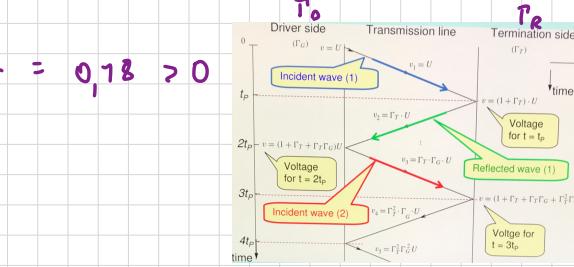
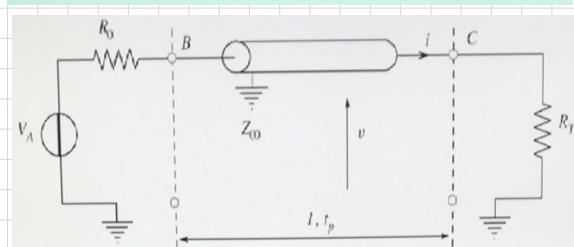
$V_1 = 2,92 \text{ V}$, $V_2 = 1,40 \text{ V}$, $V_3 = \dots$

d) e) (ANALOGO c)

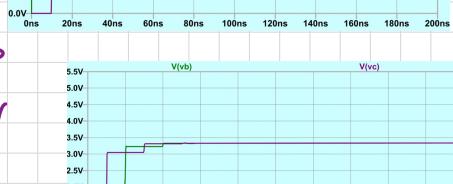
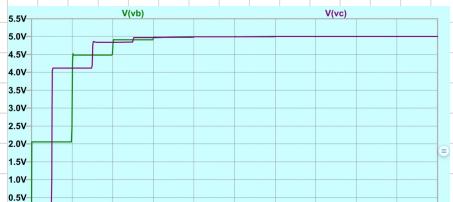
f) $\Gamma_0 = -0,75 \text{ V}$, $\Gamma_R = -0,75 \text{ V}$, $V_{STEADY} = 2,50 \text{ V}$

$V_1 = 4,38 \text{ V}$, $V_2 = \Gamma_R V_1 = -3,29 \text{ V}$, $V_3 = 2,46 \text{ V}$, $V_4 = \dots$

	a	b	c	d	e	f
$R_O (\Omega)$	100	100	50	50	10	10
$R_T (\Omega)$	∞	200	200	100	100	10



$$V_{A_L} = \frac{Z_\infty}{R_0 + Z_\infty} V_{A_L} = \frac{70}{100 + 70} \cdot 5 \text{ V} = 2,06 \text{ V}$$



C3.2 SCELTA DEI PARAMETRI

$$\cdot Z_{\infty} = 70 \Omega, t_p = 10 \text{ ns}$$

$$\cdot R: V_{A_L} = 5V, V_{IN} = 3V, V_{IL} = 0.8V$$

? $\forall R_0 \rightarrow R_T / \text{MINOR CONSUMO STAZIONE}$
e MASSIMA VIBRATURA

→

$$R_T \rightarrow \infty \rightarrow P_{\text{stazione}} = \frac{V^2}{R} = 0$$

$$a) \cdot T_R = \frac{R_T - Z_{\infty}}{R_T + Z_{\infty}} = 1, \because R_T \rightarrow \infty$$

• TRANSIZIONE L → H:

$$\cdot V_1 = V_B(0) = \frac{Z_{\infty}}{R_0 + Z_{\infty}} V_{A_L} = \frac{70}{100+70} 5V = 2.06V$$

$$\cdot V_c(t_p) = (1 + T_R) V_1 = 4.12V \geq V_{IN} \rightarrow 0 \mapsto 1$$

• TRANSIZIONE H → L:

$$\cdot V_1 = V_B(0) = V_{\text{STADAR}} - V_A \frac{Z_{\infty}}{R_0 + Z_{\infty}} = 5V - \frac{70}{100+70} 5V = 2.94V$$

$$\cdot V_c(t_p) = (1 + T_R) \left(-V_A \frac{Z_{\infty}}{R_0 + Z_{\infty}} \right) + V_{A_C} = 0.88V > V_{IL} \rightarrow 1 \mapsto 0$$

$$b) \quad T_R = \frac{R_T - Z_{\infty}}{R_T + Z_{\infty}} = 1$$

• L → H:

$$\cdot V_1 = V_B(0) = \frac{Z_{\infty}}{R_0 + Z_{\infty}} V_{A_L} = \frac{70}{70+70} 5V = 2.5V$$

$$\cdot V_c(t_p) = (1 + T_R) V_1 = 5V \geq V_{IN} \rightarrow 0 \mapsto 1$$

• H → L:

$$\cdot V_1 = V_B(0) = V_{\text{STADAR}} - V_A \frac{Z_{\infty}}{R_0 + Z_{\infty}} = 5V - \frac{70}{70+70} 5V = 2.5V$$

$$\cdot V_c(t_p) = (1 + T_R) \left(-V_A \frac{Z_{\infty}}{R_0 + Z_{\infty}} \right) + V_{A_C} = 0V < V_{IL} \rightarrow 1 \mapsto 0$$

c) (ANALOGO b)

$$d) \quad T_R = 1, \quad T_D = -0.75$$

• L → H:

$$\cdot V_B(0) = 4.38V, \quad V_c(t_p) = 8.75 \rightarrow 0 \mapsto 1$$

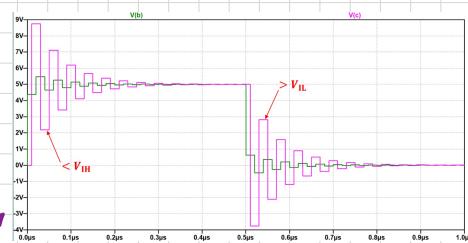
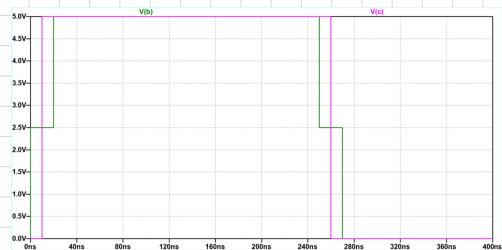
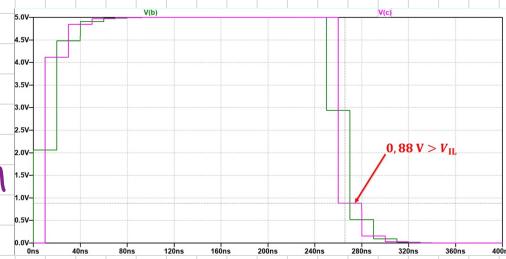
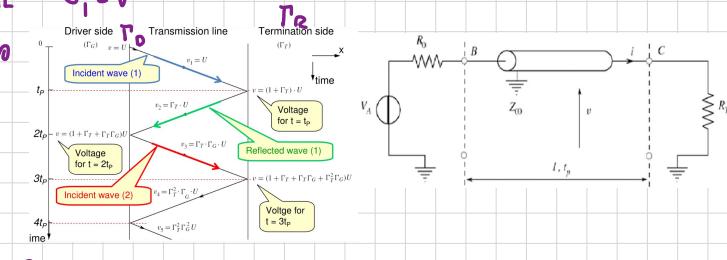
$$\cdot V_c(3t_p) = (1 + T_R + T_R T_D + T_R^2 T_D) V_A \frac{Z_{\infty}}{R_0 + Z_{\infty}} = 2.75V > V_{IN}$$

• H → L

$$\cdot V_B(0) = 0.63V, \quad V_c(t_p) = 3.75V < V_{IL} \rightarrow 1 \mapsto 0$$

$$\cdot V_c(3t_p) = 2.87V > V_{IL}$$

- Casi:
Valori di $R_0 (\Omega)$: a 100 b 70 c 50 d 10



C4 - PROTOCOLLI DI COMUNICAZIONE:

• PASSAGGIO LIVELLO FISICO \rightarrow LIVELLO CICLO:

- FISICO: CORRETTO TRASFERIMENTO DI 0/1 / VARIABILI: V_i, Z, ecc , PARMETRI: V_o, V_i, t_{tx}, t_k ...
VINCOLI: $t_R, \text{ ritardo }, \text{ durata }$
- CICLO: CORRETTO TRASFERIMENTO DI GRUPPI DI 0/1 / VARIABILI: 0/1, PARMETRI: $t_{su}, t_h, \text{ durata } t_{tx}, t_k$

• A INTERCONNESSIONI \rightarrow USO DI ENERGIA, MODIFICA DI V , MANIPOLAZIONE DI REGISTRAZIONI

\hookrightarrow MARGINI TEMPORALI PER GARANTIRE IL CORRETTO TRASFERIMENTO

• EFFETTO DI t_k \rightarrow RISOLVE I PROBLEMI DI TEMPORIZZAZIONI:

$$\rightarrow t_{su}(R) = t_2 - t_1 = t_{su}(I) - t_k / \begin{cases} t_1 = t_0 + t_{tx,m} + t_k \\ t_2 = t_0 + t_{tx,m} + t_{su}(0) \end{cases}$$

S **D**

• MODELLO SORGENTE-DESTINAZIONE:

TRASFERIMENTO IN UN CONNUCCIONE PUNTO-PUNTO

\rightarrow PER IL CORRETTO FUNZ.: SOODISFATTI t_{su}, t_h

• OPERAZIONI A LIVELLO CICLO:

- SCRITTURA: ATTIVATO DA S \rightarrow STESSO STIMONE. PER CONTROLLO E INFORMAZIONI
- LETTURA: ATTIVATO DA D \rightarrow STIMONE. OPPURE PER CONTROLLO E INFORMAZIONI

• PER EVITARE METASTABILITÀ, DEVO RISPECTARE I VINCOLI DI TEMPORIZZAZIONE, CIOSCI t_{su}, t_h

\rightarrow 2 MODE:

• TEMPORIZZAZIONI PISSA: PROTOCOLLO SYNCRONOUS \rightarrow NECESSARIO GARANTIRE LE SPECIFICHE PIÙ STRICHE

• TEMPORIZZAZIONE ASINTOTICA: PROTOCOLLO ASYNCRONOUS \rightarrow Ogni STIMONE ATTENDE ACK DAL REGISTRO STIMONE

• CICLI AD ALTA PRESTAZIONE: SYNC SU S, USO DI FREQUENZE DI TRASMISSIONE HZ E LM, TEMPORIZZAZIONE INTRINSICA

• CICLO SINCRONO:

• TRASMISSIONE:

• RITARDI FISSI: t_A, t_B

\rightarrow gis. segnali: SEGUICI GIUNGERE TRA D E S PER VARI DI UNA PROPAGAZIONE.

• OPERAZIONI:

• ESEGUITI CON RITARDI PREPISI PER GARANTIRE CORRETTO RECEZIONE

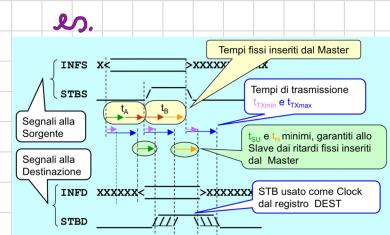
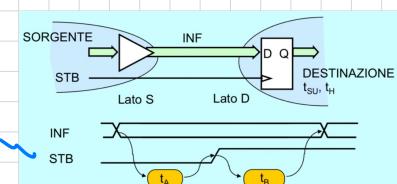
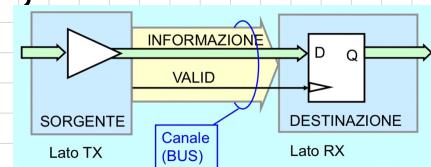
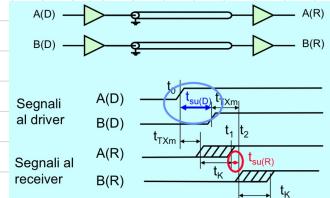
• S CONTRARRE I PROBL. DI TEMPORIZZ., UN SEGNALE:

1. INIZIO INF \rightarrow INFORMATION
2. WAIT t_A , PER GARANTIRE $t_{su} \rightarrow t_A \geq t_{su} + t_k$
3. INVIO STB: CLK DEL REGISTRO DI D
4. RITARDI t_B PER GARANTIRE $t_h \rightarrow t_B \geq t_h + t_k$
5. RIMUOVE INF E STB

\rightarrow MINIMO

$$\rightarrow t_{scrittura} \text{ norme: } t_{we} \geq t_A + t_B = 2t_k + t_{su} + t_h / T_{clock} \leq t_{tx,m}$$

• RITARDI: S DEVE CONOSCERE t_{su}, t_k ; IN CASO BROADCAST, SOODISFATTI IN ASSE A D NEL' UNITÀ



CICLO ASINCRONO:

• TEMPORIZZAZIONI:

- OPERAZIONI CON CONFIRMA: ACK

-> TEMPORIZZAZIONI OGNI DUEMILA I RISONI

• OPERAZIONI:

- S e D gestiscono le temporizzazioni, S deve conoscere solo t_K

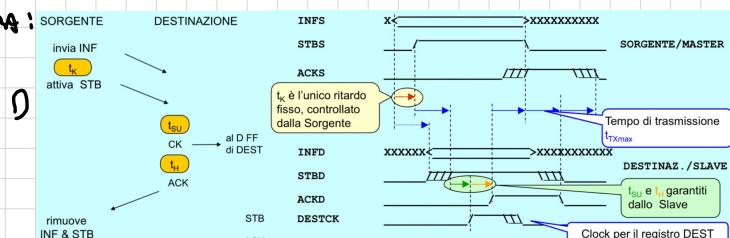
• D inserisce t_{SU} , t_h [in t_K], con segnali:

1. INVIO INF
2. WAIT t_K per garantire $t_{SU} \geq 0$ su D
3. INVIO STB
4. D ATTENDE ACK
5. RIMOZIONE INF e STB

-> $t_{WR,MIN} = t_K + t_{SU} + t_h + 4t_{TX,max}$

• RITARDI: $t_c = t_{SU} + t_h$, t_K

↳ LA SEQ. SI AVVIA UNA VELOCITÀ DI D: STB/ACK → HANDSHAKE



es.

• UN NUOVO CICLO PUÒ INIZIARE \Leftrightarrow (PREL. TERMINATO) \vee (SEGNALE DI CONTROLLO NON ATTIVI)

• FSM ASINCRONA: CARICO DI STATO POSSIBILE IN QUALSIASI MOMENTO NO SYNC

• FSM SINCRONA: CARICO DI STATO SOLO SU FRONTO DI CLK

↳ PROTOCOLLO ADANZA

LETTOURA / SCRITTURA:

• IL 1° COMANDO DEFINISCE MASTER E SLAVE

-> • INF: MASTER → SLAVE → SCRITTURA

• INF: SLAVE → MASTER → LETTURA

• CICLI SOURCE-SYNCHRONOUS: PRESTAZIONI PIÙ ALTE

↳ 2 PARAM. DI TEMPORIZZAZIONE:

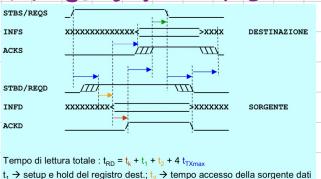
• LATENZA (ATTESA PER INF) ↳ t_{TX}, t_h

• DURATA { $\frac{1}{\text{COPIA}} = \left[\frac{n \cdot \text{ciclo}}{s} \right]$ } ↳ t_K (cf) t_{TX}

es. READ SYNC



es. READ NO SYNC



C5 - PROTOCOLLI DI BUS:

• TECNICHE DI INDIRIZZAMENTO (sistemi a singolo master):

- TRANSAZIONI: SEQ. DI 1 O PIÙ CICLI CHE TRASFERISCONO INFO CON SI SIMPOLI DEFINITI
 - ↳ INIZIATA DA MASTER SU SLAVE
- TRASF. PUNTO-PUNTO: MASTER $\xrightarrow{\text{WRITE}}$ BUS $\xleftarrow{\text{READ}}$ SLAVE / M, S DEFINITI A PRIORI
- TRASF. MULTIPUNTO: più M e S su stesso BUS
- DIFFERENZE BUS / PUNTO-PUNTO:
 - Collegamenti punto-punto
 - Necessari più porte di connessione su ogni modulo
 - Canali fisici indipendenti; condizioni operative ben definite
 - Richiede routing per comunicazione tra varie coppie di unità
 - Possibile ottenere maggiore velocità
- IN MULTIPUNTO NECESSARI 3 CICLI SPECIFICI PER SELEZ. LE UNITÀ PARTECIPANTI
 - ↳ ALLOCAZIONE (selez. di M) \rightarrow INDIRIZZAMENTO (selez. di S) \rightarrow TRASFERIMENTO

• STRUTTURA SLAVE:

- DEC. DI INDIRIZZO: RICONOSCE INDIRIZZO FISSO DA M,
TRAMITE COMPARATORI, DECODER, LOGICA A PORTE
- TEMPORIZZ & CONTROLLO: GENERA I SEGNALI DI COMANDO INTERNI
USANDO MANOSHOKE E BUFFER DATI
- BUFFER DATI: D & R ADEGUATI, CARICO UNITARIO VERSO BUS

• TECNICHE DI INDIRIZZAMENTO:

- SELEZIONE:
 - COPIIFICATA: N BIT SELEZ. 1 CUI, TRA 2^N -> SELEZ. DI UNA DI NUM. E PERIFERICO
 - DECODIFICATA: M BIT SELEZ. 1 (o più) TRA M BUSCHI -> SELEZ. DI UNO O PIÙ DEI BUSCHI
- INDIRIZZAMENTO:
 - LOGICO: SELEZ. DIPENDE DAL NOME (LOGICO) DI S
 - GEOMETRICO: SELEZ. DIPENDE DA POSIZIONE -> USATA PER COMP. DI IDATT. SISTEMI. QU'ANNO DEL SISTEMA

• ALLOCAZIONE DEL CANALE (sistemi multi master):

- PER IDENTIFICARE LA COPPIA M/S \rightarrow OPERAZIONE DI ALLOCAZIONE

• TECNICHE DI ALLOCAZIONE:

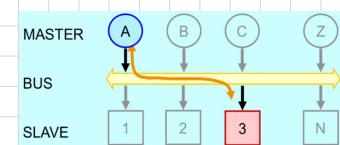
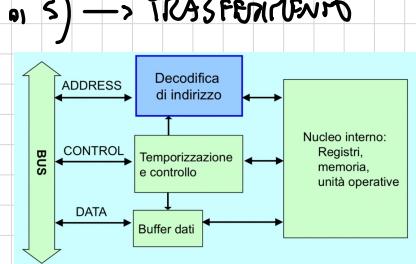
- PER EVITARE COLLISIONI \rightarrow ALLOCATO INIZIALMENTE IL VANTAGGIO

• MECCANISMI DI ALLOCAZIONE:

- TOKEN PASSING: LETTONE SPOSTATO TRA I M, SENZA VARIANTE DI REQUISIZIONE
- COLLISION DETECTION: GRANT A CHI CHIEDE ACCESSO, SE COLLISIONE \rightarrow NUOVO SEGNALINO
- ARBITRAZIONE: VACUUM SE n° REQUESTS DI M, 1 SOLO GRANT \rightarrow NO COLLISION, ACCESSO DETERMINATO

• POLITICHE DI ARBITRAZIONE:

- PRIORITÀ FIFO: FCFS \rightarrow RISOLVIMENTO TEMPORALE LIMITATA, POSSIBILI ENFATI NON SOLUZIONABILI
- PRIORITÀ LOGICA: DEF. UN LIVELLO DI PRIORITÀ, GARANTENDO FAIRNESS, MITIGANDO STARVATION
- SOMMATORIO:
 1. ARBITRAZIONE: SELEZ. DI M
 2. INDIRIZZAMENTO: SELEZ. DI S
 3. TRASFERIMENTO TRA M \rightarrow S, COME PUNTO-PUNTO



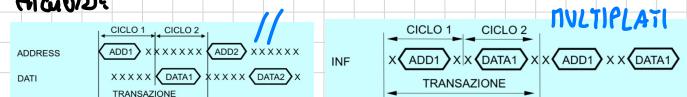
• VALUTAZIONE PRESTAZIONI BUS / TECNICHE MIGLIORAMENTO PRESTAZIONI:

- PRESTAZIONI DI UN BUS: DEFINITA DAL THROUGHPUT $T \rightarrow [INPO/t]$
- $\rightarrow T = W \cdot S / W$: LUNGHEZZA BUS, S : VELOCITÀ BUS: $[CICLO/s] \rightarrow$ SE DURA $t_c \rightarrow S = 1/t_c$
 $\hookrightarrow t_c$ (c): PARMT. ELETTRICI (t_{rx}, t_k), PARMT. RISORSE ($t_{sv}, t_h, t_{wr}, t_{rn}$, ecc.), PROTOCOLLO

• PRESTAZIONI:

- PROTOCOLLO SINCRONO (RD/WR): VELOCITÀ FISSA, t CICLO IN WR $\leftrightarrow t_k$, t CICLO IN RD $\leftrightarrow t_{rx}$
- PROTOCOLLO ASINCRONO: VELOCITÀ VARIABILE, t CICLO $\leftrightarrow t_{rx}$ PER WR e RD
- \rightarrow SOURCE SYNCHRONOUS È IL PROTOCOLLO MIGLIOR

• BVS MULTIPLEXI:



- STRUTTURA BASE PER BUS PARALLELI \rightarrow INDIRIZZI E DATI USANO PISTE DIVERSE
- \rightarrow PER RIDURRE IL N° DI CONDUTTORI \rightarrow USO LO STESSO CONDUTTORE PER PIÙ SBUS
- \hookrightarrow IN BVS MULTIPLEX I INDIRIZZI, DATI E ALTRI (WR) USANO LO STESSO CONDUTTORE IN T DIVERSE
- \rightarrow PER MIGLIORARE PRESTAZIONI USO CICLI DDR: SENSO CK OLTRE/TONO

• CICLI SOURCE SYNCHRONOUS:

- INF e STB SI SVOLGONO NELLA STESSA DIREZIONE DURANTE WR

• 2 PARMT. DI TEMPORIZZAZIONE:

- DURATA (t_c): DVE $F_c = 1/t_c$, c: t_k , c: t_{rx}
- LATENZA (t_l): c: t_k , c: t_{rx}

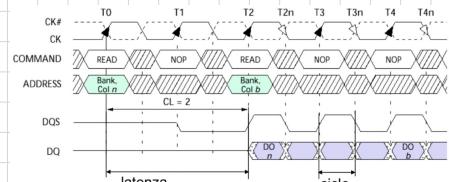
\rightarrow POSSIBILITÀ DI AVVIEVARE UN NUOVO TRASFERIMENTO PRIMA CHE SI CONCLUSA IL PREC. \rightarrow PIPELINE

BURST: TRASFERIMENTO DI INF A BLOCCHI \rightarrow INVIA SOLO IL 1° INDIRIZZO

• TRASFERIMENTO DDR BURST SOURCE SYNCHRONOUS:

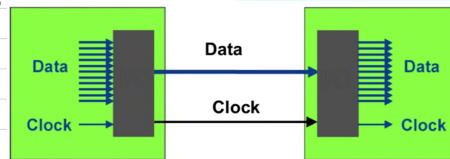
- DQS (DATA STROBE) PILOTATO DALLA MEMORIA, CON ORARIO FRONTI
- $t_l = 2 t_{ck}$

• VERS. MIGLIORE DUE SOURCE SYNCHRONOUS IMPLEMENTANDO EMBEDDED CK o AUTOSINCRONIZZANTI



• C6 • COMUNICAZIONI SERIALI:

- LIMITI DEI CONEGAMENTI PARALLELI: VELOCITÀ LIMITATA DA t_{tr} E t_h (AVVISO CON SS) CONSUMO DI POTENZA AVE REGOLAZIONI, $\uparrow T \rightarrow$ \uparrow PARALLELOSSIMO



SERIALE: $\left\{ \begin{array}{l} \text{TRASFORMATORE N BIT} \rightarrow N \text{ CICLI} \rightarrow \uparrow \text{LATENZA} \\ 1 \text{ D} \rightarrow N \text{ CICLI, POCHE SECONDE, } \downarrow t_h \end{array} \right.$

- 3 SERIALE AUTOSINCRONIZZANTE: DATA E CK SULLO STESSO CONDUTTORE \rightarrow NO REFERNCE $\hookrightarrow t_h$
L^o USO CK/DATA EMBODIMENT, NECESSITA DI PROTOCOLLI SPECIFICI

$\left\{ \begin{array}{l} V: \text{POCHI CONDUTTORI, SENZ. CABLAGGIO, } \downarrow \text{CONSUMO}, \text{ MIGLIORI OPRZ LUNGE DIST. E ACTA RECORTA} \\ S: \text{LATENZA MAGGIORA, NECESSITA DI SINCRONIZZAZIONE, CONTROLLO DI FLUSSO} \end{array} \right.$

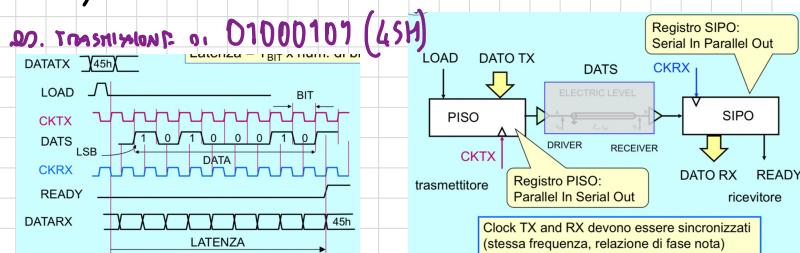
- SEGNALI: SEQ. DI SIMBOLI / SIMBOLI: 1 o PIÙ BIT
- BIT RATE: bit/s, BAND RATE: symbol/s, EFFICIENZA: bit/symbol
- NRZ: 0 \mapsto L, 1 \mapsto H, RZ: 0 \mapsto L, 1 \mapsto IMPULSO / PER ANIMALE: 1 $\frac{\text{bit}}{\text{secondo}}$, BIT RATE = BAND RATE

• ACCERTEZZIONI DEI SERIALI:

- IN //: DIAPONIA (CROSSTALK) \rightarrow TRASP. DI SEGNALI DA UN CONDUTTORE ALL'ALTRO
- IN SERIALE: ISI (INTER SYMBOLIC INTERFERENCE) \rightarrow TRASP. DI SEGNALI DA UN'INTERV. DI TIEMPO ALL'ALTRO

$$\text{LATENZA DI BITRATE} = \frac{1}{T_{BIT}}$$

$$\text{LATENZA} = T_{BIT} \cdot N^{\circ} \text{ BIT}$$



• SINCRONISMO DI BIT: INVERSO CORRETTO DEL SIMBOLI BIT, L^o REGIST. DI FASE FRA TRANSIZIONE DATA E CK_{RX}

• SINCRONISMO DI CARATTERE: INVERSO CORRETTO RICORDANTESI DI MSB E LSB, L^o ATTIVAZIONE SERV. READY

• SINCRONIZZ. DI BIT:

- STESO CK PER T_X E R_X, GENERAZIONE DA: $\left\{ \begin{array}{l} T_X: SS \rightarrow \text{SOURCE SYNCHRONOUS} \\ R_X: ASINTRODO \end{array} \right.$
 \rightarrow CK-D RECOVERY

• CDR: ESTRAZIONE DI CK PER R_X DA SEGNALE RICEVUTO

- CK INDEPENDENT: NO SYNC (POSSIBILE MEIASINISTRA) OPPURE SYNC DI CK_{RX}
L^o UNICO: SYNC (\Rightarrow RUMORE \rightarrow IN RUMORE \Rightarrow CK VADDA, NECESSARIO DI RESYNC Ogni 5 BIT)

$$\rightarrow \text{DEFINIZIONE } t / t > t_{S,1} + t_h$$

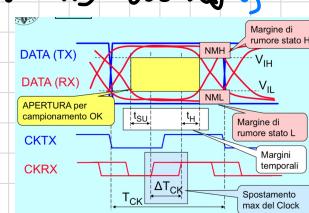
\rightarrow DIAGRAMMI AD OCCASIONE \sim

• ERRORE Δt_{CK} PER EVENTUALI SFASAMENTI DI CK

$$\cdot \text{INTENSITÀ DI RE-SYNC } \hookrightarrow \frac{T_{CK}}{\Delta t_{CK}}$$

• MODEM SINCRONO: È UNICO CANALE

$$\rightarrow T_X \text{ UNICO DATA E CK, R}_X \text{ UNICO DATA E CK} \rightarrow \text{SYNC CONTINUO}$$



• ADRENZA DI TRASFERIMENTO:

se convertitore sincrono \rightarrow NO t_K : POSSO OPERARE CON BITRATE ALTI, NECESSITY PONDERE/SEPARARE DATA e CK
 , SYNC ALLUNGA INFO \rightarrow \uparrow BANDA

POSSIBILE CON ✓ DIFFERENZE

• PRESTAZIONI DEI CONVERTITORI SERIALI:

\rightarrow SENSORE TEMPOREALE

- VELOCITÀ: LIMITATA DAL JITTER DI CAMPIONAMENTO (MIGLIORABILE \Rightarrow \downarrow SCARSI DI TRASMISSIONE.)
- LUNGHEZZA CAMPIONAMENTO: LIMITATA DA ATTENUAZIONE, DISTORSIONE, RUMORE (MIGLIORABILE \Rightarrow \uparrow ESCURSIONE SU V)

• PROTOCOLLI SERIALI ASINCRONI:

- LA LINEA A RIPOSO HA UN STATO DEFINITO (H)

- INIZIO TRANSMIS. CARATTERE È DEFINITO DAL SIMBOLO START

- CK_{rx} SYNC CON FRONTI DI DISLEGATI DI START (L)

\hookrightarrow SYNC LIMITATA SU t, NB CIRCUITI RE-SYNC

\hookrightarrow USO STOP ($t_{bit} = t$) IN CODA A CHAR, PER FAR SI CHE START Venga RICONOSCO

- UART (UNIVERSAL ASYNCHRONOUS RECEIVER/TRANSMITTER):

• SU TX:

- REGISTRO PISO PER CONVERSIONE // \mapsto S

- INSERIMENTO SIMBOLO START, STOP E EVENTUALE BIT PARITÀ PER MULIERAZIONE ERRORE

• SU RX:

- SYNC AL BIT E VELOCITÀ DENTRO START, REGISTRO SIFO PER CONVERSAZIONE S //

- STOP bit PER VELOCITA' RICORDA A CHAR E EVENTUALE BIT PARITÀ PER MULIERAZIONE ERRORE

• SYNC IN UART:

trans. H \mapsto L / L \mapsto $\frac{1}{T_{bit}}$. RICONOSC. START \mapsto SYNC DA t CAMPIONAMENTO \mapsto INIZIO CONSEGNA

\hookrightarrow QUANDO FINISCE CHAR: VELOCICO PARITÀ \mapsto VELOCICO STOP bit \mapsto ATTRAHO "RX PRONTO"

\rightarrow UNIRSI: n° di bit/char. LIMITATO DA Δt_{CK} TRA T_x E R_x

• PROTOCOLLI SERIALI SINCRONI:

- SYNC CONTINUA, TRAMITE REFERENZI TEMPORALI -> TRANSIZIONI

\rightarrow CK-D RECOVERY

- USO CDR: TRANSIZ. IN POS. NOTA ENTRO T_{BIT}

- SYNC CK DAI DAM: GARANTIRE UN MASSIMO INTERVALLO TRA DATI

\hookrightarrow BIT STUFFING (BIT AGGIUNTIVI), BxBy (X BIT A Y BIT / $Y > X$), BXBY (TRANSIZ., AGGIUNTIVE)

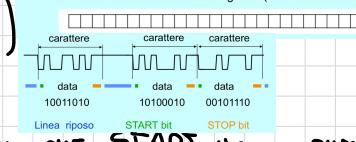
• Collegamento seriale asincrono

- Bit organizzati in caratteri
- Trasmissione discontinua
- Sincronizzazione del CK a inizio carattere

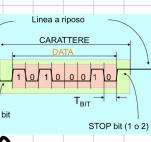


• Collegamento seriale sincrono

- Bit organizzati in pacchetti (packet/frame, varie dimensioni)
- Trasmissione continua
- Sincronizzazione del clock su ogni bit (codifica/modulazione)



CHE START Venga RICONOSCO



C7 - INTEGRITÀ DEL SEGNALE:

DIAPONIA (CROSSTALK)

DEF.: PASSAGGIO DI SEGNALI TRA 2 CANALI SOIACONTI

→ SU CONDUTTORI DIVERSI: ACCOPPIAMENTO DI TIPO $C \approx L \sim$

→ SU STESSO CONDUTTORE: ACCOPPIAMENTO PER MAGIE COMUNE, i_{AL} IMPULSI DISTURBATO I SUGLI ALTRI

→ IN DOMINIO t : CODE DI SIMBOLI $\rightarrow ISI$

MODELLO DI SISTEMA & SEGNALI:

- V_s : SEGNALE DISTURBANTE, LINEA A

- L_m, C_m : ACCOPPIAMENTO INDUCTIVO, CAPACITIVO

↪ GENERANO DISTURBI SU B / DISTURBI $C_s \cdot \frac{dV_s}{dt}, \frac{di_{AL}}{dt}, L_m, C_m$

→ PER RIDURRE IL CROSSTALK: ↓ FREQUENZA D'ONDE LINEA DISTURBANTE, ↓ L_m, C_m , USARE V_d DIFFERENZIALE

→ PER RIDURRE EFFETTI DEL CROSSTALK: FILTRARE I RUMORI LINEA DISTURBATA, TECNICHE ERROR DETECTION (EDC/ECC) E CORREZIONE

RIDURRE ZONE PENDENZA:

$$\text{PENDENZA} = \frac{dv}{dt} = \frac{\Delta V}{\Delta t}$$

→ RIDURRE ZONE $\Delta t \Rightarrow \begin{cases} \downarrow \Delta V : \text{TRANSISTOR A BASSA DISTORSIONE} \\ \uparrow \Delta t : \text{USARE LOGICHE PIÙ SILENTI} \rightarrow \downarrow \text{CONSUMO, DISTURBI} \end{cases}$

→ USARE CORRENTI DIODI VIAVOLTE VIZZINO AI SEGNALI, SENZA MAGNETE SESSA PER CREARE CAMPO MAGNETICO

RIDURRE ZONE L_m :

• L_m (\hookrightarrow): DISTANZA, AREA CONFRONTATA, MATERIALI \rightarrow RIDURRE $L_m \Rightarrow$ EVITO SPIRALI AMPIE E CONCATENATE, COLLEGAMENTI DI MASSA SEPARATI VERSO

• SEGNALE DIFFERENZIALE (V_d) :

V_d : IMMUNITÀ RUMORE CM ($\rightarrow \downarrow \Delta V$), i_{TOT} IN COPPIA DIFF. = COST. (\rightarrow ASSORB. COST. DI V_{AL} , RIDUR. INTERFERENZE)

S: 2 PISTE V_d SEGNALI, USO DI TECNICHE ANALOGICHE

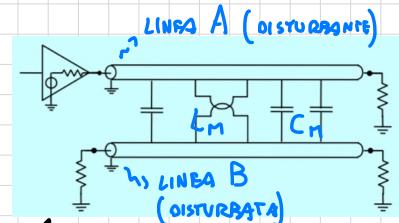
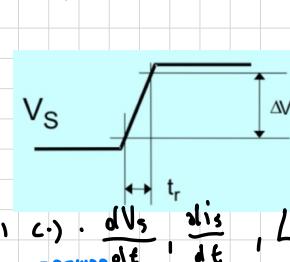
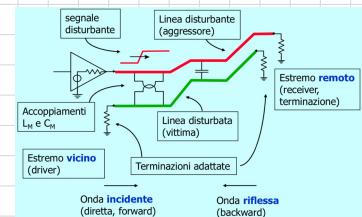
DISTRIBUZIONE DI CLOCK:

• SE USO 1 solo CK PER MODO IN // \rightarrow CK attivo in t diversi $\rightarrow t_{ck} \gg 0$

→ MEGLIO USARE DUE CLOCK DRIVER, CHE CONTROLLANO OGNIUNO UN MODULO

↪ RETRADI NOTI & CONTROLLI, ADATTAMENTO SU D , R_{WS} , $t_{tx, max} = 2 t_p$

→ PER EQUALIZZARE I RETRADI USO DISPOSITIVI & MATERIALI SPECIFICI (PISTE A MEANDRO)



• RUMORE DI COMMUTAZIONE:

- I AC POSSONO ANDARE PERDERSI COMUNI $\rightarrow \left\{ \begin{array}{l} \text{caso 1: } V_{\text{STATICA}} (i = \text{cost.}) : \Delta V = 0; \\ \text{caso 2: } V_{\text{dinamica}} (\text{variaz. con var. di } i) : \Delta V = L \frac{di}{dt} \end{array} \right.$
- RIMBALZO DI MASSA: i IMPULSI CAUSANO SPOSTAMENTI DEL PIANO DI MASSA
- COMMUTAZIONE DI PIÙ USCITE \rightarrow RUMORE DI COMMUTAZIONE SIMULTANEA

$$\rightarrow (c) : \frac{dV}{dt} \text{ TRANSISTORI, } Q \text{ DA SPOSTARE, } L_G + L_S \quad (L \text{ DI GND E ALIMENTAZIONE})$$

\rightarrow SEGUONO VAR. DI V SU GND E ALIMENTAZIONE \rightarrow VARIAZ. IN V_{IN}, V_{OUT} , POSSIBILI OSCILLAZIONI

i DI SCARICA DI C_L SCARICATE IN GND \rightarrow DETERMINA CADUTA V_L

$$\rightarrow \text{RIMBALZO DI MASSA} / (c) C_L, \frac{dV_L}{dt}, L_G \text{ SU GND}$$

(STESO EFFETTO SU V_{CC} PER COMMUTAZIONI $L \rightarrow H$ (POWER BOUNCE))

\rightarrow POWER BOUNCE E RIMBALZO DI MASSA POSSIBILI

COMMUTAZIONI DEGLI STATI LOGICI, RIGENERATIVITÀ $1 \rightarrow 0 \rightarrow 1$ E $0 \rightarrow 1 \rightarrow 0$

• RUMORE DI COMMUTAZIONE:

- (c) : $\left\{ \begin{array}{l} \text{n° DI USCITE CHE COMBINIAMO} / \text{V USCITA: } \Delta V = L \frac{dI}{dt}, i = C \frac{dV}{dt}, \Delta V = L C \frac{d^2V}{dt^2} \\ \text{VELOCITÀ DEI FRONTI, } C \text{ CARICO, } L \text{ DI } V_{AC} \text{ E GND} \end{array} \right.$
- SPOSTA GND E $V_{AC} \rightarrow$ EFFETTI SU ALTRI PRTIE DEL CIRCUITO INTEGRATO: V_{IN} COMUNI, GND, $V_{IN/IL}, V_{AC/IL}$
- REDURRE IL RUMORE DI COMMUTAZIONE:

\rightarrow CREARE PERIODI CON Z BASSA PER I TRANSISTORI, CON VOLTI ELEVATI DI CIRCOLAZIONE VERSO GND VIZI DI VIBRAZIONI

\rightarrow C DI DISACCOPPIAMENTO (BYPASS): COLLEGARE vicino A C CHE PILOTA CARICHI A Z BASSA

PERIODI CON Z BASSA PER I TRANSISTORI.

i IMPULSI FORMATE DA C , PERCORSANO SOLO LE PISTE CON Z BASSA

TRA C E COMPONENTE ATTIVA, C RISCEDE LENTAMENTE DA V_{AC}

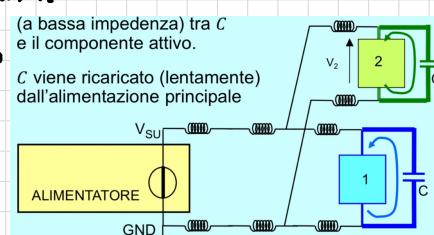
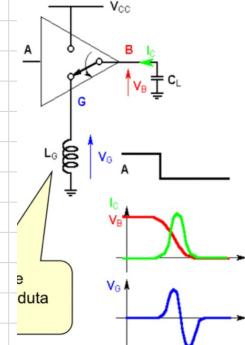
C DI BYPASS:

$$\rightarrow \text{DA } Q = CV, i = \frac{Q}{\Delta t} = C \frac{\Delta V}{\Delta t} \rightarrow C = i \frac{\Delta t}{\Delta V}$$

CONSIDERO ESR (R_{EQ} SERIE DI C):

$$\rightarrow C = i \frac{\Delta t}{\Delta V - ESR \cdot i} / \Delta V: \text{VAR. MAX DI } V \text{ AMMESSA, } \Delta t: \text{PERIODO INTENSO DI } C$$

\rightarrow SE ESR ALTA \sim PIÙ C DI BYPASS IN PARALEGO, DI GIUDIZIO VARIOSE



DEL PROBLEMA BOUNCE

D1 - CONVERSIONI: SEGNALE A/D/A:

CAMPIONAMENTO e ALIASING:

• PASSACCO $A \rightarrow D$ → PERDITA DI INFORMAZIONI

↳ CAMPIONAMENTO e QUANTIZZAZIONE

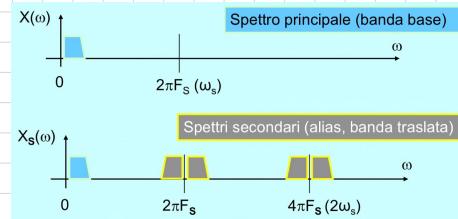
• SE IL SEGNALE $X(f)$ HA SPECTRUM DI B

→ QUANDO VIENE CAMPIONATO → SI CREANO BANDE SECONDARIE $\frac{1}{2} \pi m B$

→ PER RICOSTRUIRE $x(t)$ DA $X(f)$: FILTRA IL SEGNALE SU UNA BANDA BASE

↳ SAMPLING

• SE $\frac{1}{T_s} < 2B$ → ALIASING



• PER FAR SI CHE IL SEGNALE SIA RICOSTRUIVABILE $X(f)$: $\frac{1}{T_s} > 2B$ → $\frac{1}{T_s}$ DI NYQUIST

• FILTRO PASSA-BASSO ANTI ALIASING:

• $B < \frac{1}{2} \frac{1}{T_s}$ → OCCORRE UN FILTRO ANTI-ALIASING ALL'INTERNO

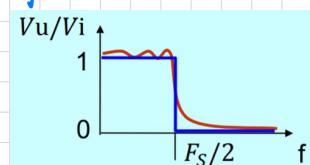
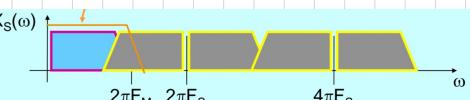
→ UN FILTRO ANTI-ALIASING REGGE L'ANALOGO DELLA BANDA PASSANTE

• MODULO SAMPLING & HOLD (immagine)

↳ MODIFICA LO SPECTRUM: $S(f) \rightarrow U(t)$, WHERE T_H

↳ IN f : ricorda spettro con $\frac{\sin(f)}{f}$

→ USO SUCCESSIVI FILTRI DI RICOSTRUZIONE.



QUANTIZZAZIONE:

• SEGNALE $\left\{ \begin{array}{l} \text{ANALOGICO: ASSUME } \infty \text{ VALORI} \\ \text{DIGITALE: SEQ. DI NUMERI} \end{array} \right.$

• VALORI SU N BIT → 2^N VALORI DIVISI: $0 \div 2^N - 1$

• E.g.: ERRORE DI QUANTIZZAZIONE → VAL_ERRORE - VAL_QUANTIZZ.

• SE INTENSO $0 \div S$, CON 2^N VALORI → $|\varepsilon_q| \leq \frac{1}{2} \frac{S}{2^N} = \frac{1}{2} A_0$

• POTENZA DEL RUMORE DI QUANTIZZAZIONE (RMS):

$$P_{\varepsilon_q} = G_{\varepsilon_q}^2 = \left\{ \begin{array}{l} \frac{1}{2} A_0 \\ \frac{1}{2} A_0 \end{array} \right. \varepsilon_q^2 \beta(\varepsilon_q) \text{ d}f \varepsilon_q = \frac{A_d^2}{12} = \frac{S^2}{12 \cdot 2^{2N}} / \beta(\varepsilon_q) = \text{cost.}$$

SIGNAL-NOISE RATIO

$$\text{SNR}_q = \frac{\text{POTENZA SEGNALE}}{\text{POTENZA ERRORE}} = \frac{G_A^2}{G_{\varepsilon_q}^2}$$

- segnale sinusoidale (valore di picco $S/2$)
 $P_s = S^2/8$ SNR_q = $(6N + 1,76)$ dB

- segnale triangolare (valore di picco $S/2$)
 $P_s = S^2/12$ SNR_q = $6N$ dB

- voce (distribuzione di potenza gaussiana, $S/2 = 3\sigma$)
 $P_s = S^2/36$ SNR_q = $(6N - 4,77)$ dB

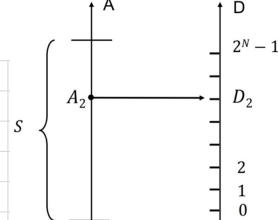
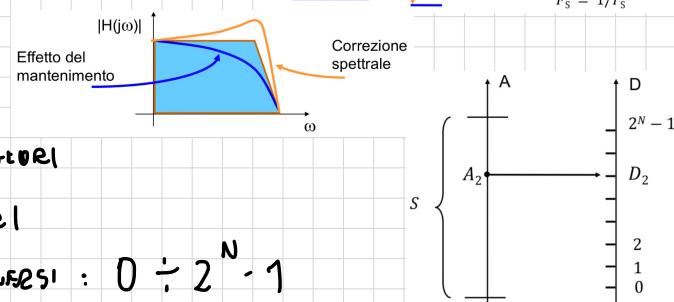
{
VALORI PER
SEGNALE/A = 5}

Quadrato: $SNR = 6N + 4,77$

Sinusoidale: $SNR = 6N + 1,76$

Triangolare: $SNR = 6N$

Gaussian dist.: $SNR = 6N - 4,77$

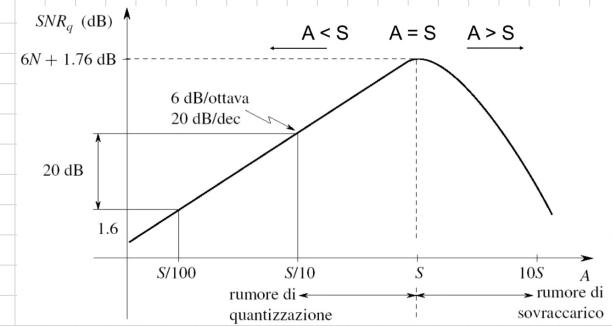


• SE $A < S$:

- DIMINUISCE LA POTENZA DEL SEGNALE
- NON CONSUMA P_{eq}
- $\downarrow SNR_q \propto$ SEGNALE $\rightarrow -20 \text{ dB/dec}$

• SE $A > S$:

- CONVERSIONE A/D SAMPLING AL FONDO SCANA
- OVERLOAD
- $\downarrow SNR_q \propto \uparrow$ AMPISSIMA SEGNALE



• SISTEMA COMPLETO:

$$N^2 = \frac{P_s}{\epsilon P_{ni}}$$

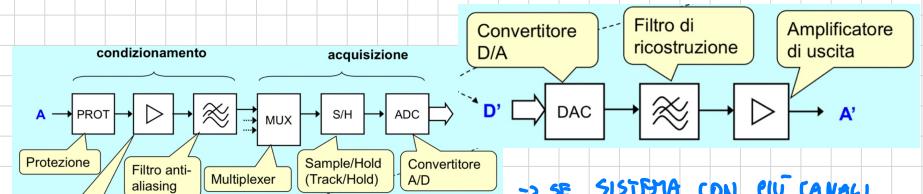
• SNR_{TOT} da: AMP., FILTRI, S&H, CONV. A/D

n° DI BIT EFFETTIVI, ENOB:

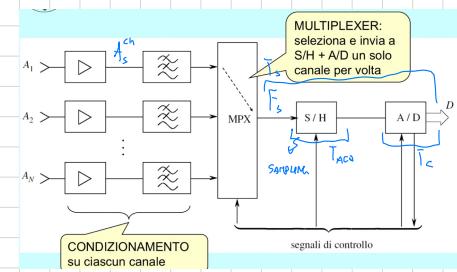
$$\text{se } SNR_q = (6N + k) \text{ dB}$$

$$\rightarrow N = ENOB = \frac{1}{6} (SNR_{TOT} - k) \approx \frac{SNR_{TOT}}{6} - 0,3$$

↳ rappresenta il n° di bit effettivamente significativi per il convertitore.



→ SE SISTEMA CON PIÙ CANALI



D2 - CONVERTITORI D/A:

CLASSIFICAZIONE & PARAMETRI DEI CONVERTITORI D/A:

$A = f(D)$: SEQ. DI $M = 2^N$ PUNTI

ERRORE IN UN CONVERTITORE D/A:

{ STATICI : SEGNALE IN = COST., COMPORTAMENTO A DISTANZA, ESPRIMIBILI IN ORIZZONTALE D/A
 { DINAMICI : SEGNALE IN \neq COST., COMPORTAMENTO IN TRANSISTORI, ESPRIMIBILI COME $A(t)$

$A(D)$ IDEALE \rightarrow RETTA

↳ RETTA : NON ESSERE RETTILINEA

$A(D)$ REALE $\xrightarrow{\text{ERR. DI NON LINEARITÀ}}$ RETTA APPROSSIMANTE $\xrightarrow{\text{ERR. LINEARI}}$ RETTA IDEALE

ERRORE LINEARI:

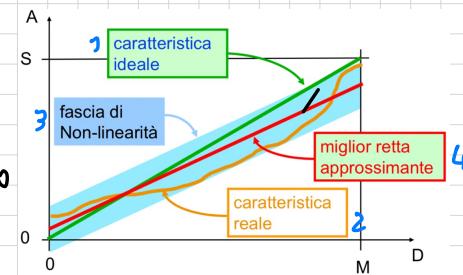
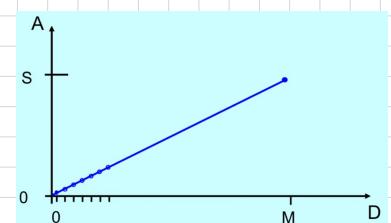
LA RETTA APPROSSIMATIS $\neq (0,0), (M, S)$

↳ { RETTA IDEALE : $A_i = K \cdot D$ \rightarrow SE $D=0 \rightarrow A_i=0$, SE $D=M \rightarrow A_i=S$
 RETTA REALE : $A_r = K' D + V_{OFF}$ \rightarrow SE $D=0 \rightarrow A_r=V_{OFF}$

\rightarrow

• ERR. DI OFFSET : $E_{OFF} = A_r - A_i / K, K=0 = V_{OFF}$

• ERR. DI GUADAGNO : $E_G = \frac{\Delta K}{K} / \Delta K = k' - K$



ERRORE NON-LINEARE:

\rightarrow NON E' COMPRESSIBILE

{ NON LIN. INTEGRALI \rightarrow COMPORTAMENTO COMPRESSIVO
 { NON LIN. DIFF. \rightarrow COMPORTAMENTO LOCALI

ERRORE DI NON LINEARITÀ INTEGRALE : $E_{nli} = \max \left\{ \text{ERR. REALE} - \text{RETTA APPROSSIMANTE} \right\}$

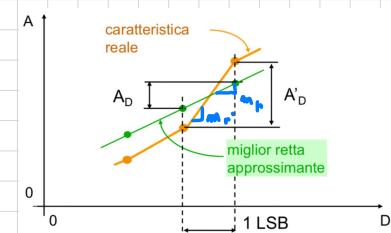
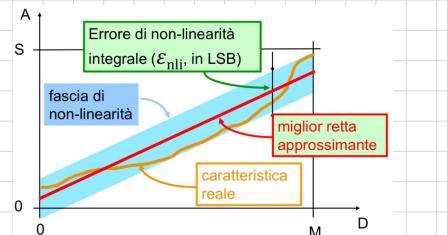
ERRORE DI NON LINEARITÀ DIFFERENZIALE:

$H_p : D = i, A_D \rightarrow$ RETTA REALE, $A'_D \rightarrow$ RETTA APPR.
 \uparrow RETTA APPR.

$\rightarrow E_{ndif} = A_D - A'_D / A_D : \text{INTERVALLO TRA 2 PUNTI SUCCESSIVI SU A_S}$

\rightarrow MISURA LA DISUMIFORMITÀ TRA GLI INTENSIVI A_D

\uparrow SE $E_{ndif} > 1 \text{ LSB} \rightarrow$ ERR. DI NON MONOTONITÀ $\rightarrow \text{sign}(m_p) \neq \text{sign}(m'_p)$



• PARAMETRI DINAMICI:

• TEMPO DI ASSETTO: $T_s \rightarrow$ l'uscita del convertitore D/A impiega

T_s PER PORTARSI AL NUOVO VALORE

• GLITCH: durante il transitorio, l'uscita si può portare a valori molto diversi
da quelli imposta

\rightarrow DOWNG AND OFF. NB! RITARDI DI CONVERGENZA:

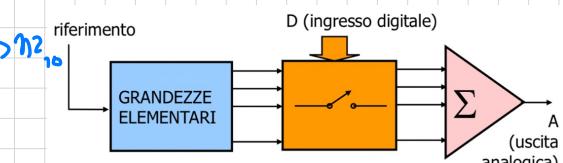
es. nel passaggio 0111 \rightarrow 1000, si passa per stati transitori 0000, 1111

CHE SONO VALORI CHE SONO USCITA PER BREVI TEMPI

• STRUTTURE DI CONVERTITORI:

• TECNICA BASE: SOMMA DI GRANDEZZE PESATE
CONTRACCETTA DA D

CONVERGENZA $M_1, M_2 \rightarrow M_2$

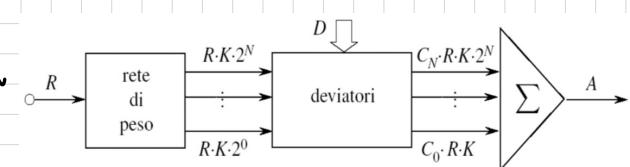


• CONVERTITORI A GRANDEZZE UNIFORMI:

$$I_o = \sum_{\text{ON/OFF}} i / \text{ON/OFF IN BASE A D} = 0/1$$

• CONVERTITORI A GRANDEZZE PESATE:

\rightarrow SENTONO UN PIANO DI DEMATRIM. $C_0 \div C_N$
PER PESARE LE USCITE

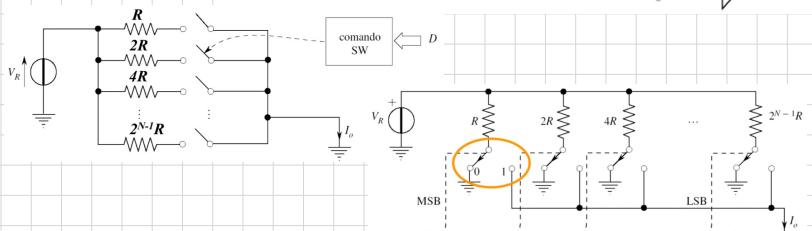


• CONVERTITORI A R PESATE:

$$R : 0 \div 2^{N-1} \cdot R$$

\rightarrow PROBLEMA: ROTTE DINAMICHE

\hookrightarrow SENTITO I DEVIATORI

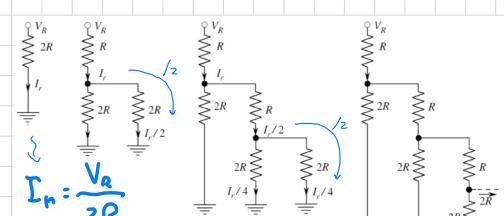


• RETE A SCALA:

SENZORO LE I DA SOMMARE SENZ'ATTE SECONDO POTENZE DI 2

$$\hookrightarrow R_{\text{RAMO}_i} = R_{i-1} + R_x \rightarrow R_x = 2R_i // 2R_i$$

$$\hookrightarrow R_{\text{RAMO}} = R \cdot X \rightarrow i / = 2$$



V: USA SOLO 2 R: R e 2R, USANDO NORSON/TENSERIN -> USCITA IN V, POSSO INSERIRE DEVIATORI

es. D2.7 RETE A SCALA

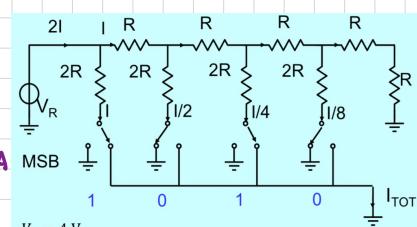
$$V_R = 4V$$

$$1010 \rightarrow I_{\text{TOT}} = I + \frac{1}{4} I = 0,25 \text{ mA}$$

$$R = 10 \text{ k}\Omega$$

$$\rightarrow 0111 \rightarrow I_{\text{TOT}} = \frac{1}{2} I + \frac{1}{4} I + \frac{1}{8} I = 0,175 \text{ mA}$$

$$I = \frac{V_R}{2R} = 0,2 \text{ mA}$$



• RETI DI PESO CAPACITIVI;

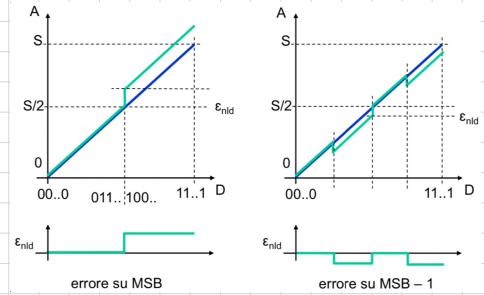
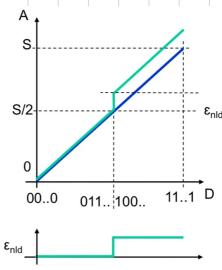
$R \mapsto C$

V. CONSUMO RISORSE

• ERRORE:

$$\text{ERRORE USCITA} = \text{ERRORE PESO} * \text{PESO PESO}$$

\rightarrow RAMI MSB HANNO PESO MAGGIORI \rightarrow DEBONO ESSERE PIÙ ACCURATI



D3 - CONVERTITORI A/D:

CLASSIFICAZIONE e PARAMETRI DEI CONVERTITORI A/D:

CHARATTERISTICA $D = f(A)$ (ANALOGO AI CONV. D/A)

L' RIPORTATE SULLE DIFFERENTI:

ERROTI STATICI:

- OFFSET

- (GVA)AGND

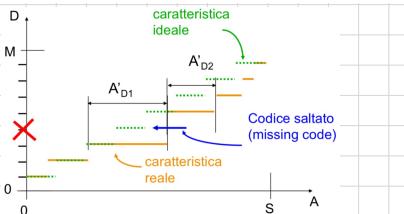
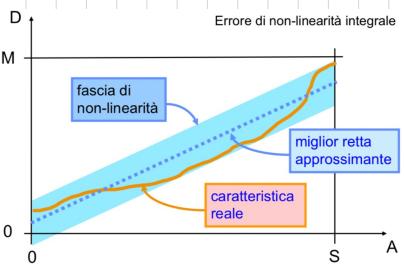
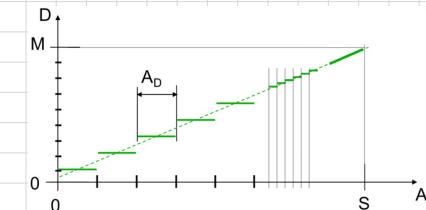
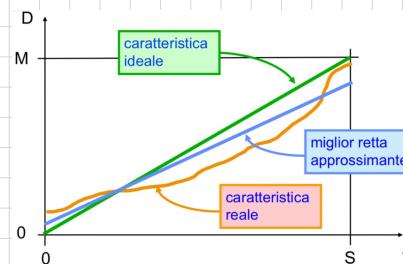
ERROTI NON-LINARI:

- E_{nl}

$$E_{nl} = A_D - A'_D$$

L' POSSIEDE MISSING CODE: SE A_D TROPPO GRANDE

- S LINEA DI LUCE ASSORBITA



PARAMETRI DINAMICI:

- TEMPO DI CONVERSIONE: T_C , CON ESECUSIONE:

- CON UNICO: T_C È IL RITARDO DA $t: A$ APPLICATO (STATUS) A $t: D$ OBTAINED

- A COMANDO: T_C È IL RITARDO DA $t: CS$ (CONVERSION START) A $t: EOC$ (END OF CONVERSION)

STRUTTURE e CIRCUITI PER CONVERTITORI A/D:

CLASSIFICABILI IN BASE A:

- COMPLESSITÀ: n° COMPARATORI UTILIZZABILI

- VELOCITÀ: n° CONVERSIONI/S $\rightarrow \left[\frac{1}{T_C} \right] \rightarrow 1$ VELOCITÀ $\rightarrow \uparrow$ COMPLESSITÀ

- RITARDO: È PER ESEC CONVERSIONE, NORMALIZZANDO RISPRESA AL RITARDO DI UN COMPARATORE

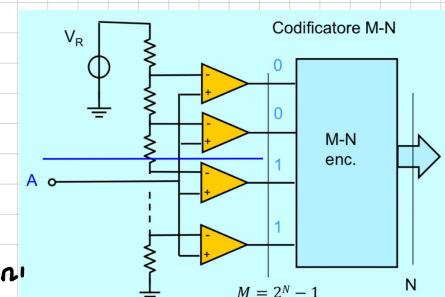
CONVERTITORI IN PARALLELO:

ADC FLASH:

- $M = 2^N - 1$ COMPARATORI / N USCITE

L' IN: $M = 2^{N-1}$ bits \rightarrow OUT: N bits

V: VELOCITÀ, S: COMPLESSITÀ \rightarrow NECESSITA TANTI COMPARATORI



CONVERTITORI CON D/A IN REAZIONE:

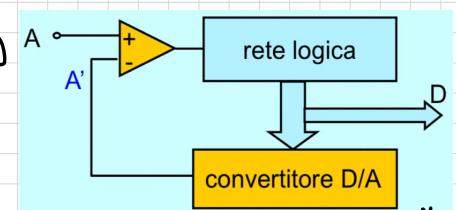
- USCITA DI OTTENERE $A' \approx A / A'$ ricavata con D/A da D

\rightarrow RETE LOGICA VARIA D PIANO A PIANO $A' \approx A$

- 2 STRATEGIE:

- 1 LSB PER VOLTA: CONV. A INCREMENTO, ESCALONI COMPRESI IN 2^N PASSI $\rightarrow T_C = 2^N T_{CK}$

- STADI TRAM MSB: CONV. AD APPROX. SUCCESSIVE, PER OTTENER N biti PRENDERI N PASSI $\rightarrow T_C = NT_{CK}$



• CONVERTITORE A INSEGUITAMENTO:

$$\begin{cases} \text{SE } A' < A \rightarrow \text{COUNT}++ (\text{UP}) \\ \text{SE } A' > A \rightarrow \text{COUNT}-- (\text{DOWN}) \end{cases}$$

$$M = 2^N \text{ PASSI PER ANDARE DA } 0 \text{ A } S \rightarrow T_c = 2^N T_{CK}$$

\rightarrow PUÒ INSEGUIRE VAR. DEL SEGNALE $\Leftrightarrow \frac{dV}{dt} < \frac{A_D}{T_{CK}}$

• 1 COMPARATORE, NEL CASO PEGGIORI 2^N CICLI DI CONFRONTO
PER CONFRONTARE N BIT

S: UENTO, SR LIMITATO, V: SEMPLICE \rightarrow 1 comparatore.

• CONVERTITORE AD APPROSSIMAZ. SUCCESSIVE:

EFFETTO SUCCESSIVI CONFRONTO IN

BASE AL MSB :

$$\rightarrow A / \frac{1}{2} S > \text{MSB} = 1, A / \frac{3}{4} S < --$$

$$\rightarrow A / \frac{1}{2} S > \text{MSB} = 0, A / \frac{1}{4} S < --$$

• RISERVA A FLASH :

V: SEMPLICE \rightarrow 1 SOLO COMPARAZIONE (2^N IN FLASH)

S: UENTO \rightarrow N PASSI (1 PASSO IN FLASH)

\rightarrow SE TIPO DI ADC PUÒ DIFFERIRE

• CONVERZIONE DIFFERENZIALE:

VIENE UNANIMIZZATA LA DIFER. TRA VAL. ATTIVATE

E PRECEDENTI (RICOSTRUIRA')

• A/D A 1 BIT (comparatore), FLUSSO SERIALE DI BIT NON PESATO: U/D OI D/A A INSEGUIMENTO

• CONVERTITORE DELTA (Δ):

• CONVERTITORE DIFFERENZIALE A INTEGRATORE

$$\cdot A_{\Delta} = \left\{ \int_R L(t) \right\} / \left\{ L(t) \right\} \text{ INPUTI CON } f_{CK}$$

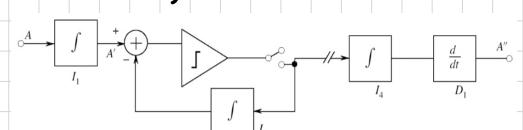
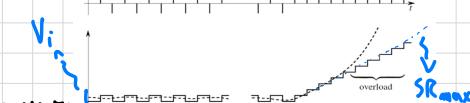
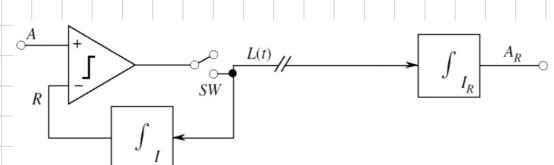
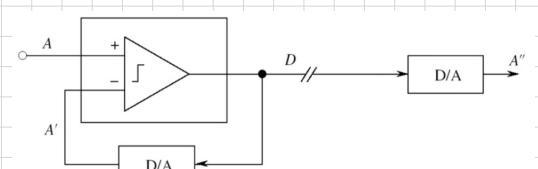
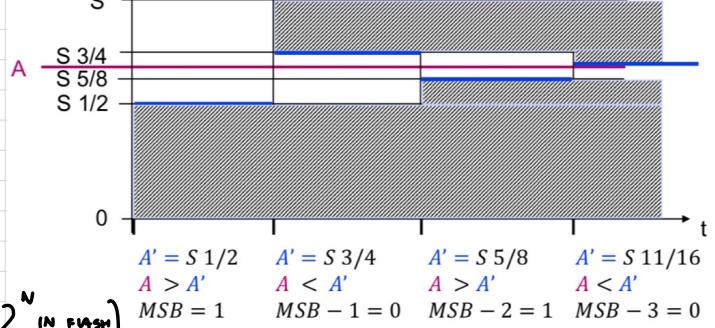
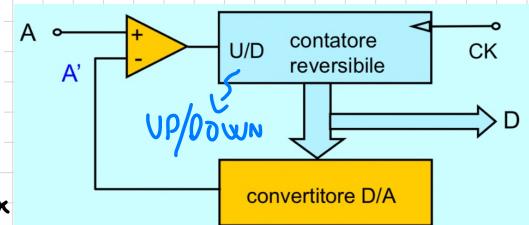
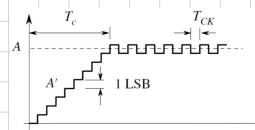
$$\cdot V \text{ IMPULSO} \rightarrow R \text{ SI SPosta DI } \gamma / R = \int_L L(t)$$

$$\cdot DINAMICA: \frac{1}{2} \gamma < V < \gamma / T_{CK}, \text{ DONDE } \begin{cases} V_i = \frac{1}{2} \gamma : V_{\text{MINIMA MISURATA}} \\ SR_{\text{MAX}} = \gamma / T_{CK} \end{cases}$$

\rightarrow NON RICHIESTE COMPONENTI PRECISI, DINAMICA LIMITATA, γ CORRISPONDE AD A_{Δ} IN UN CASO DINAMICO

L> DINAMICA C.) SR LIMITATO \rightarrow PER LIMITARE SR:

V ARMAZZATA DI ALTRE: INTEGRATORE AN, INGRESSO OPERATORE AN, USCITA



D4 - MULTIPLEXER e SAMPLE/HOLD:

MULTIPLEXER:

- SELEZIONA 1 CANALE IN OUT, TRA N IN IN

L> NON OFFRE RISOLUZIONE IL SEGNALI IN TRANSITO E DEVE BLOCKARE COMPLETAMENTE GLI ALTRI SEGNALI

-> OGNI CANALE IN \rightarrow 1 FILTRO

-> UNO SWITCH realizzato con $MOS_p \parallel MOS_n$

-> COMANDO DI SELEZIONE DEI CANALI ATTIVI

ERRORE DA R_{ON} :

-> UNO SWITCH ON \rightarrow R_{ON} SULL'INTERROTTORE

$$L> PARTITORE RESISTIVO: V_U = \frac{R_L}{R_S + R_{ON} + R_L} V_S$$

ERRORE DA I_{OFF} :

-> UNO SWITCH ON \rightarrow I_{OFF} SULL'INTERROTTORE

$$L> V_{U,OFF} = R_L / (R_{ON} + R_S) \cdot I_{OFF}$$

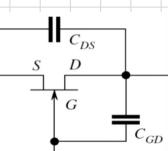
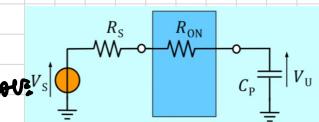
MOS DI POTENZA MOS DI SEGNALE MUX INTEGRATO TEPERATURA $A = 25^\circ C$

$R_{ON} = 0,1 \div 10 \Omega / 10 \div 1000 \Omega / 1 \div 100 \Omega$, $I_{OFF} = 10 \frac{A}{40^\circ C} + (10 \mu A \div 10 \mu A)$

LIMITI DI BANDA:

-> LE PARASITI DEL MUX E DEL CIRCUITO LIMITANO LA BANDA DEL SEGNALE PASSA-BASSO

-> C_{DS} (INGRESSO-USCITA) E C_{GD} (COMANDO-USCITA) CAUSANO ERRO. OFFSET (PIEDISTALLO) E TRASFERIMENTO DI SEGNALE NON PREVISTO (FEEDTHROUGH)



SAMPLE & HOLD:

FUNZIONE:

- CAMPIONA IL SEGNALE ANALOGICO $I(t)$, $\forall t = n t_s, n \in \mathbb{N}$

$$\rightarrow U(n t_s) = I(t) S(t_s)$$

- MANTIENE $U(t) = I(t_s)$ FINO AL CAMPIONAMENTO SUCCESSIVO

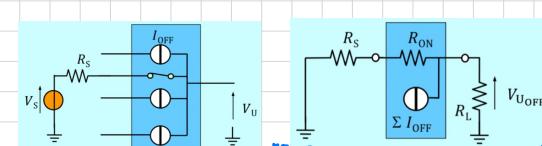
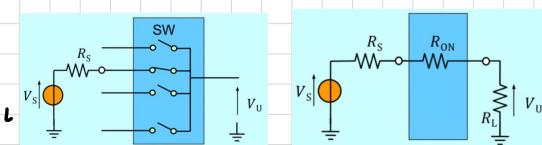
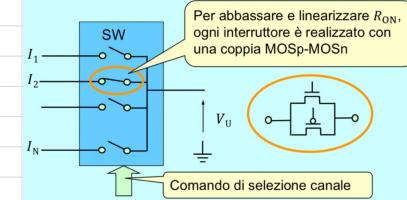
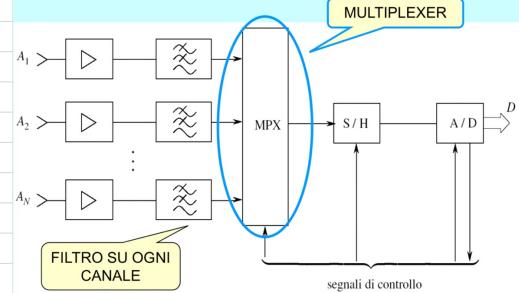
COMPORTAMENTO DIGITALE \rightarrow 2 FASI SEPARATE DA CAMPIONAMENTO:

- ACQUISIZIONE E INGRIMENTO (TRACKING): $U(t) = I(t)$

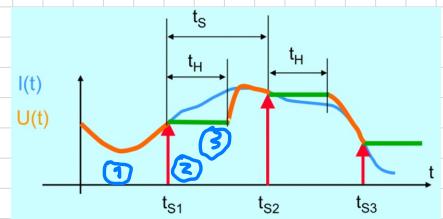
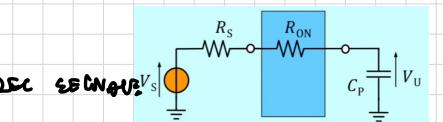
- CAMPIONAMENTO (SAMPLING): $U(n t_s) = I(t) S(t_s)$

- MANTENIMENTO (HOLD): $U(t) = I(t_s)$, PER $t_H < t_s$

\rightarrow ① TRACK \rightarrow ② SAMPLE \rightarrow ③ HOLD \rightarrow ④ NEW TRACK



MOS DI POTENZA MOS DI SEGNALE MUX INTEGRATO TEPERATURA $A = 25^\circ C$

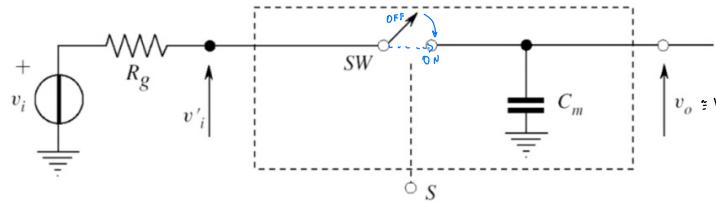


CIRCUITO S&H (TRACK HOLD):

- SW = ON: $V_o(t) = V_i(t) \rightarrow \text{TRACK}$
- SW = OFF: $V_o(t) = V_i(t_s) \rightarrow \text{HOLD}$
- → È COME UNA MEMORIA ANALOGICA

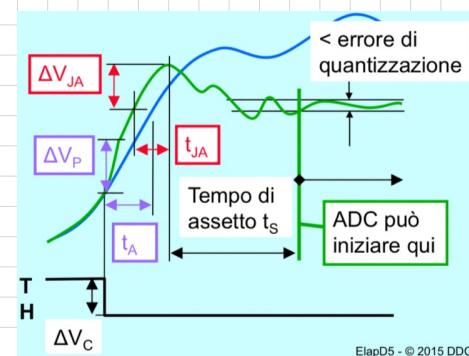
1) ACQUISIZIONE E INSEGUIMENTO:

- IN FASE DI TRACKING: $V_o = V_i$;
- S/H DIVENTA UN AMPL. DI GAIN UNITARIO
- ERRORE STATICO: GAIN, OFFSET, NON LINEARITÀ
- ERRORE DINAMICO: SETTLING TIME, RISOL.
- ERRORE IN ACQUISIZIONE:
 - CARICA DI C_m TRAMITE $R_g \rightarrow t$ DI ACQUISIZIONE
 - PARITORE, r_{on} , R_g E R_L PER $V_i \rightarrow$ ERR. DI GUADAGNO



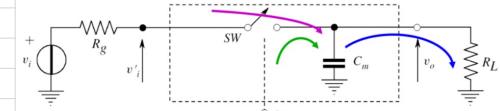
2) ERRORE DI CAMPIONAMENTO:

- ERRORE IN TEMPO:
 - RETARDO DI APERTURA DI SW (APERTURE DECAY) $\rightarrow t_A$
 - VAR. SUL RETARDO (APERTURE SITTER) $\rightarrow t_{JA}$
 - ERRORE DI RETTER DI APERTURA $\rightarrow \Delta V_{JA} = t_{JA} \cdot SR_{max}$
 - $T \rightarrow H$ IN t_S \rightarrow TEMPO DI ASSETTO
- ERRORE IN AMPISSIMA:
 - PIEDISTALLO: INIEZIONE DI VOLTE ATTR. AL SWITCH $\rightarrow \Delta V_p = \frac{C_p}{C_p + C_m} \Delta V_C$



3) ERRORE IN FASE DI MANTENIMENTO:

- SCARICA DEL CONDENSATORE SU $R_L \rightarrow$ DECADIMENTO
- PASSAGGIO CARICA IN SW APERTO \rightarrow FEEDTHROUGH
- INIEZIONE DI CARICA DA COMANDO DI SW \rightarrow PIEDISTALLO



4) NEW ACQUISIZIONE:

- L'USCITA RIPRENDE L'INVESSO (ENTRA UNA PRECISIONE VOLTA)
- DOPO IL TEMPO DI ACQUISIZIONE T_{ACQ}
- → BANGA (RISP. AL TRANSITORIO), SUEVR RATE



• ISOLAMENTO DI GENERATORE E CARICO:

→ VSO 2 VOLTAJE FOLLOWER: TRA $R_{\text{f}} + C_m$ E $\tau_m C_m \times R_L$

→ CURVO ASCI EMESSI DI OFFSET E GAIN; trasformato in circuito in un unico VOLTAGE FOLLOWER

• JITTER DI CAMPIONAMENTO:

IL PASSOVA $S \rightarrow H$ AVVIENE CON UN RETRASO DI APERTURA T_A , RISPETTO AL COMANDO T_J

→ T_A È AFFETTUO DA RUMORE:

• JITTER DI CAMPIONAMENTO: $T_J \rightarrow$ PRODUCE ERRORE SUL SEGNALI PER TUTTA VAR. DEL

SEGNALE IN T_J

• FERR. IN AMPLIFICA $\sim T_J$

$$\left\{ \Delta V_J = SR \cdot T_J \right\} / \text{SNR}_J = 20 \log_{10} \left(\frac{V_{pp}}{\Delta V_J} \right)$$

• SNR_J: S/N RAPDO $\sim T_J$

↳ ESISTONO ANCHE ALTRI SNR_X

• SNR_{TOT} = $\left\{ \begin{array}{l} \text{RUMORE DI QUANTIZZAZIONE (n° di bit)} \\ \text{RUMORE DI AMPLIFICA (COEFICIENZE f_s e FATTORI)} \\ \text{ERRORE DI JITTER (S & H, SR oL SEMPRE)} \\ \text{ERRORE DEI RETRASMI DI SAMPLIFICAZIONE (OFFSET, GAIN)} \end{array} \right.$

• ERRORE TOTALE:

• SOMMA DI TERMINI STAT. (NOISE) (A_i): $A_i = \frac{P_{N_i}}{P_s}$

$$\rightarrow \text{SNR}_{TOT} = 10 \log_{10} \frac{P_s}{\sum P_{N_i}} = 10 \log_{10} \frac{1}{\sum A_i}$$

↳ NOISE

• ERRORE TOTALE; DEFINITO DAL PARMETRI ENOB (EFFECTIVE NUMBER OF BITS)

→ TIENE CONTO DI tutti i RUMORES E RETRASMI

$$\rightarrow \text{SNR}_q = (6N + 1,76) \text{ dB} \rightarrow \text{ENOB} = (\text{SNR}_{TOT} - 1,76) \frac{1}{6}$$

→ RAPPRL. IL n° EFFETTIVO DI BIT SIGNIFICATIVI PER IL COMMUTAZIONE IN SCARSA

$$\cdot \text{SNR}_{TOT} = -10 \log_{10} \left(\sum_i 10^{-\frac{\text{SNR}_i}{10}} \right)$$

$$\rightarrow \text{SNR}_{TOT} = -10 \log_{10} \left(\frac{\sum_i P_{N_i}}{P_s} \right) = -20 \log_{10} \left(\frac{\sqrt{\sum_i V_{N_i}^2}}{V_s} \right) = 20 \log_{10} \left(\frac{V_s}{\sqrt{\sum_i V_{N_i}^2}} \right)$$

$\sum_i A_i$

D5 - CONDIZIONAMENTO DEL SEGNALE:

• PROTEZIONI IN INGRESSO:

È NECESSARIO LIMITARE LA TENSIONE DI INGRESSO

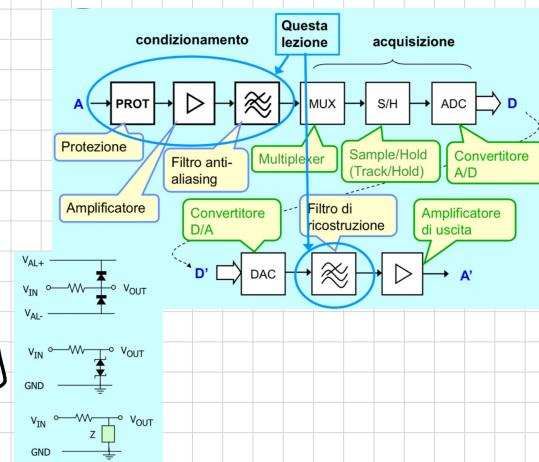
A VALORI TACI DA NON DANNEGGIARE IL CIRCUITO

$$\bullet \text{ CLAMP A 0 DALLA VERSO } V_{AL} : V_{OUT} \in [V_{AL}^-, V_{AL}^+]$$

$$\bullet \text{ DALLA 0 FINO VERSO } V_{AS} : V_{OUT} \in [-V_Z, +V_Z]$$

$$\bullet \text{ COMPONENTI SPECIFICI : } V_{OUT} \text{ LIMITATA DA } V(I) \text{ O } Z$$

$\rightarrow R$ IN SERIE UNITA A I_{IN} PER LA PROTEZIONE



• AMPLIFICATORI:

CONC. A/D PUÒ AVERE DIVERSI TIPI DI INGRESSO: $V_o I$, riferito A GND O DIFFERENZIALE

\rightarrow USO UN AMPL. DI CONDIZIONAMENTO PER ADATTARE IL SEGNALE DI IN IN A/I/D

$\hookrightarrow V/V, I/I, V \mapsto I, I \mapsto V$; INGRESSO E USCITA SINGOLI ENDORS

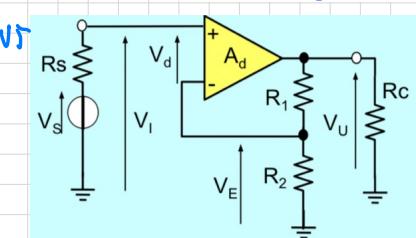
• AMPL. DI V :

• AMPL. DI V SINUSOIDALE:

$$A_v = \frac{V_o}{V_i} = 1 + \frac{R_1}{R_2}$$

• ALTA Z_{IN} ($2 \rightarrow \infty$) $\rightarrow A_v \propto R_s$

• BASSA Z_{OUT} ($2 \rightarrow 0$) $\rightarrow A_v \propto R_c$



• AMPL. DIFFERENZIALE:

• OGGETTO: AMPLIFICARE V_{oL} (AOLO NERO), ATTENUARE V_{oC} (AOLO BIANCO)

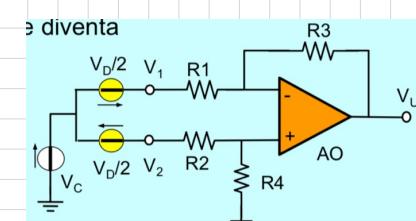
\rightarrow COMMON MODE REJECTION RATIO: CMRR = $\frac{A_d}{A_c}$

\hookrightarrow INDICA QUANTO VITRE L'AMPLIFICATORE V_{oL} RISPARMIA A V_{oC}

$$\text{SIA } \frac{R_3}{R_1} = \frac{R_4}{R_2}$$

$$\rightarrow A_c = \frac{V_u}{V_c} \approx 0, \quad A_d = \frac{V_u}{V_o} = -\frac{R_3}{R_1}$$

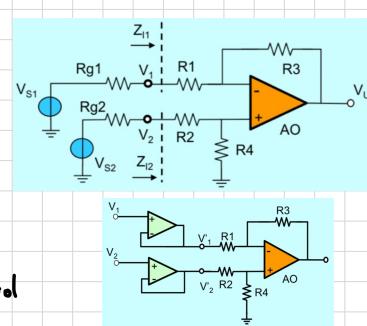
\hookrightarrow VEDIAMO AMPLIFICARE SOLTAMENTE I SEGNALI DIFFERENZIALI



• PROBLEMI NEL DIFF. CLASSICO:

$$\begin{aligned} & \bullet Z_{11} = R_1, \quad V_1 = V_{s1} \frac{R_1}{R_{g1} + R_1} \quad \left. \begin{array}{l} \text{Z}_1 \text{ ASIMMETRICA} \\ \text{Z}_2 \text{ PEGHIERE} \end{array} \right\} \text{CMRR PEGHIERE} \\ & \bullet Z_{12} = R_2 + R_{g2}, \quad V_2 = V_{s2} \frac{R_2 + R_{g2}}{R_{g2} + R_2 + R_4} \end{aligned}$$

\rightarrow SOLUZIONE: USO VOLTAGE FOLLOWER SUL INGRESSO $\left\{ \frac{R_3}{R_{g1}} = \frac{R_4}{R_{g2}} = A_{dL} \right\}$

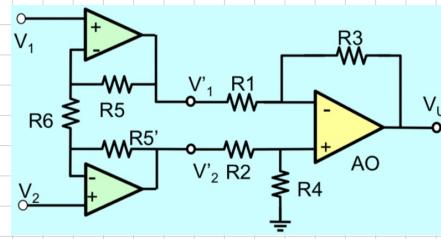


A M P L I F I C A T O R E D A S T R U M E N T A Z I O N E .

INSERISCO GAIN SUL VOLTAGE FOLLOWER

$$\rightarrow \text{PONTO } R_5' = R_5 \rightarrow V_2' - V_1' = \left(V_2 - V_1 \right) \left(2 \frac{R_5}{R_6} + 1 \right)$$

$$\rightarrow \text{ESE} \quad \frac{R_3}{R_2} = \frac{R_4}{R_2} \rightarrow V_U = \left(V_2 - V_1 \right) \left(2 \frac{R_5}{R_6} + 1 \right) \left(\frac{R_3}{R_4} \right)$$



FILTRI ANTI-ALIASING / FILTRI A CAPACITÀ COMMUTATE:

IL SAMPLONAMENTO RISCEDE PER UNA DI VIEGLIO $\approx f_s$

\rightarrow 3 SEGUENTI COMPLEMENTI SONO IL LIMITE DI Nyquist \rightarrow RUMORE DI ALIASING

\sim RUMORE DEL SPECTRO DI INGRESSO, f_B

• PARAMETRI DEL FILTRO ANTI-ALIASING:

• RAZZORO SEGNALE/RUMORE DI ALIASING: SNR_a

• SPECIFICHE: NON ATTENUARE FINO $\approx f_B$, ATTENUARE DI SNR_a dB A $f_s - f_B$

• DA $f_g + f_s - f_B$ \rightarrow VIZZ. RESONANZA $= \frac{(f_s - f_B)}{f_B}$

\rightarrow OGNI POLO ATTENUA $6\text{dB}/\text{octava}$

\rightarrow DA $f_B \approx f_s - f_R$, 1 POLO ATTENUA $A_p = 6 \log_{10} \left(\frac{f_s - f_B}{f_B} \right)$ dB = $20 \log_{10} \left(\frac{f_s - f_B}{f_B} \right)$

\sim N° DI POLO NECESSARIO: $P = \frac{\text{SNR}_a}{A_p}$ (c) ANDATE CON TIPO DI FILTRO

es. D6.1 DIMENSIONAMENTO FILTRO

• $f_B = 12 \text{ kHz}$: BANDA UTILE DUE SEMI, $f_s = 50 \frac{\text{ns}}{\text{s}}$

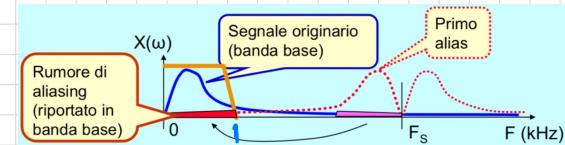
$\rightarrow f_s - f_B = 38 \text{ kHz}$, DINARCIUT: $\log_{10} \left(\frac{38}{12} \right) \approx 0,5$ DECADI

\rightarrow ATTENUTAZIONE DI POLO: $A_p = 20 \text{ dB/dec} \cdot 0,5 \text{ dec} = 10 \text{ dB}$

• CONVERSIONE SU 12 bit: $\text{SNR}_q = 6N + 1,76 = 6 \cdot 12 + 1,76 = 73,76 \text{ dB}$

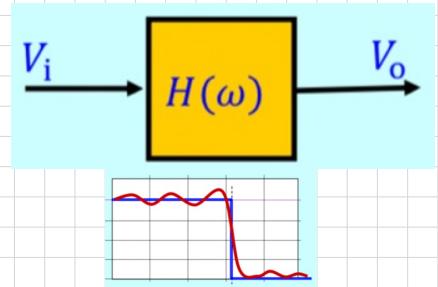
• PER MIGLIOR SNR_a = SNR_q = 73,8 dB:

$$\rightarrow P = \frac{\text{SNR}_a}{A_p} = 7,38 \rightarrow 8 \text{ POLO}$$



TIPI DI FILTRO e LORO PARAMETRI:

- OBBLIGATORIO DEC FILTRO: OTTENERE $H(\omega) = \frac{V_o}{V_i}$ SPECIFICA
 \hookrightarrow PASSA-BASSO, PASSA ALTO, PASSA BANCO/REINFORZO



- È POSSIBILE OTTENERE SOLTANNO APPROSSIMAZIONI NEGLI $H(\omega)$ IN FREQ.

• TECNICHE REALIZZATIVE:

• FILTRI ANALOGICI:

- PASSIVI: L, C, R , ATTIVI: OP. AMP. + R, C , CAPACITÀ COMMUTATRICE: SC (switched capacitors)

• FILTRI DIGITALI:

- NUMERICO A/D, D/A, REALIZZATI CON: FF, PARTE, MICROPROG., DSP, FPGAs

- SEQ. DI PROGETTO: DEF. SPECIFICHE \rightarrow PROG. FILTRO (BLOCHI KIRK.) \rightarrow REALIZZAZIONE \rightarrow CIRCUITO

TIPI DI APPROSSIMAZIONE, ATTENZIONE POLINOMI:

• BESSELL:

\rightarrow FASE LINEARE, NO ONDULAZ. IN BANDA PASSANTE, È IL PIÙ RIPIDO

• BUTTERWORTH:

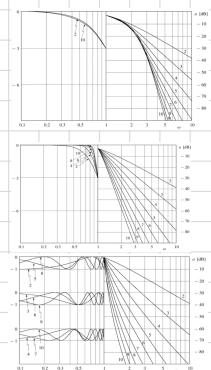
\rightarrow NO ONDULAZIONE IN BANDA PASSANTE, DISTORSIONE

• CHEBYSHEV:

FONDE ATTENUAZIONE

FUORI BANDA

\rightarrow AMPLITUDINE ONDUL. IN BANDA PASSANTE, È IL PIÙ ALTO



ESEMPI DI CIRCUITI DEC II ORDINE:

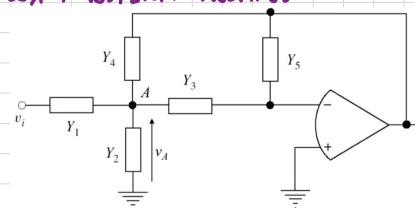
utilizza L, C, R oppure COMBINAZIONI INTEROGRAMMATICHE SPECIFICHE

- OP. AMP. CON RESISTENZE (R, L): $\text{GAIN} = \text{cost.}$, OPPURE INTEROGRAMMA, ESEMPIO CIRCUITO: TOLLENTIERE

\rightarrow ADATTATO PER INTEGRATORI

- CIRCUITI A CAPACITÀ COMMUTATRICE: UTILIZZATO GLI SWITCHED CAPACITORS (SC) IN MODO DI R

• 1 REALIZZAZIONE MULTIPLEX.



$$\frac{v_o}{v_i} = \frac{-Y_1 Y_3}{Y_5(Y_1 + Y_2 + Y_3 + Y_4) + Y_3 Y_4}$$



$$\Delta Q = C(V_A - V_B)$$

$$I_{AB} = \Delta Q \cdot f = \frac{V_A - V_B}{R_{eq}}$$

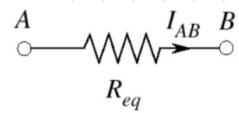
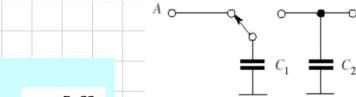
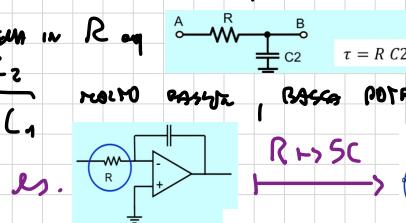
$$R_{eq} = \frac{1}{f \cdot C}$$

• CIRCUITI A CAPACITÀ COMMUTATRICE:

- SW COMMUTATORE A 2 POSIZIONI A

- I AMPL. EQUIL. A 2 POSIZIONI IN R_{eq}

$$\rightarrow \text{V: } \tilde{i} = R C_2 = \frac{C_2}{f C_1} \text{ nELTUO POSSIBILE, BASSA POTENZIALE, } R \rightarrow \text{SC}$$



$$R_{eq}$$

• De 1:

es. De 1.1

$$2. \text{ sia } V_R = 5V \rightarrow \text{transistor } R/V_{FS} = -10V, R_F = 10k\Omega$$

$$\rightarrow V_{FS} = V_{max} = V_0 \Leftrightarrow H_{BIT} = 1$$

$$\cdot R_{eq} = R \parallel 2R \parallel \dots \parallel 32R = \frac{32}{63} R$$

$$\cdot V_0 = -V_R \frac{R_F}{R_{eq}} \rightarrow R_{eq} = -R_F \frac{V_R}{V_0} \rightarrow \frac{32}{63} R = -10k\Omega \cdot \frac{5V}{-10V} \rightarrow R = 9,84k\Omega$$

3. ERR./ TOLERANZE AL 5%.

$$\cdot \text{ERR}_{MSB} : V_{0,nominal}^{MSB} = -V_R \frac{R_F}{R} = -5,08V \rightarrow \begin{cases} V_{0,min}^{MSB} = -V_R \frac{R_F}{R(1+5\%)} = -4,84V \\ V_{0,max}^{MSB} = -V_R \frac{R_F}{R(1-5\%)} = -5,35V \end{cases}$$

$$\cdot \text{ERR}_{LSB} : V_{0,nominal}^{LSB} = -V_R \frac{R_F}{32R} = -0,154V \rightarrow \begin{cases} V_{0,min}^{LSB} = -V_R \frac{R_F}{32R(1+5\%)} = -0,131V \\ V_{0,max}^{LSB} = -V_R \frac{R_F}{32R(1-5\%)} = -0,167V \end{cases}$$

4. OTTENERE ERR. TOT. POSSIBILE = $\frac{1}{2} LSB$

$$\cdot \text{CONTRIBUTO } H_{ROW} = \frac{1}{6} \cdot \frac{1}{2} LSB = \frac{1}{12} V_R \frac{R_F}{32R}$$

$$\rightarrow \text{CONTRIBUTO RAMO CON } R_i : \frac{1}{12} V_R \frac{R_F}{32R} = V_R \frac{R_F}{R_i} - V_R \frac{R_F}{R_i + \Delta R} \rightarrow \frac{\Delta R}{R_i} = \dots$$

es. De 1.2

$$1. \text{ calcolare } R/V_{FS} = -5V, V_R = 2,5V, R_F = 10k\Omega$$

$$\rightarrow V_A = -\frac{R_F}{R_{eq}} V_R \quad / R_{eq} = R \parallel 2R \parallel 4R \parallel 8R \rightarrow R = \dots$$

2. CONSIDERARE $\Delta R = 200\Omega$ -> ERRORE?

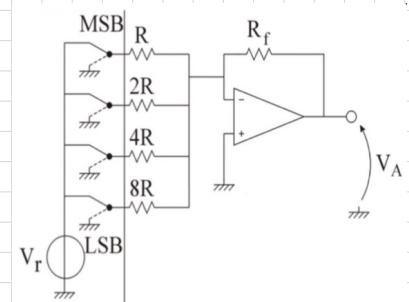
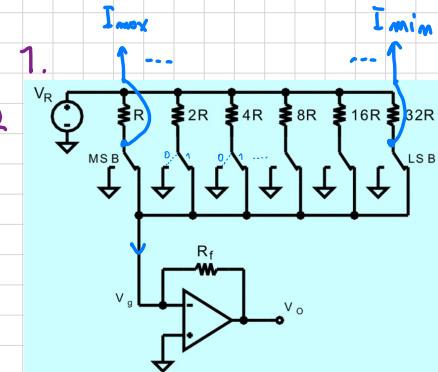
$$\cdot V_A^{MSB} = -V_R \frac{R_F}{R} \rightarrow \Delta V_A^{MSB} \geq -V_R \frac{R_F}{R + \Delta R} + V_R \frac{R_F}{R}$$

$$\cdot V_A^{LSB} = -V_R \frac{R_F}{8R} \rightarrow \Delta V_A^{LSB} = -V_R \frac{R_F}{8R + \Delta R} + V_R \frac{R_F}{8R}$$

3. CALCOLARE R_{DN} SU MSB / ERRORE < $\frac{1}{2} LSB$

$$\cdot \Delta V_A^{MSB} = \frac{1}{2} V_A^{LSB} \rightarrow V_R \frac{R_F}{R} - V_R \frac{R_F}{R + \Delta R} = \frac{1}{2} \cdot \left(-V_R \frac{R_F}{8R} \right)$$

$$\rightarrow V_R \frac{R_F}{R} \cdot \frac{\Delta R}{R + \Delta R} = \frac{1}{2} V_R \frac{R_F}{8R} \rightarrow \Delta R = R_{DN} = \frac{R}{15}$$



es. De 1.3

UN ADC A 8 BIT HA IN INGRESSO UNA STIMABILE CON $V_{pp} = 1V$
 $f_{ck} = 1 MHz$, DAC CON $LSB = 10 mV$

1. $\frac{dV}{dt}_{max}$ / NO ERRORS OVERLOAD

$$\cdot \text{NO ERRORS} \Leftrightarrow \frac{dV}{dt} \leq \frac{LSB}{T_{CK}} \rightarrow \left| \frac{dV_{in}}{dt} \right|_{max} = 2^{\tilde{n}} f_A \cdot LSB \cdot f_{CK}$$
$$\rightarrow f \leq \frac{10 mV \cdot 1 \cdot 10^6 Hz}{2^{\tilde{n}} \cdot 0,5 V} = 3,18 kHz$$

2. CALCOLARE IL MASSIMO DI TIEMPO DI CONVERSIONE (PER UN SEGNALE DA 0 A FS)

• ADC 8 bit $\rightarrow 2^8 = 256$ LIVELLI / 1 LIVELLO + CK

$$\rightarrow T_{conv,max} = 2^N \cdot T_{CK} = 2^8 \cdot \frac{1}{1 \cdot 10^6 Hz} = 256 \mu s$$

es. De 1.4

UN ADC AD APPR. SUCCESSIVE A 8 BIT HA IN INGRESSO UNA STIMABILE CON $V_{pp} = 1V$

$f_{ck} = 1 MHz$, DAC CON $LSB = 10 mV$

1. CALCOLARE IL CONVERSONE MASSIMO

$$\rightarrow T_{conv,max} = N \cdot T_{CK} = 8 \cdot \frac{1}{10^6 Hz} / N: 8 \text{ LIVELLI POSSIBILI IN QUESTO ADC}$$

2. GARANTIRE IL MIGLIOR DYNAMIC RANGE. DAVANTI AL MASSIMA VARIAZIONE DI VELOCITÀ DEL SEGNALE INGRESSO

$$\rightarrow \frac{dV}{dt} \leq \frac{LSB}{T_{CK}} \rightarrow 2^{\tilde{n}} f_A \leq \frac{LSB}{N \cdot T_{CK}} \rightarrow f \leq \frac{10 mV \cdot 1 \cdot 10^6 Hz}{2^{\tilde{n}} \cdot 0,5 V \cdot 8 \text{ bit}} = 387,9 Hz$$

es. De 1.5

CALCOLARE $N = \text{n° bit} / SNR_{max} = 32 dB$, SE CONSEGNALE SINUSOIDALE

1. CONSIDERANDO SOLO L'ERR. DI QUANTIZZAZ.

$$\cdot SNR_{q,max} = 6N + 1,76 dB \rightarrow N \geq \frac{32 dB - 1,76}{6}$$

$$\rightarrow N \geq 5,04 \text{ bit} \approx 6 \text{ bit}$$

2. CONSIDERANDO LA POTENZA DI RUMORE ROTANTE DOPPIA DELL' POTENZA DI RUMORE DI QUANTIZZAZIONE

$$\cdot SNR_{rot} = \frac{SNR_q}{2} \rightarrow 2 SNR_{rot} = SNR_q = 6N + 1,76 dB$$

$$\rightarrow N \geq \frac{2 \cdot 32 dB - 1,76}{6} \rightarrow N \geq 10,6 \text{ bit} \rightarrow N = 11 \text{ bit}$$

• De 2:

es. De 2.1

SEGNALI DI INGRESSO: UNIPOLARE DA $1V \pm 2V$, BANDA 0-15 kHz

CONVERTITORE A/D CON $V_{IN} = 0-5V$, $T_c = 1\mu s$

S/H CON τ_s ACQUISIZIONE $\tau_a = 700\text{ ms}$

Scrivere

$$\cdot T_s > T_c + \tau_a \rightarrow f_s < \frac{1}{7,7\mu s} = 588\text{ kHz}$$

$$\cdot V_{CHANNEL} \rightarrow f_s^{ch} < \frac{1}{4} 588\text{ kHz} = 147\text{ kHz}/ch$$

$$\cdot Nyquist: f_s > 2B = 2 \cdot 15\text{ kHz} = 30\text{ kHz} < f_s \rightarrow \text{OK}$$

$$\cdot MASSIMO FATTORIO DI SOVRACCARICO ANTENNA: \frac{147\text{ kHz}}{30\text{ kHz}} = 4,9, \therefore k = \frac{f_s^{ch}}{2B} = \frac{f_s}{f_{max}}$$

CONSIDERAZIONAMENTO:

• CONV. A/D: $0 \div 5V$, $T_c = 1\mu s$

\rightarrow MODELLA $V(t)$ IN IN PER ADATTARE AL CONV. $\rightarrow 1V \div 2V \mapsto 0V \div 5V$

\rightarrow RANGE: $1V \mapsto \pm 5V$ OFFSET: $0V \mapsto -5V$

AMPLIFICATORE: $L \rightarrow 5V \div 10V$ $L \rightarrow 0V \div 10V \rightarrow V$

• AMPLIFICATORE: $f_s = 5 \rightarrow G = \frac{\Delta V_o}{\Delta V_i} = 5 = \frac{5V}{1V}$

$$L \rightarrow f_s = 1 + \frac{R_2}{R_1} \rightarrow \frac{R_2}{R_1} = 4$$

• OFFSET:

$$\cdot V_{OFF,OUT} = \bar{V}_{ADC} - G \cdot \bar{V}_{IN} = \frac{V_{ADC,max} + V_{ADC,min}}{2} - G \frac{V_{IN,max} + V_{IN,min}}{2}$$

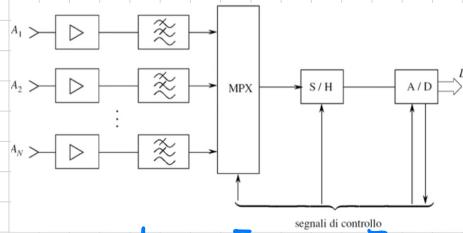
$$\cdot V_{OFF,IN} = \frac{1}{G} \cdot V_{OFF,OUT}$$

$$\rightarrow V_{OFF,OUT} = \frac{5V + 0V}{2} - 5 \cdot \frac{2V + 1V}{2} = -5V \rightarrow V_{OFF,IN} = \frac{1}{5} (-5V) = -1V$$

• PER OTTENERE $V_{OFF,OUT} = -5V$: POLARIZED AMPL.

$$\rightarrow -V_p \frac{R_2}{R_1} = -5V \rightarrow V_p = \frac{5V}{4} = 1,25V$$

1.

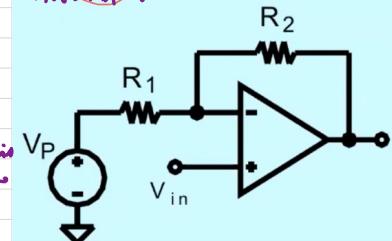


• f_s : $T_c = T_{ACQ}$

• f_{ch} : 2 kB

$$f_s = \frac{f_{ch}}{2B} \cdot f_{max}$$

AMPL. DI V



2. De 2.2

- CONSIDERANDO IL SIT. DI De 2.1

1. DETERMINARE IL CAMPO DI LAVORAZIONE DI COMPLIMENTO VITRIZZABILITÀ

$$\cdot f_s \geq 2B = 30 \text{ nHz} \quad e \quad f_s^{ch} \geq f_s \rightarrow \text{OK}$$

2. CARATTERISTICHE FILTRO DI INGRESSO / $\text{SNR}_a = 60 \text{ dB}$

$$\cdot \text{SIA } P = \frac{\text{SNR}_a}{A_p} \quad / \quad A_p = 20 \log_{10} \left(\frac{f_s^{ch} - B}{B} \right)$$

$$\rightarrow P = \frac{60 \text{ dB}}{20 \log_{10} \left(\frac{147 \text{ nHz} - 15 \text{ nHz}}{15 \text{ nHz}} \right)} = \frac{60 \text{ dB}}{18 \text{ dB}} = 3,2 \text{ povi} \rightarrow 4 \text{ povi}$$

3. $T_{JA,\max}$ / $\varepsilon_{JA} < 0,7\%$

$$\cdot \text{SIA } SR_{\max} = \frac{dV}{dt} = 2 \pi f_B A = 2 \pi \cdot 15 \text{ nHz} \cdot 5 \text{ V} = 0,24 \text{ V}/\mu\text{s}$$

$$\cdot \text{SIA } \varepsilon_{JA,\max} = 0,7\% \cdot A = 5 \text{ mV}$$

$$\rightarrow T_{JA,\max} = \frac{\varepsilon_{JA,\max}}{SR_{\max}} = \frac{5 \text{ mV}}{0,24 \text{ V}/\mu\text{s}} = 21 \text{ ms}$$

4. N BIT / $\varepsilon_q = \varepsilon_{D_1}$

$$\rightarrow \varepsilon_q = \varepsilon_a \rightarrow \text{SNR}_q = \text{SNR}_a = 60 \text{ dB}$$

$$\rightarrow 60 \text{ dB} = (6N + 1,76) \text{ dB} \rightarrow N = 9,7 \text{ bit} \rightarrow N = 10 \text{ bit}$$

2. De 2.3

• $\text{SNR}_{\text{TOT}} = \text{ENOB}$ / sistemi De 2.1 e De 2.2

$$\cdot \text{SNR}_j = 20 \log_{10} \left(\frac{S}{E_j} \right) / \frac{S}{E_j} = \frac{S}{0,7 \times S} \rightarrow \text{SNR}_j = 60 \text{ dB}$$

$$\rightarrow A_j = \frac{E_j}{S} = 0,001 = 10^{-\frac{60 \text{ dB}}{20}}, \quad A_s = \frac{E_s}{S} = 0,001, \quad A_q = \frac{E_q}{S} = 0,001$$

$$\rightarrow \text{SNR}_{\text{TOT}} = -20 \log_{10} \left(\sqrt{A_j^2 + A_s^2 + A_q^2} \right) = 55,2 \text{ dB}$$

$$\rightarrow \text{ENOB} = N = \frac{55,2 \text{ dB} - 1,76 \text{ dB}}{6} = 8,9 \text{ bit} \rightarrow 9 \text{ bit}$$

ex. De 2.4

$$SNR_{nor} \rightarrow ENOB / ADC \text{ su } 12 \text{ bit}, f_A = 100 \text{ kHz}, S/N \text{ con } T_s = 20 \text{ ms}, N_a = 0,1\% \text{ FS}$$

$$\stackrel{T_s}{\rightarrow} S = V_{pp}$$

$$\rightarrow SNR_q = 6N + 1,76 \text{ dB} = 6 \cdot 12 \text{ bit} + 1,76 \text{ dB} = 73,76 \text{ dB}$$

$$\begin{aligned} \cdot SNR_{sa} &= -20 \log_{10} \frac{\Delta V}{S} = -20 \log_{10} \left(\frac{T_s \cdot SR}{S} \right) / SR = 20 f_A \cdot \frac{S}{2} \\ &= -20 \log_{10} (2 \cdot 100 \text{ kHz} \cdot 20 \text{ ms}) = 50,1 \text{ dB} \end{aligned}$$

$$\cdot SNR_{nq} = -20 \log_{10} \left(\frac{N_a}{S} \right) = -20 \log_{10} \left(\frac{0,001 \cdot S}{S} \right) = 60 \text{ dB}$$

$$\rightarrow SNR_{tot} = -20 \log_{10} \left(\sum_i 10^{-\frac{SNR_i}{10}} \right) = 44,66 \text{ dB}$$

E1 - CIRCUITI DI POTENZA:

• DISPOSITIVI / LIMITI OPERATIVI / MOS e BJT:

• OCCORRE RESTARE LA POTENZA

su ALIMENTATORI e AMPLIFICATORI / CIRCUITI di POTENZA

↳ ALTO RENDIMENTO → PEGGIE PERDITE → SPRECHI RIDOTTI

• ENERGIA ELETTRICA DISTRIBUITA IN AC:

→ DISTRIBUITA ALTA TENSIONE, USATA A BASSA TENSIONE

• ENERGIA ELETTRICA UTILIZZATA IN DC:

→ CIRCUITI ELETTRONICI, ALCUNI MOTORI, PROCESSI ELETTROCHEMICI (ACCUMULATORE)

→ NECESSITA DI CONVERSIONE

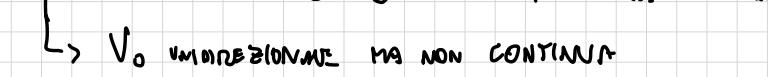
• CONVERSIONE AC/DC:

• PASSO I: $\begin{cases} \text{SE HO DC} \rightarrow \text{CONVERSO IN AC: uso INVERTER} \\ \text{SE HO AC} \rightarrow \text{NURA} \end{cases}$

• PASSO II: AC \rightarrow AC : uso TRASFORMATORE

• PASSO III: $\begin{cases} \text{SE SERV: AC} \rightarrow \text{NURA} \\ \text{SE SERV: DC} \rightarrow \text{CONVERSO IN DC: uso RADORIZZATORI} \end{cases}$

• RADORIZZATORE A SINUSOIDA SECONDA:

• V_i SORGENTE:  $\rightarrow V_o$: 

↳ V_o UNIDIREZIONALE MA NON CONTINUA

• C: PERMETTE DI MANTENERE $V_o \approx \text{cost.}$

$\rightarrow V_o$ È IN DC CON ONDULAZIONI.

• DIODI ZENER: ~ GUARDAZ SETM

• 3 V_z DI BREAKDOWN

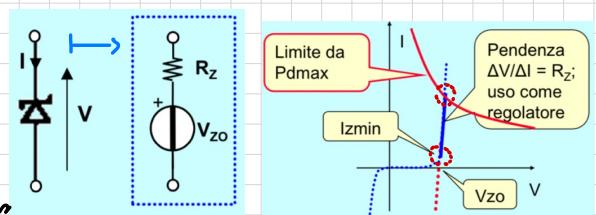
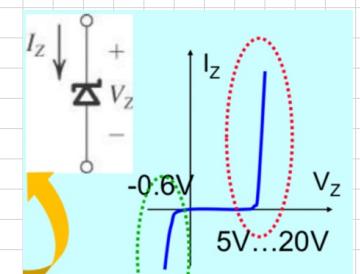
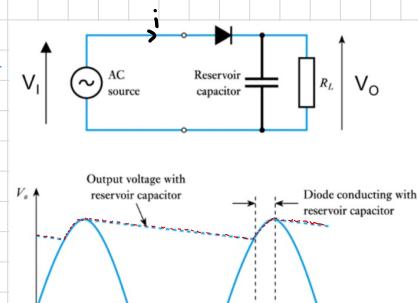
• USAGI PER: CIRCUITI DI PROTEZIONE, REGOLATORI DI TENSIONE, GENERARE TENSIONI DI RIFERIMENTO

• LAVORANO IN POLARIZZAZIONE INVERSA (BREAKDOWN)

• CIRCUITO EQUIVALENTE:

$$\cdot V_z \approx V_{z0} / \cdot I_{z,\min}: i \text{ minima per uscire dalla ZONA di "bilancio"}$$

$$\cdot R_z = \frac{\Delta V}{\Delta I} / \cdot I_{z,\max}^{\text{no } P_d \text{ max}}: \text{limite da temperatura}$$



• V_{BR} può essere utilizzata come differenziale

$\rightarrow V_o \approx V_{BR}$ anche con V che varia

• R limita la corrente negativa: $I \approx (V - V_{Z0})/R$

• PUNTO DI FUNZIONAMENTO:

• caratteristica $I(V) = (V_{SU} - V)/R$

• TENSIONE D'USCITA V :

$V = V_a$, poiché $V_{BR} \ll V$ al variare di $I \ll V_{SU}$

• DISPOSITIVI BIPOLARI (BJT) DI POTENZA:

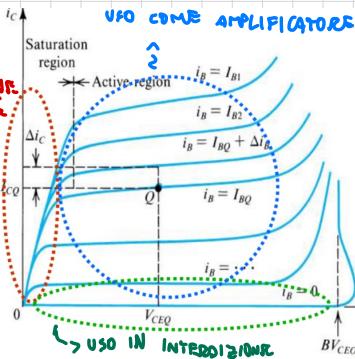
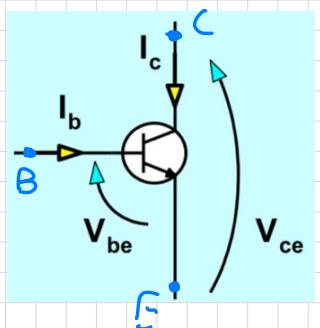
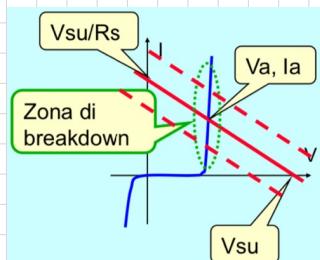
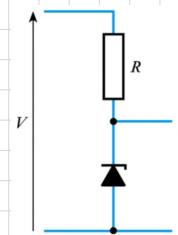
• RETTE: usate per transistori BJT: $I_c = \beta I_b$

• PARAMETRI:

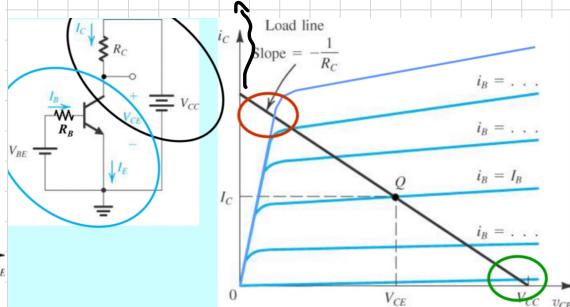
• $V_{CE,BR}$: $V_{CE,BR}$ di breakdown, $V_{CE,sat}$: V_{CE} di saturazione

• β : gain in corrente, $I_{c,max}$: I_{max} sul collettore

• PARAMETRI TERMICI: $P_{d,max}$: potenza max, Θ_R : R termico



RETTE DI CARICO



• ELEVATA $V_{CE,sat}$: $\Rightarrow I_c \approx 0,1V \div 1V$

• $\downarrow \beta \Rightarrow \uparrow I$

• COMPORTAMENTO CRITICO IN PROSSIMITÀ DELLA SATURAZIONE

$\rightarrow I_c$ ELEVATA: V_{ce} RESIDUA \rightarrow P dissipare fusibile

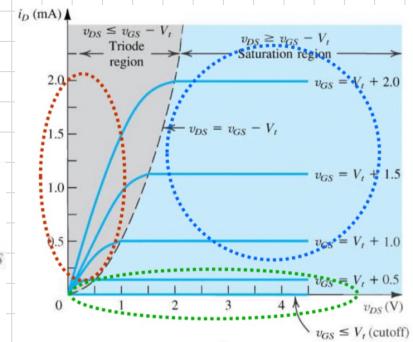
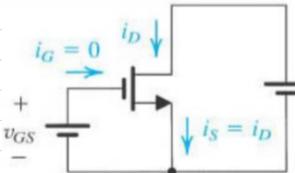
• CRITERI DI PROGETTO: GARANTIRE SATURAZIONE PROFONDA

MOS-FET DI POTENZA: \Rightarrow VARIOG SETM

- È A ACTA E POSSA CORRENTE

- \langle ON $\Rightarrow R_{ON}$ •
- OFF $\Rightarrow I_{OFF}$ •

- IN SATURAZIONE \rightarrow AMPLIFICAZIONE
 \hookrightarrow SIGNIFICA AVERSO RISCEMI A BJT



CONFRONTO MOS-FET / BJT:

- MOS-FET: MAGGIORI VELOCITÀ DI COMMUTAZIONE, MAGGIORI (\rightarrow) DI TRASFERIMENTO

- .. : RICHIESTE CIRCUITI DI PILOTAGGIO PIÙ SEMPLICI

- NO I_{DC} NEL MATE \rightarrow SENO CARICA C_{GS}

- COMMUTAZIONE PIÙ RAPIDA, PILOTAGGIO: CORRENTE IMPULSIVA ELEMENTARE

- STATO ON: BJT $\rightarrow V_{CE,SAT} + R_{ON}$, MOS-FET $\rightarrow R_{ON}$

(SIANO OFF: I_{OFF} PER AUTONOMIA)

LIMITI OPERATIVI:

- V_{BR} : CON TENSIONI TROPPO ALTE VENGONO PERDUTE LE SOLARITÀ

- I_{max} : SE I TROPPO ALTI \rightarrow POSSIBILITÀ FUSIONE CIRCUITI

- P_{max} : $T_c \leq P$ \rightarrow DANNEGGIAMENTO GUANZIUM SE T TROPPO ALTA

- T_{max} : SILICO E METALLI POSSONO FONDERSI \rightarrow MODIFICA DUREZZA, INTERRUZIONI FUNZIONALMENTE

- Safe Operating Area (SOA): REGIONE DI V, I, P ACCETTABILI

$$\hookrightarrow P_{d,I} = V \cdot I \leq P_{d,max} :$$

- BREAKDOWN SECONDARIO: RISCHI DI MURO LOCALI E DERIVA TERMICA

- DEFINIZIONE DELLA POTENZA:

POTENZA DISPONIBILE $P_{d,max}$ $\quad T_{max}$ DI LUNGHEZZA.

- IL FABBRICANTE SPECIFICA $P_{d,I,max}$ E $T_{J,max}$

- $P_d \rightarrow$ $\uparrow T$ NEGLI AMBIENTI (T_A)

- $\uparrow T_A \rightarrow \downarrow P_d$

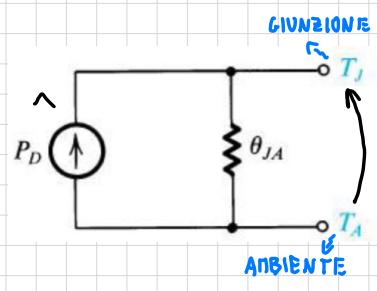
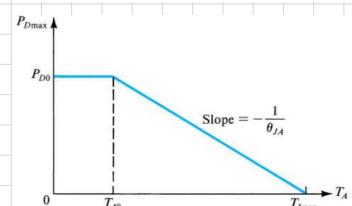
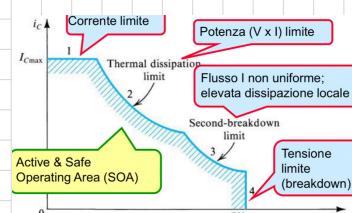
- MODELLO TERMICO:

CIRCUITO EQUIVALENTE: $\left\{ \begin{array}{l} \text{POTENZA } P_d \xrightarrow{\text{GEN. DI } I} \\ \text{TEMPERATURA } T \xrightarrow{\text{TENSIONE}} \\ \text{CORR. CALORE} \xrightarrow{\text{RESISTENZA TERMICA } \theta \left[\frac{^{\circ}\text{C}}{\text{W}} \right]} \end{array} \right.$

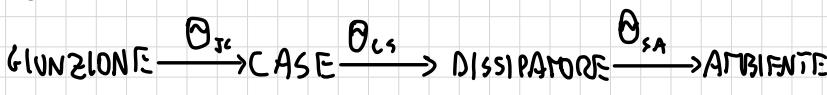
$$\rightarrow T_J - T_A = P_d \cdot \theta_{JA} \rightarrow T_J = T_A + P_d \cdot \theta_{JA} < T_{J,max}$$

$$\rightarrow P_d < \frac{T_{J,max} - T_A}{\theta_{JA}}$$

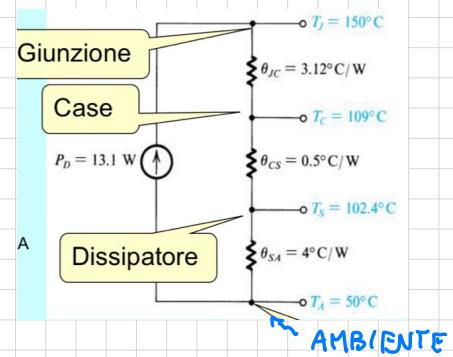
(PER IL SILICO: $T_{J,max} = 150^{\circ}\text{C}$)



- R_θ DATA GIUNZIONE ALL'AMBIENTE :



- θ_{JC} : RESISTENZA TERMICA LEGATA AL COOLER
 - θ_{CS} : BLOCCAGGIO CASE / DISSIPATORE
 - θ_{SA} : DISSIPAZIONE = CONDIZ. OPERATRICE (VENTILAZIONE)
- \rightarrow IL PROGETTISTA PUÒ INTERVENIRE SU θ_{CS} E θ_{SA}



es. DATASHEET TIP 30

$$\cdot T_j / P_d = 0,8 \text{ } \text{K/W}$$

$$\rightarrow \Delta T_j = T_j - T_A = P_d \cdot R_{\theta JA}$$

$$\rightarrow T_j = T_A + P_d \cdot R_{\theta JA} = 25^\circ\text{C} + 0,8 \text{W} \cdot 62,5 \text{ } \text{K/W} = 75^\circ\text{C}$$

$$\cdot \text{calcolare dissipatore } (\theta_{CS} + \theta_{SA}) / P_d = 5 \text{W}, T_A = 50^\circ\text{C}$$

$$\rightarrow P_d < \frac{T_{j,\max} - T_A}{\theta_{JA}} \rightarrow \theta_{JA} > \frac{T_{j,\max} - T_A}{P_d} = \frac{150^\circ\text{C} - 50^\circ\text{C}}{5 \text{W}} = 20 \text{ } \text{K/W}$$

$$\rightarrow \theta_{JA} = \theta_{SC} + \theta_{CS} + \theta_{SA} < 20 \text{ } \text{K/W} \rightarrow \theta_{CS} + \theta_{SA} < 20 \text{ } \text{K/W} - \theta_{SC} = 16,8 \text{ } \text{K/W}$$

• VSO o BJT e nMOS come Interruttori:

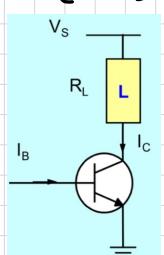
$$\cdot \text{POTENZA DISSIPATIVA: } \begin{cases} \text{STATO ON/OFF: } P_d = 0, \because V/I \leq 0 \\ \text{STATO Interruttore: } P_d \neq 0 \end{cases}$$

$\rightarrow P_d$ si misura sui transitori, commutaz. veloci \rightarrow strumenti BCD404 (EMI)

• PILOTAGGIO LOW SIDE di SW BJT:

- ON BJT npn: inserire un resistor, collego sul collector, comando per bassa

$$\begin{cases} \text{STATO ON: } I_c \approx V_s / R_L, \text{ formule } I_B \text{ sufficienti: } I_B \gg I_c / \beta \\ \text{STATO OFF: } I_B = 0, V_{BE} < V_{BE,ON} \end{cases}$$

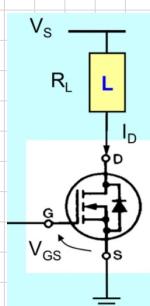


• PILOTAGGIO LOW SIDE di SW nMOS:

- Collego comando a V_s , interruttore verso massa

- con nMOS: source a GND, L su DRAIN, comando accese

$$\begin{cases} \text{STATO ON: formare sufficiente tensione al GATE, } V_{GS} \gg V_T \\ \text{STATO OFF: } V_{GS} < V_T \end{cases}$$



• PROTEZIONI DA SOVRAUTENSI:

I CARICHI INDUTTIVI POSSANO GENERARE SOVRAUTENSI SIGNIFICATIVE ALL'ACENSIONE

→ NECESSITA DI PRENDERSI UN PERCORSO PER I_L DURANTE ON \rightarrow OFF

→ LIMITARE LA TENSIONE SU COLETTORE / DRAIN

• DIODO DI CLAMP (CLAMP):

FORMA UN PROTEZIONE A BASE IMPEDIMENTA PER L'ENERGIA ACCUMULATA IN L

→ BUONO SW APERTO: $I_{L,ON}$ ACCUMULATA IN L PUÒ CIRCOLARE ATTROVNO IL DIODO

• PILOTAGGIO SW MOS DA CIRCUITI LOGICI:

• SE $V_T \ll V_{OH}$: PILOTAGGIO DIRETTO DA LOGICA

• I MOS DI POTENZA HANNO ELEVATE CAPACITÀ DI GATE:

→ TRANSIZIONI RAPIDE PER LIMITARE LE OSSIDAZIONI

→ ELEVATA CORRENTE DINAMICA ($\approx 1-5\text{ A}$) PER OGNI VSCOCE DI C_G

• L PARASSITARIA DI GATE E C FORMANO RISONATORE LC

→ PUÒ DETERMINARE SOVRAUTENSI SUL GATE

→ NECESSARIO R DI SMORZAMENTO (DAMPING) VICINO AL GATE

• CAVO FLUTTUANTE: PONTE AD H:

• COMANDI COMPLEMENTARI SUI 2 ILM: S1-S4 oppure S2-S3

• PILOTAGGIO:

• S2-S4: LOW-SIDE (COME PRIMA)

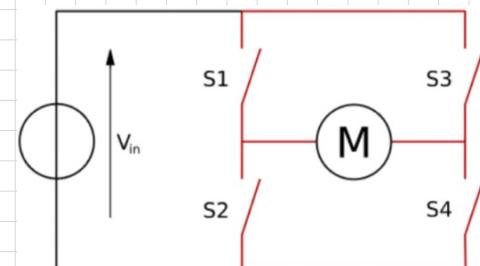
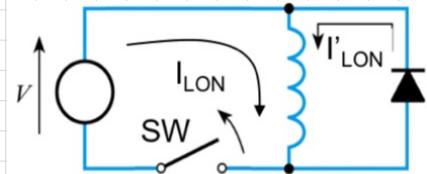
• S1-S3: HIGH-SIDE (PIÙ COMPLESSO)

→ PERMETTE DI INFERIRE V_E E I_E SUL WORKING POINT

• NECESSARI 2 COMANDI: ACTIVE/OFF E DIRECTION

• SE CAVO OFF \sim NO CONSUMI

• USATO ANCHE PER AMPLIFICATORI (NO DC A RIPOSO)



E2 - SISTEMI DI ALIMENTAZIONE:

MAGNA o' INGRESSO:

L'INTERRUTTORE ON/OFF DI RETE ISOLA
L'ALIMENTAZIONE

FILTRIO D'INGRESSO: FILTRO PASSIVO, BLOCCA INTERFERENZE CONDUTTE

FUSIBILE: SI APRE IN CASO DI CORRENTE ECESSIVA

TRASFORMATORE: PORTA V_{AC} A UN VACUO GIUBERTO, CON GRANDE EFFICIENZA

CONVERSIONE AC-DC:

AC \rightarrow DC

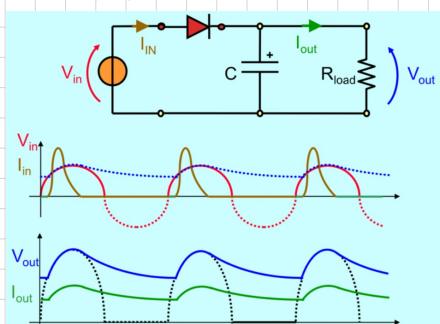
RICHIEDE RADDIRIZZATORE + FILTRO (ANALOGICO)

RADDIRIZZATORE: TRASFORMA AC POLARE \rightarrow V UNIPOLARE, USANDO DIODI

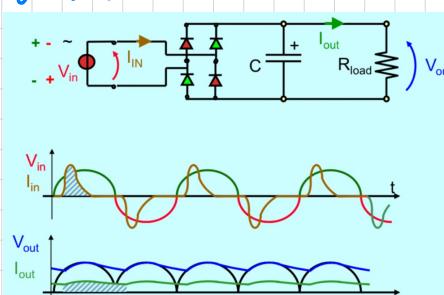
\rightarrow LA TENSIONE RADDIRIZZATA HA UNA COMPONENTE DC E UN'ALTRA ARMONICA IN AC

FILTRO: RIMUOVE/RIVOLVE LE COMPONENTI AC, DC PASSA SENZA ATTIVAZIONE

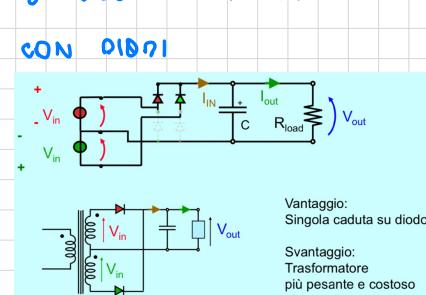
RADDIRIZZATORE A SINGOLA SEMIONDA



RADDIRIZZATORE A Onda INTERA



RADDIRIZZATORE A Onda INTERA CON DIODI



FLUSSO DI CORRENTE:

1° ciclo: corrente continua di C (o filtro), chiamata "IN RUSH"

A REGIME: $I_{picco} > I_{media,out}$ ($\approx \times 5$), CHIOMA SUL GRAPPO

ONDUZIONE IN USCITA:

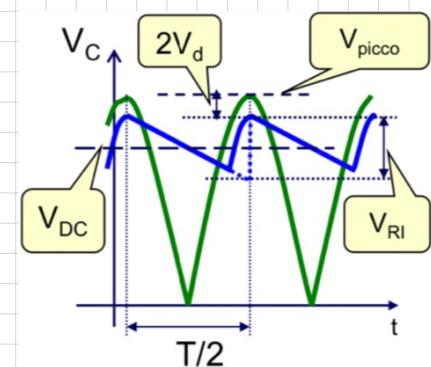
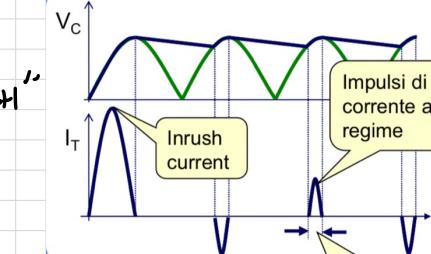
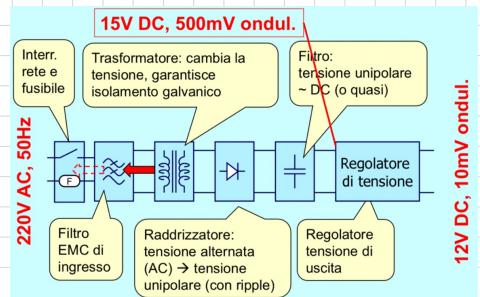
Tip semplificativo: si tratta UNIPOLARE DI C, ONDUZIONE A Onda DI 25/50

$$\text{TENSIONE DI RIPPLE: } V_{RI} = \frac{I_0 \cdot \frac{T}{2}}{C} = \frac{I_0}{2fC}$$

$$\text{TENSIONE D'USCITA: } V_{DC} = V_{picco} - \frac{1}{2} V_{RI}$$

$$\hookrightarrow \text{SE } \exists \text{ omondo: } V_{DC} = V_{picco} - 2V_d - \frac{1}{2} V_{RI}$$

$$sv \frac{V}{C} \downarrow \sqrt{2} V_{eff}$$



• SVANTAGGI DELLA STRUTTURA "CLASSICA":

- TRASFORMATORE A f DI RETE $\approx 50/60 \text{ Hz}$: INGOMBRANTE, PESANTE, COSTOSO
- PER AVERE BASSA ONDULAZIONE: ALTE CAPACITÀ DI FILTRO \rightarrow INGOMBRATO, COSTO
FORMI CORRENTI IMPULSIVE \rightarrow PROBLEMI NEL ^{EMI} D, INTERFERENZA.
- > STRUTTURE ALTERNATIVE: REGOLATORI ATTIVI \rightarrow RIDUCONO ONDULAZIONE
- ALIMENTATORI A COMUTAZIONE: SPOSTANO IL TRASP. A f AL DI FUORI
 \hookrightarrow ALTO RENDIMENTO, DIMENSIONI RIDOTTI

• REGOLATORE DI TENSIONE IN USCITA:

IL REGOLATORE DI V FORMA UNA $V_o = \text{cost.}$

$$\rightarrow \text{VAR. SU } i \text{ NEL CIRCUITO: } S_L = \frac{\Delta V_o}{\Delta I_L} \rightarrow R_o = S_L$$

$$\rightarrow \text{RISPARMIO IN } f_{ON/OFF}: S_i = \frac{\Delta V_o}{\Delta V}, \rightarrow \text{RIDUZIONE DI ONDULAZIONE.}$$



• REGOLATORI ATTIVI (LINEARI):

• OBIETTIVO: $V_o = \text{cost.}$, PER VAR. DI V_i, L

• 2 TECNICHE:

• REG. PARALLELO: USA PART. DI I , AGENDO SUL RAZZO R_p

• REG. SERIE: USA PART. DI V , AGENDO SUL RAZZO R_s

• REGOLATORE PARALLELO (D ZENER):

• MOLTO SENZUALE, ^{PER AVERE PIÙ DOSE} BASSA EFFICIENZA, RIF. DI V SONO REG. PARALLELO

• $I_{z,\min} = 5 \text{ mA} < I_z < I_{z,\max}$ ^{PER LIMITARE} ^{PIÙ DISIPATI}

• $I_{z,N} = \text{cost.}$

• REGOLATORE SERIE:

SI COMPORTA COME UNA R VARIABILE: R È UN BJT o MOS

IL CNT (controllore) CONFRONTA V_o COL RIFERIMENTO V_r

• $V_o < V_r$

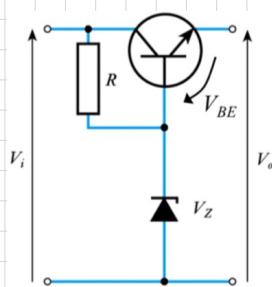
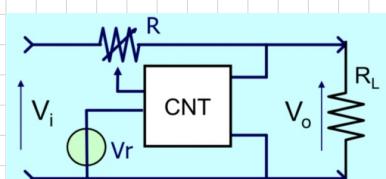
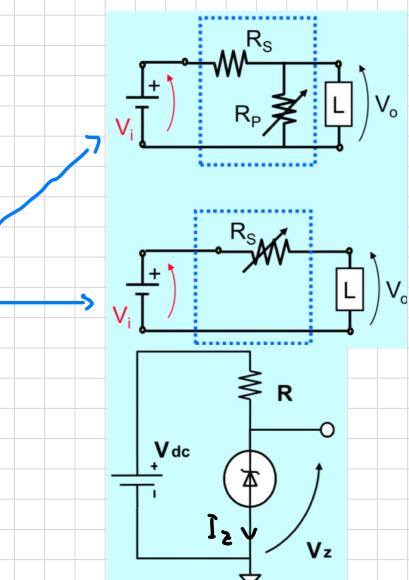
• REGOLATORE R-ZENER:

• RIPARTE LA CORRENTE I TRA D_z E CIRCUITO

• BASSO RENDIMENTO, CORRENTI GESTIBILI LIMITATE

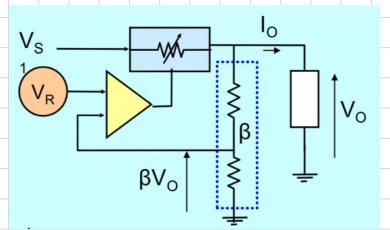
$$\cdot V_o = V_z - V_{BE} \rightarrow \text{STESO } S_i$$

• POSSIBILI AMPLI VAR. DI i NEL CIRCUITO: $\Delta I_o = \Delta I_z \rightarrow R_o(S_i)$ PIÙ BASSA



• REGOLATORI CON REAZIONE:

CONFRONTA UNA PUAZ. β DI V_O CON LA V_O REFERENZIALE V_R , SECONDO MANTENERE $\beta V_O = V_R$
 -> OCCHIO UN RIF. DI V



• REGOLATORI CON OP. AMP e BJT:

BJT USATO COME STADIO DI POTENZA CONETTO COMUNICA

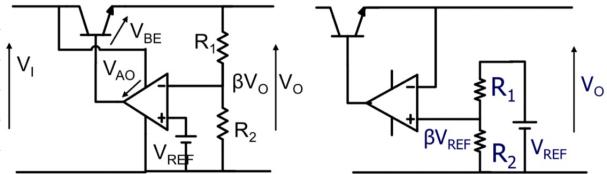
$$\left\{ \begin{array}{l} \text{SE } V_O > V_{REF} \rightarrow \beta V_O = V_{REF} \\ \text{SE } V_O < V_{REF} \rightarrow V_O = \beta V_{REF} \end{array} \right.$$

$$\text{• QUOTTA DI } V_I \sim V_O : V_{AO} (\text{AMPO DI OP. AMP}) + V_{BE}$$

• RENDIMENTO DI REGOLATORI SERIE:

• PERDITA DI QUOTTA DI V E DI PERDITA: NORMALMENTE $I_{USAK} \ll I_{OUT}$

$$\Rightarrow \eta = \frac{P_{OUT}}{P_{IN}} = \frac{V_{OUT} (I_{IN} - I_{USAK})}{V_{IN} I_{IN}} \approx \frac{V_{OUT}}{V_{IN}}$$



• PER $\uparrow \eta$: RIDURRE QUOTTA V , RIDURRE CORRENTE DI PERDITA, USARE RIF. A CORRENTE ZENF.

• REGOLATORI COMMERCIALI

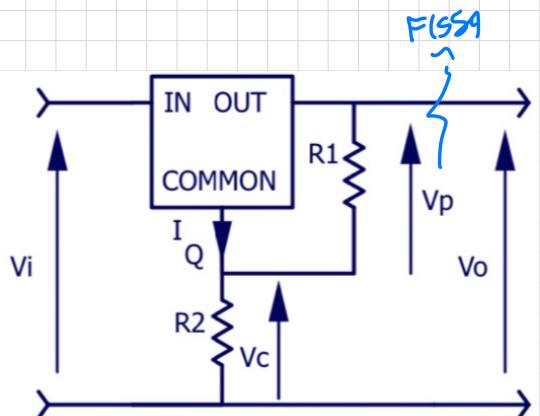
• REGOLATORI A 3 PIN:

MANTENERE V_p TRA OUT E COMMON

$$\cdot \text{TRASFERENDO } I_Q : \begin{cases} V_p = V_o \frac{R_1}{R_1 + R_2} \\ V_o = V_p \frac{R_1 + R_2}{R_1} / R_2 \end{cases}$$

• SE $I_Q, R_2 \rightarrow$ EQ. TUTTOWIN:

$$V_o = V_p \frac{R_2 + R_1}{R_1} + I_Q R_2$$



E3 - REGOLATORI A COMUTAZIONE

- ENERGIA CONTROLLATA TRAMITE UN Interruttore
- CONTROLLO MODIFICANDO IL DUTY-CYCLE
- ALTO RENDIMENTO
- FILTRAGGIO PASSA-PASSO IN USCITA:

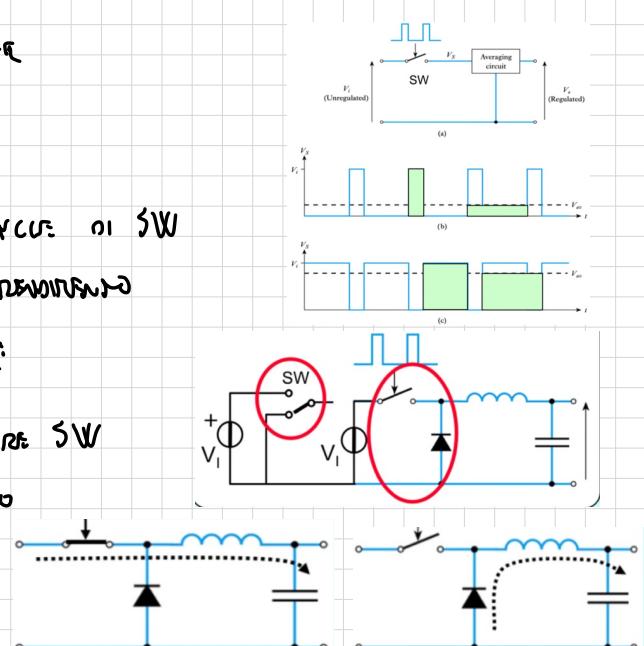
{ ON → MASSIMA POTENZA
 OFF → POTENZA ZERO
 } > FILTRAGGIO PASSA-PASSO VERSO IL CARICO

- È AL CARICO COME Onda RETTIFICATA
- \bar{V} c) DUTY CYCLE
- SEGNALE A FREQUENZA RENDIP → NECESSITA FILTRAGGIO IN USCITA
 \rightarrow PUÒ ESSERE INTRINSECO NEL CARICO (ATTUAZIONE MECCANICA)
- { RC → PERDITA SU R , BASSE POTENZE
 } LC → BASSI PERDITE, ALTE POTENZE

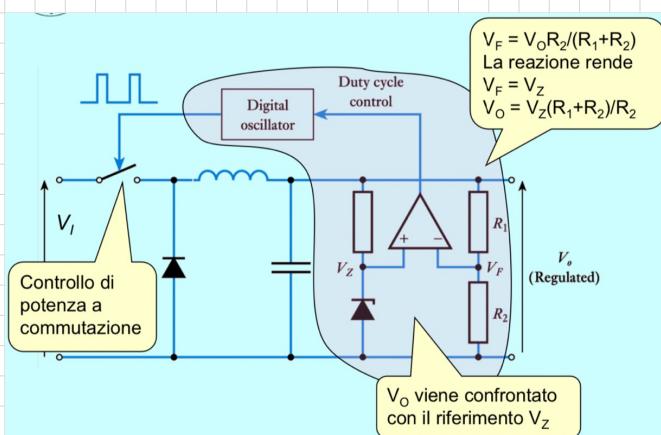
REGOLATORI A COMUTAZIONE:

- AMPL. IN CLASSE D
- POTENZA AL CARICO CONTROLLATA DAL DUTY CYCLE DI SW
- IL CARICO "MEDIA" L'ENERGIA, ALTO RENDIMENTO
- ACCUMULO & FILTRAGGIO CON RETE LC:

- Onda quadra generata da un oscillatore SW
- Ratio di SW regolato con un gioco
- L : TENDE A MANTENERE $i = \text{cost.}$
- SE SW APERTO $\rightarrow i$ NEL 0/1000



REGOLATORE SWITCHING CON RETEZIONE



TIPI DI REGOLATORI A COMMUTAZIONE:

- DC \rightarrow DC :
 - BUCK : $V_{out} < V_{in}$
 - BOOST : $V_{out} > V_{in}$
 - BUCK-BOOST : POLARITÀ INVERSA
 - FLYBACK : ISOLAMENTO GALVANICO

V : η ACTO, NO ACTA DISSIPAZIONE, PERDITA SOLO DA ELEM. PASSIVI: S, W, L, C

S : ON-OFFZIONE IN USCITA, INTERFERENZE GENERATE

REGOLATORE BUCK:

- SW1 ON : ON/OFF-CYCLE D NGU' INNITANZA
- $\rightarrow V_L = V_{in} - V_{out} > 0 \rightarrow \uparrow i_L$

- SW2 ON : ON/OFF CYCLE 1-D

$$\rightarrow V_L = -V_{out} < 0 \rightarrow \downarrow i_L$$

STATO ON:

- SW1 CHIUSO, I DA V_{in} A V_{out} , TRAMITE L V_L

$$\bullet \rightarrow i_L = \frac{1}{L} \int_{-\infty}^t V_L(t) dt, \Delta i = \frac{(V_{in} - V_{out}) \cdot T_{on}}{L}$$

$\hookrightarrow V(t) = L \frac{di(t)}{dt}$

STATO OFF:

$$\bullet \rightarrow \Delta i = \frac{(V_{in} - V_{out}) T_{off}}{L} = \frac{V_{out} T_{off}}{L}$$

$$\bullet \bullet D = \frac{V_{out}}{V_{in}}$$

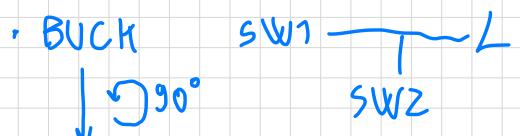
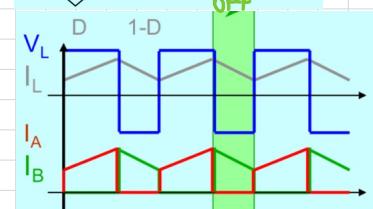
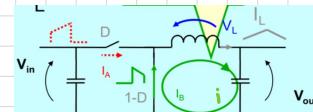
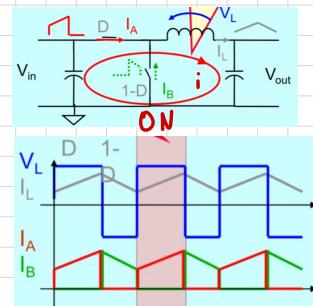
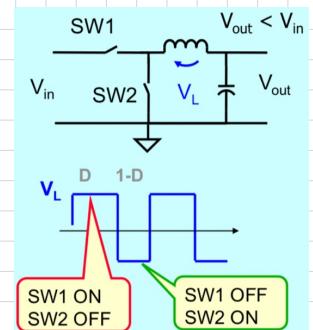
RENDEIMENTO:

- IN BASE AI RISULTATI PREVI: $V_o, S, W, L, C, \text{ecc.}$

$$L, \eta \leftarrow \int_{\text{COMMUTAZIONE}}$$

COMPORTAMENTO DI UN' INNITANZA

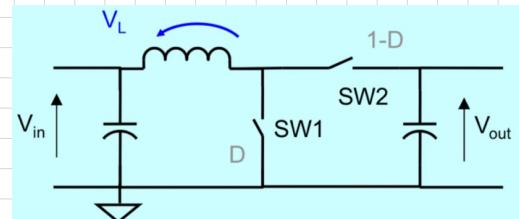
- Induttanza ideale
 - No gradini di corrente!
 - $R_s = 0$
 - Tensione applicata $V_L(t)$
- Risposta a gradino V
 - Rampa di corrente (I)
- Pilotaggio con $V(t)$ a onda quadra
 - Corrente $i(t)$ triangolare



REGOLATORE BOOST:

- rispetto a BUCK: SW1 \leftrightarrow L

L FUNZ. E ANALISI SIMUL, V_{out} > V_{in}, SW2 REGOLAZ. CON PIODDU



- STATO ON. $\rightarrow V_{in} = V_L$

$$\rightarrow \Delta i = \frac{V_{in} \cdot T_{on}}{L}$$

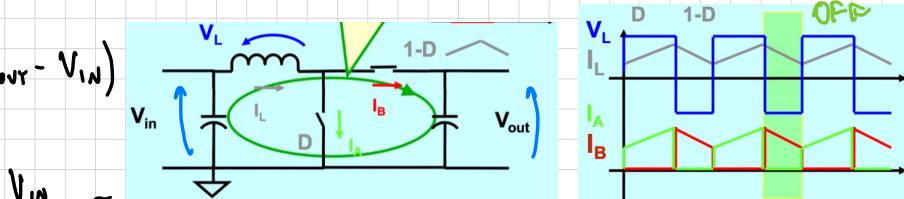
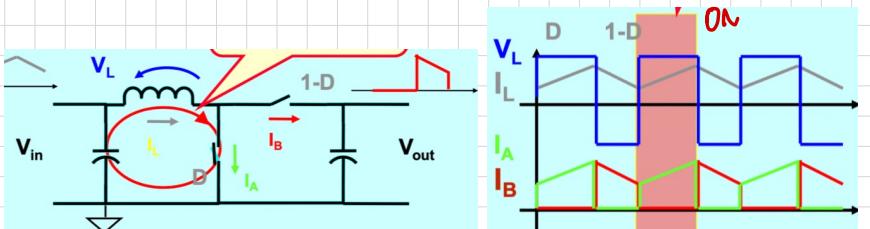
STATO OFF:

$$\text{SW APERTO: } V_L = -(V_{out} - V_{in})$$

i_L è UNA RAMPA

$$\rightarrow \frac{V_{in}}{L} \cdot T_{on} = \frac{V_{out} - V_{in}}{L} \cdot T_{off}$$

$$\therefore \frac{V_{out}}{V_{in}} = \frac{1}{1-D}$$



$L \downarrow 90^\circ$

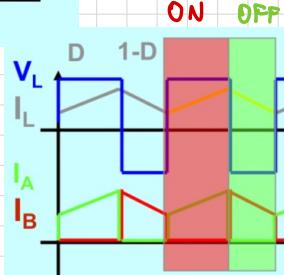
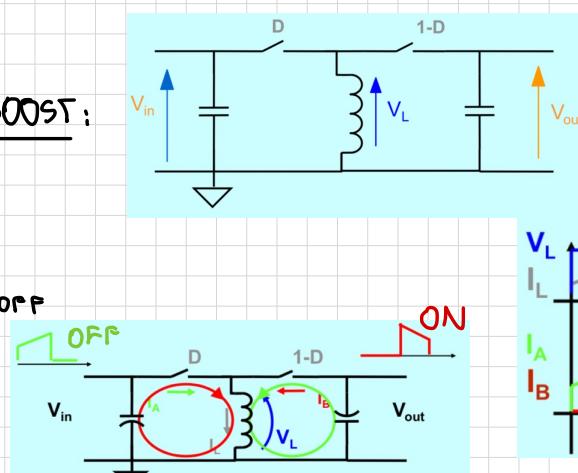
SW1 — SW2

REGOLATORE BUCK · BOOST:

- V_{out} < 0 se V_{in} > 0

$$\rightarrow \frac{V_{in}}{L} \cdot T_{on} = - \frac{V_{out}}{L} \cdot T_{off}$$

$$\therefore \frac{V_{out}}{V_{in}} = - \frac{D}{1-D}$$



CONTINUOUS CURRENT MODE (CCM):

$$\left\{ \begin{array}{l} \text{se SW chiuso: } V_L = V_i \rightarrow \uparrow i_L \text{ LINEARE} \\ \text{se SW aperto: } \downarrow i_L, \text{ FLUSCO TRAVERSO} \end{array} \right.$$

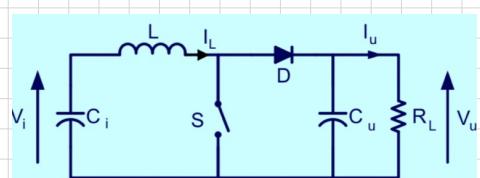
- CCM: $i_L > 0$

ANALISI CCM:

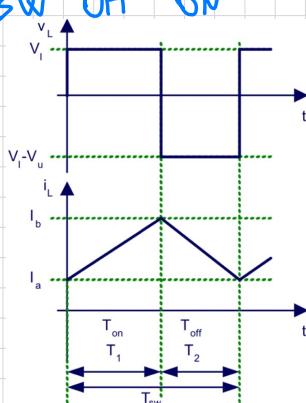
$$\text{SW chiuso: } \left\{ \begin{array}{l} i_L(t) = I_a + t \cdot \frac{V_i}{L} \\ T_1: I_b - I_a = T_1 \frac{V_i}{L} \end{array} \right.$$

$$\text{SW aperto: } \left\{ \begin{array}{l} i_L(t) = I_b + t \cdot \frac{(-V_u + V_i)}{L} \\ T_2: I_b - I_a = T_2 \frac{(V_u - V_i)}{L} \end{array} \right.$$

$$\therefore V_u = V_i \cdot \frac{(T_1 + T_2)}{L}, \quad \frac{V_u}{V_i} = \frac{1}{1-D}$$



SW OFF ON



CORRENTE D'INGRESSO:

- $I_s = I_L$ FINISCE QUANDO SW CHIUSO
- $I_{in} = \bar{i}_L$, IN C: $I_C = I_L - I_i$

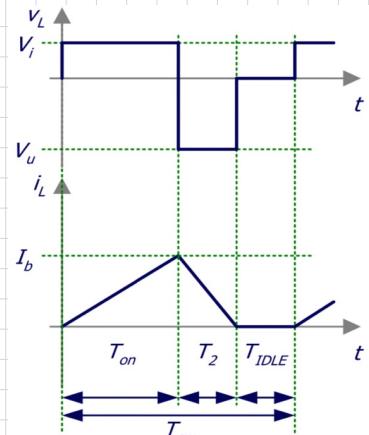
CORRENTE D'ESCITA:

- QUANDO SW APERTO \rightarrow i circuiti IN D

$$\cdot I_u = \bar{i}_o$$

DISCONTINUOUS CURRENT MODE (DCM):

- $I_{in} = 0$ DURANTE T_{IDLE} / 3 INTERVALI: T_{on}, T_2, T_{idle}
- $\frac{V_{in} \cdot T_{on}}{L} = (V_i - V_u) \frac{T_2}{2}$
- $\frac{V_u}{V_i} = \cdot \frac{T_{on}}{T_2}$ NON NORD A MIGLIORI



ALIMENTATORE FLY-BACK:

FORNISCE ISOLAMENTO GALVANICO

- BUCK-BOOST / TRASFORMATORE $L \rightarrow L$

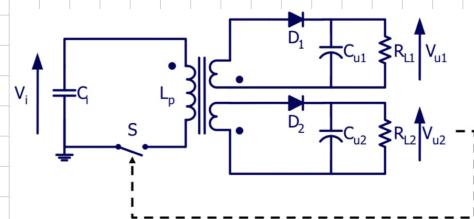
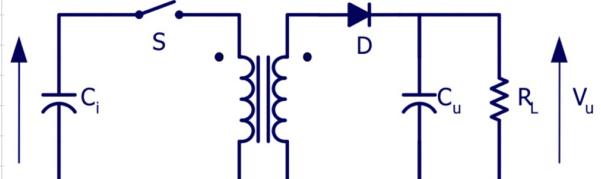
- PER REGOLAZIONE OCCORRE RETRASMISSIONE ISOLATA: ACCOPPIAMENTO OTICO

FLY-BACK A PIÙ USCITE:

- SW D'INGRESSO LOW-SIDE (COMUNA SENNDA)

- USCITE MULTIPLE (ISOLATE)

- RETRASMISSIONE DI REGOLAZIONE CON ACCOPPIAMENTO OTICO



ALIMENTATORE A COMMUTAZIONE:

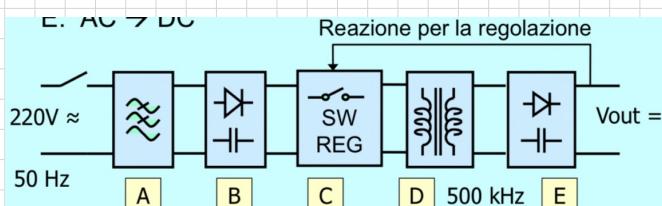
A. FILTRO EMI

B. AC (NETS) \rightarrow DC

C. RETR. A COMMUTAZIONE: DC \rightarrow AC

D. AC \rightarrow AC : se ALTA, TRASFORMATORE PICCOLO

E. AC \rightarrow DC



E4 - BATTERIE e ACCUMULATORI :

• PARAMETRI DI UNA BATTERIA:

• $P \rightsquigarrow$ STRUTTURA CHIMICO / FISICA, V SIMBOLO CELLA, I ERGOBARE, CURVA DI SCARICA $V(t)$, AUTOSCARICA

• PRESTAZIONI: CAPACITÀ PER UNITÀ PESO / VOLUME

• PER ACCUMULATORI: MODALITÀ E PARAMETRI DI CARICA

• BATTERIE NON RicARICABILI (PRIMARY): $\rightsquigarrow *P$ VALEI

• PRESTAZIONI: C) CAPACITÀ PER UNITÀ PESO / VOLUME

• TIPOLOGIE: ALCALINE, LITIO

• CARATTERISTICHE:

$$\text{ENERGIA / PESO} : \left[\frac{\text{Wh}}{\text{kg}} \right], \text{TENSIONE}$$

• BATTERIE RicARICABILI / ACCUMULATORI:

ULTERIORI PARAMETRI ↗

• PARAMETRI $*P$ + n^o CICLI CARICA / SCARICA

• TIPOLOGIE: PIOMBO \rightarrow BASSO COSTO, Pb RICARICA, $P_{\text{massa}} / \text{mese}$,

NICKEL \rightarrow BASSO PESO, Li-Ion \rightarrow ALTO PESO / PRESTAZIONI

• TECNOLOGIE:

• Pb (acido acio): GRANDE CAPACITÀ, BASSO COSTO

• Ni: MEDIA DENSITÀ DI ENERGIA

• Li-ION: 2x DENSITÀ ENERGIA RISPETTO a Ni

GRANDE IMPRESA, COSTO MAGGIORI

• CARATTERISTICHE:

• V PER CELLE: Pb $\rightarrow 2V$, Ni $\rightarrow 1.2V$, Li $\rightarrow 3V$

• E / PESO: Pb $\rightarrow 35-60 \frac{\text{Wh}}{\text{kg}}$, Ni $\rightarrow 60-120 \frac{\text{Wh}}{\text{kg}}$, Li $\rightarrow 100-265 \frac{\text{Wh}}{\text{kg}}$

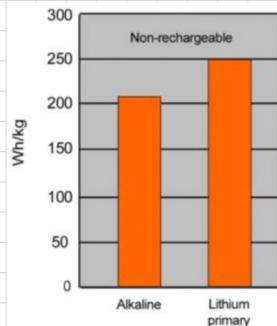
• I DI CARICA: Pb $\rightarrow 180 \frac{\text{W}}{\text{kg}}$, Ni $\rightarrow 250-1000 \frac{\text{W}}{\text{kg}}$, Li $\rightarrow 250-340 \frac{\text{W}}{\text{kg}}$

• MODALITÀ CARICA Li-ION:

• INFLUENZA SU CAPIZITÀ E n^o CICLI DI CARICA

• CARATTERISTICHE:

$$V = \text{cost.} \times 4,2V, \text{ CON LIMITATORE } I$$



- Tensione nominale V_b (V) (carica a 50% della capacità)
- Capacità C (Ah): I erogabile per 1 ora ($I \times T$ varia a seconda di I ...)
- Densità di energia (Wh/kg o Wh/l)
- Modalità di carica (V costante, I costante, ...)
- Corrente di carica c (A)
- ESR (Equivalent series resistance): Impedenza equivalente
- Curva di scarica ($V(t)$): dipende da $I(t)$
- Auto-scarica (%carica/mese)
- Campo temperatura
- Energia specifica (per kg)
- Efficienza
- Durata utile (numero cicli carica/scarica)
- Campo di temperatura
- Tempo di carica
- Smaltimento
 - Nickel-cadmio: abolito dal 1/1/2017
 - Piombo: smaltimento controllato