



Prova Finale (Progetto di Reti logiche)

Prof. Gianluca Palermo

Descrizione generale

- La specifica chiede di implementare un modulo HW (descritto in VHDL) che si interfacci con una memoria e che rispetti le indicazioni riportate nella seguente specifica.
- Il sistema legge un messaggio costituito da una sequenza di K parole il cui valore è tra 0 e 255.
- Il valore 0 all'interno della sequenza deve essere considerato non come valore ma come informazione *“il valore non è specificato”*.
- La sequenza di K parole da elaborare è memorizzata a partire da un indirizzo specificato (ADD), ogni 2 byte (e.g. ADD, ADD+2, ADD+4, ..., ADD+2*(K-1)). Il byte mancante dovrà essere completato come descritto in seguito.
- Il modulo da progettare ha il compito di completare la sequenza, sostituendo gli zero laddove presenti con l'ultimo valore letto diverso da zero, ed inserendo un valore di *“credibilità”* C, nel byte mancante, per ogni valore della sequenza.
 - La sostituzione degli zero avviene copiando l'ultimo valore valido (non zero) letto precedente e appartenente alla sequenza.
 - Il valore di credibilità C è pari a 31 ogni volta che il valore della sequenza è non zero, mentre viene decrementato (*minimo* C=0) rispetto al valore precedente ogni volta che si incontra uno zero
- Un segnale di START (con associato ADD e K) determina la richiesta di codifica, un segnale DONE la sua fine

Esempio

- Sequenza di partenza (in grassetto i valori W delle parole, K=14):

128 0 **64** 0 0 0 0 0 0 0 0 0 0 0 **100** 0 **1** 0 0 0 **5** 0 **23** 0 **200** 0 0 0

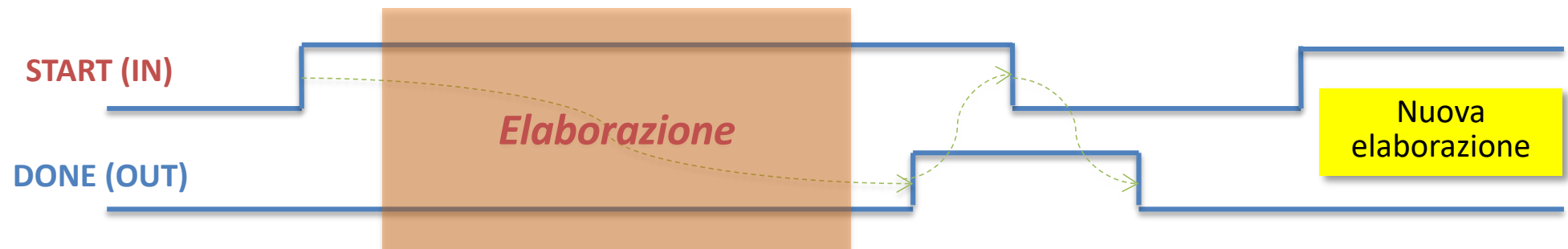


128 31 **64** 31 **64** 30 **64** 29 **64** 28 **64** 27 **64** 26 **100** 31 **1** 31 **1** 30 **5** 31 **23** 31 **200** 31 **200** 30

- Sequenza Finale

Note ulteriori sulla specifica

- Il modulo deve essere progettato considerando che prima della prima codifica verrà SEMPRE dato il reset al modulo.
- Il modulo deve essere progettato per poter codificare più sequenze
- Una seconda elaborazione non dovrà attendere il reset del modulo, ma si deve rispettare il seguente protocollo



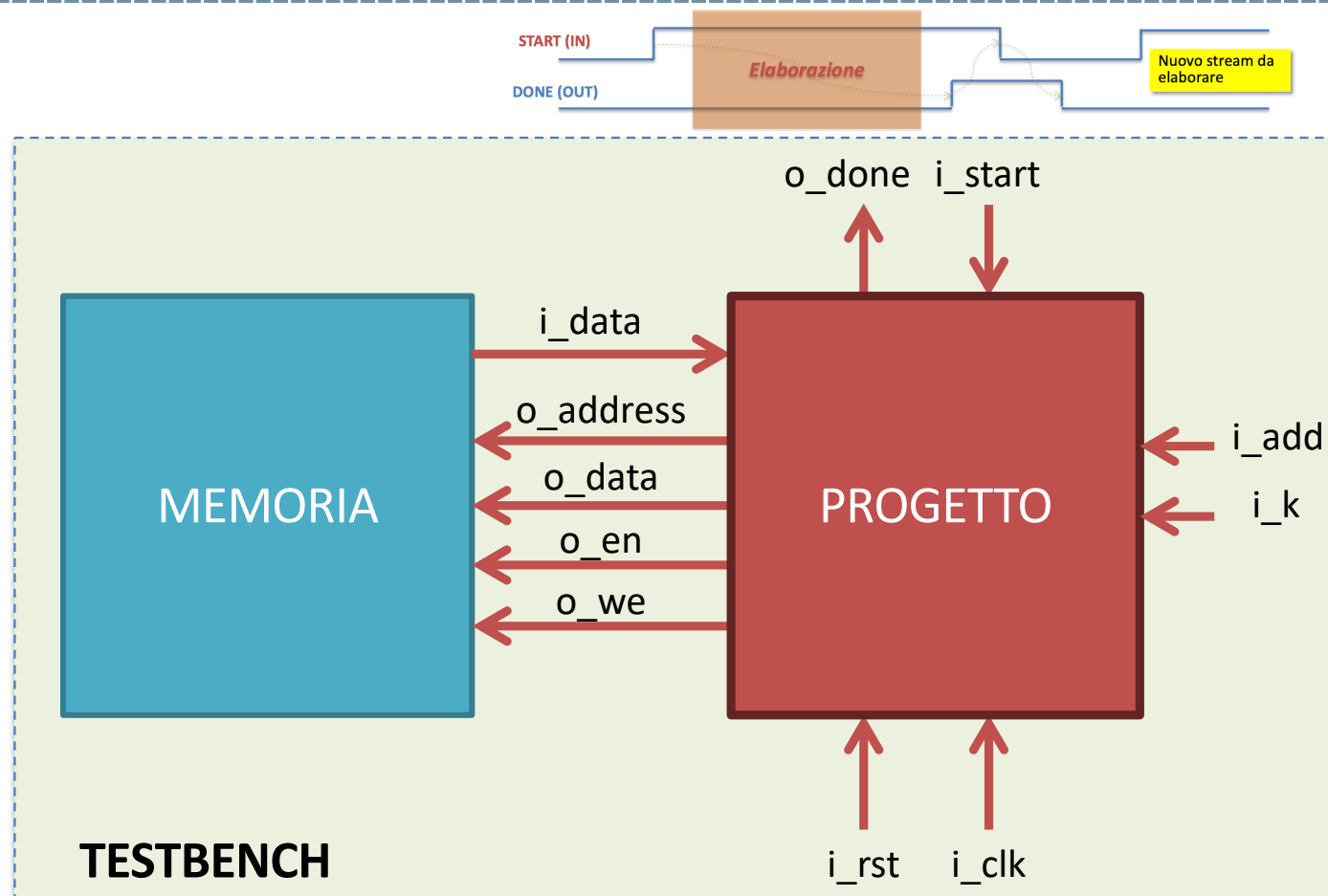
- Quando **START** è alto i valori di **K** e **ADD** rimangono costanti
- Il TestBench rispetterà SEMPRE questo protocollo

Interfaccia del Componente

```
entity project_reti_logiche is
  port (
    i_clk   : in std_logic;
    i_rst   : in std_logic;
    i_start : in std_logic;
    i_add   : in std_logic_vector(15 downto 0);
    i_k     : in std_logic_vector(9 downto 0);

    o_done  : out std_logic;

    o_mem_addr : out std_logic_vector(15 downto 0);
    i_mem_data : in std_logic_vector(7 downto 0);
    o_mem_we   : out std_logic;
    o_mem_en   : out std_logic
  );
end project_reti_logiche;
```



Regole

- Compito dello studente è quello di descrivere in VHDL e sintetizzare il componente HW che implementa la specifica richiesta, interfacciandosi con una memoria dove sono memorizzati i dati e dove andrà scritto il risultato finale.
- Allo studente verrà fornito prossimamente un Test Bench **di esempio** (che include la memoria) per validare il corretto funzionamento del modulo implementato.
- In particolare:
 - Il progetto può essere svolto in gruppi composti da un **massimo di 2 studenti** che debbono avere il medesimo docente di riferimento.
 - Il progetto è una **attività autonoma** che non coinvolge in nessun modo il corpo docente a meno di chiarimenti sulla specifica di progetto.
 - Nel caso in cui il testo di specifica risulti incompleto, è compito del gruppo di lavoro contattare i docenti motivando accuratamente la ragione della incompletezza.
 - I docenti aggiorneranno la specifica chiarendo i cambiamenti
- Strumento di sintesi da usare è **XILINX VIVADO WEBPACK**
 - consiglio Versione 2016.4 con solo ARTIX-7 come famiglia di dispositivi FPGA (10GB)
- La **FPGA target può essere qualunque** (la specifica non richiede particolari logiche)
- Il progetto deve funzionare con un periodo di **clock di almeno 20 ns**;
- Lo studente deve allegare al progetto anche una relazione

Valutazione

- Un componente descritto e simulabile correttamente in pre-sintesi viene valutato non con la valutazione piena
 - *Indicativamente un massimo di 24. Questo fa riferimento al solo progetto VHDL non alla relazione*
- Un componente anche sintetizzabile e correttamente simulabile in post-sintesi (non timed) può ottenere la valutazione piena
 - *Indicativamente fino 30 per un progetto fatto in coppia, fino a 30L per un progetto svolto da un singolo studente. Questo fa riferimento al solo progetto VHDL non alla relazione.*
- Il voto finale, in entrambi i casi, terrà conto dei test superati dal componente, dal codice VHDL e dalla relazione presentata (incluse le scelte progettuali).
- A meno di casi estremi, la valutazione sarà prettamente su aspetti funzionali e sulla qualità e chiarezza della relazione
- **!!!ATTENZIONE!!!** Non è possibile rifiutare il voto finale.
 - Questo è dovuto alla tipologia del progetto che è considerato, da regolamento didattico, una “PROVA FINALE”

Criteri di Consegna

- La specifica del progetto resta invariata per tutto l'anno accademico.
- La consegna del progetto **puo essere fatta solo una volta** nel corso dell'anno accademico
 - possibilità di una ed unica risottomissione in caso di insufficienza
 - nel caso che la prima consegna risulti insufficiente ($9 < x < 18$) viene consentita, a parere insindacabile del docente, una successiva consegna;
 - la valutazione, in questo frangente, **non potrà superare in nessun caso 24/30**. Non sono né previste né eccezioni e/o compensazioni.
 - **Ai progetti la cui valutazione è inferiore ai 10/30 non verrà offerta la possibilità di riconsegna.**
- In caso di bocciatura il candidato verrà rimandato all'anno accademico successivo e dovrà sostenere la "PROVA FINALE" con il progetto dell'anno accademico successivo.

Consegna del progetto

- Per la consegna dei progetti verrà predisposta una cartella su WEBEEP per ogni sessione
- Ogni studente o gruppo di studenti dovrà caricare esattamente due file:
 - **un solo file con il codice VHDL** - Il file caricato dovrà essere nominato **codicePersona.vhd** (esempio 10499233.vhd).
 - gli studenti che lavorano in gruppo dovranno caricare un file solo, usando il codice persona di entrambi i due studenti (codicePersona1_codicePersona2.vhd).
 - La descrizione della composizione del gruppo dovrà essere anche esplicitamente menzionata nella documentazione allegata.
 - **un solo file PDF con la documentazione** - Il file caricato dovrà essere nominato **codicePersona.pdf** (esempio 10499233.pdf).
 - gli studenti che lavorano in gruppo dovranno caricare un file solo, codicePersona1_codicePersona2.pdf con lo stesso ordine usato per il file VHDL
 - La descrizione della composizione del gruppo dovrà essere anche esplicitamente menzionata nella documentazione allegata.

Date per la consegna

- I consegna entro 1 Febbraio 2024
 - ***per potersi laureare a Marzo (verbalizzazione entro il 20.02.2024)***
- II consegna entro 1 Aprile 2024
- III consegna entro 15 Maggio 2024
- IV consegna entro 15 Giugno 2024
 - ***per potersi laureare a Luglio (verbalizzazione entro il 8.07.2024)***
- V consegna entro 15 Luglio 2024
- VI consegna entro 1 Settembre 2024
 - ***per potersi laureare a Settembre/Ottobre (verbalizzazione entro il 11.09.2024)***
- VII consegna 15 Settembre 2024

- *** Consegna EXTRA *** 1 Dicembre 2024

Controllo AntiPlagio

- Il progetto è personale (o del gruppo di due studenti) e per nessun motivo deve essere condiviso con colleghi della propria o di altre sezioni.
- Il progetto verrà sottoposto ad un controllo anti-plagio confrontandolo con tutti i progetti delle 3 sezioni a partire dalla prima consegna.
- Nel caso venga identificato un plagio evidente, la prova verrà considerata con valutazione 0/30 con relative conseguenze anche di carattere disciplinare.
- In caso di plagio verrà presa in considerazione anche la/le persone sorgenti del materiale con rettifica del voto anche laddove già verbalizzato.



File 1	File 2	Lines Matched
sezionePalermo/ottobre/ vhd (68%)	sezionePalermo/ottobre/ vhd (68%)	134
sezionePalermo/settembre/ vhd (32%)	sezioneSalice/maggio/ vhd (35%)	135
sezionePalermo/aprile/ vhd (10%)	sezioneSalice/aprile/ vhd (17%)	93
sezionePalermo/settembre/ vhd (26%)	sezioneSalice/aprile/ vhd (28%)	106

The screenshot shows a code comparison tool with two files side-by-side. The left file is 'File 1' and the right file is 'File 2'. The code is in VHDL. The tool highlights matching lines in green and non-matching lines in red. The 'Lines Matched' column on the right shows the number of matching lines for each comparison: 134, 135, 93, and 106.

GenAI or not GenAI... NOT GenAI

- Il *Progetto di Reti Logiche* è da considerarsi una tesi personale, e come tale il progetto DEVE contenere lavoro che deve essere considerabile come vostro.
- L'uso di strumenti di AI per supportare la risoluzione dell'assignment (o parte di esso) e consegnarlo come se fosse proprio lavoro è considerato una cattiva condotta accademica che è considerata al pari del plagio.
- Se usato da più studenti, strumenti di GenAI, quali ad esempio GitHub-copilot, generano codici simili. Questo porta all'identificazione dello stesso come cross-plagio e quindi come tale verrà trattato.
- Si può essere ispirati (nei limiti), ma non si può sottomettere codice o materiale generato o fortemente derivato/copiato da altri.

