

运算放大器设计

电子科学与工程学院 刘时宜 201180078

实验日期: 2022 年 11 月 30 日

至 2022 年 12 月 28 日

指导老师: 张丽敏

点击目录、书签栏、以及行文中的图表标号的均可跳转至相应页面

目录

1 基本设计要求	2
2 三极管基本参数测定及计算	2
2.1 NMOS 管	2
2.2 PMOS 管	3
3 设计参数的确定	5
3.1 理论计算	5
3.1.1 运算放大器主体	5
3.1.2 偏置电流源	6
3.2 参数调整	6
3.2.1 仿真中遇到的问题	6
3.2.2 整体调整思路	7
3.3 参数确定	7
4 运算放大器仿真及性能测试	7
4.1 瞬态响应	7
4.2 传输特性曲线电压输出范围	9
4.3 频率响应	10
4.4 共模抑制比 CMRR	11
4.4.1 闭环测试方案	11
4.4.2 开环测试方案	12
4.5 输入共模范围 ICMR	12
4.6 压摆率 SR	13
4.7 电源纹波电压抑制比 PSRR	14
4.8 噪声	15
4.8.1 闭环噪声	15

4.8.2 开环噪声	15
4.9 输入失调电压	16

1 基本设计要求

本次设计的参数要求如表1.0.1所示：

$V_{dd} = 3.3 \text{ V}$	$V_{ss} = 0 \text{ V}$	$GB = 3 \text{ MHz}$	$SR = 3 \text{ V } \mu\text{s}^{-1}$
$\varphi_m = 45^\circ$	$0.4 \text{ V} < V_{out} < 2.6 \text{ V}$	$P_{diss} \leq 5 \text{ mW}$	$A_v > 5000$
$ICMR = 1.25 \text{ V to } 2.5 \text{ V}$	$C_l = 10 \text{ pF}$		

表 1.0.1: 设计指标要求

2 三极管基本参数测定及计算

2.1 NMOS 管

NMOS 参数测定电路图如图2.1.1所示。使用直流分析后打印模型参数 (Results - Print - Model Parameters) 以及直流工作点 (Results - Print - DC Operating Points) 即可得 NMOS 管的 T_{oxe} 、 μ_n 、 V_{th0} 、 g_{ds} ，利用公式

$$C_{oxe} = \frac{\epsilon_{ox}}{T_{oxe}}$$

$$K'_n = \mu_n \cdot C_{oxe}$$

$$g_{ds} = \lambda \cdot I_d$$

可得 C_{oxe} 、 K'_n 、 g_{ds} 三参数。以上测量以及计算所得的参数列在表2.1.1中。

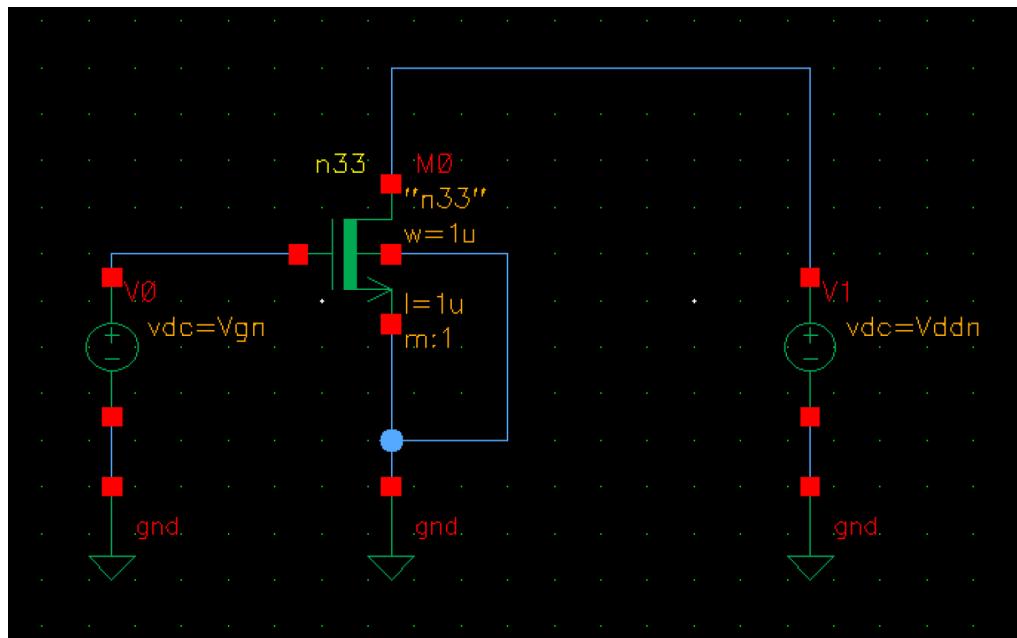


图 2.1.1: NMOS 管参数测量电路

T_{oxe}	6.65 nm
μ_n	$350 \text{ cm}^2/\text{V} \cdot \text{s}$
V_{th0}	695 mV
g_{ds}	336.983 nS
C_{ox}	5.192 68 mF/m ²
K'_n	181.744 mA/V ²
λ	0.05778

表 2.1.1: NMOS 管关键性能参数

2.2 PMOS 管

与 NMOS 管同理, 测量电路图如2.2.1所示, 测量以及计算所得的 PMOS 管关键参数列在表2.2.1中。

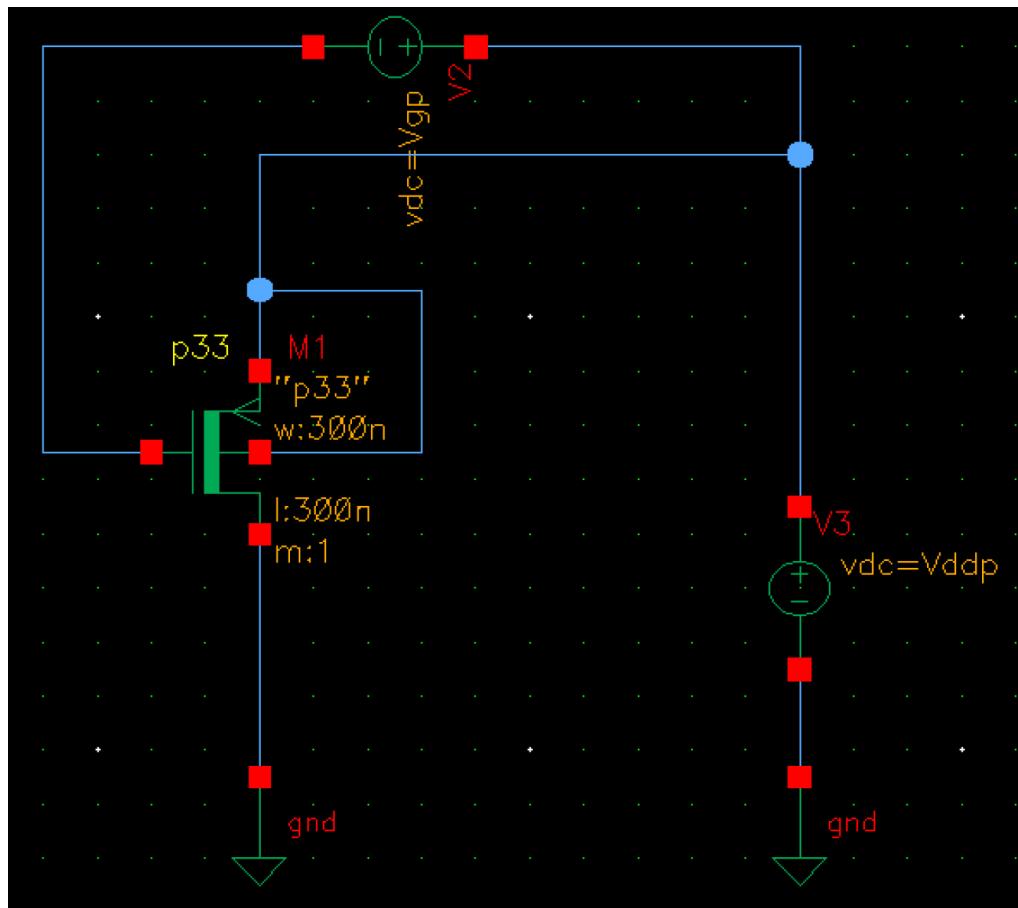


图 2.2.1: PMOS 管参数测量电路

T_{oxe}	6.62 nm
μ_n	$92.5 \text{ cm}^2/\text{V} \cdot \text{s}$
V_{th0}	-672 mV
g_{ds}	230.227 nS
C_{ox}	5.21621 mF/m ²
K'_n	48.2499 mA/V ²
λ	0.05676

表 2.2.1: PMOS 管关键性能参数

3 设计参数的确定

3.1 理论计算

3.1.1 运算放大器主体

由于本次时间较为紧张，选用相对来讲更为简明的不带输出缓冲（unbuffered）的双级运算放大器结构。运算放大器整体结构如图3.1.1所示。

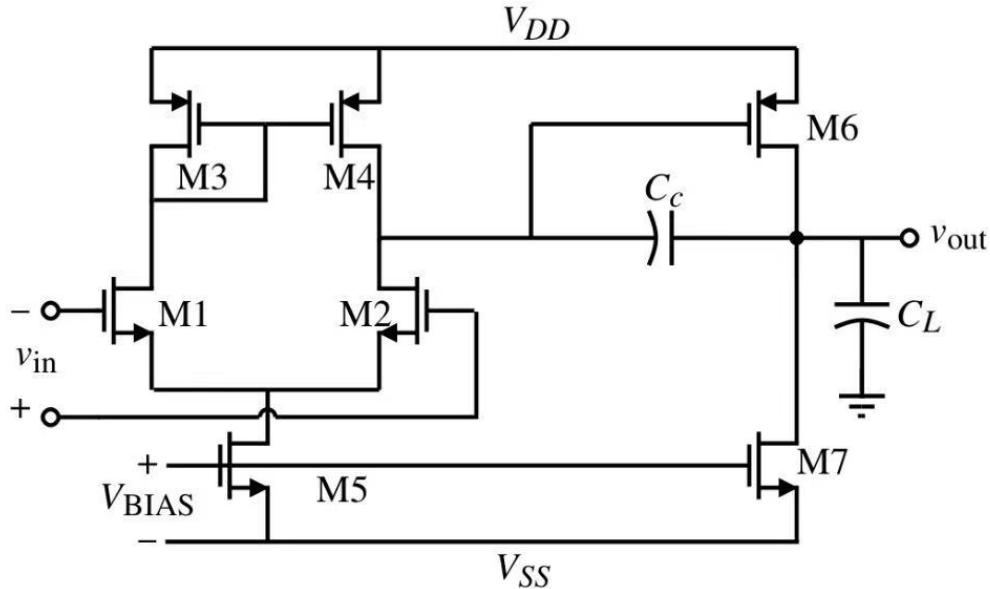


图 3.1.1: 选用的运算放大器整体结构

按顺序计算各参数如下：

- 选取沟道长度为 $1 \mu\text{m}$
- 由 60° 的相位裕量条件，要求 $C_c > 0.22 C_l$ ，此处取 $C_c = 3.3 \text{ pF}$
- 由压摆率限制，得最小的 $I_5 = SR \cdot C_c = 9 \mu\text{A}$ 。此处取 $I_5 = 10 \mu\text{A}$
- 要求的输入最高共模电压 2.5 V ，取 $V_{inc,max} = 3 \text{ V}$ ，由 $\frac{2I_3}{K'_p[V_{dd}-V_{inc,max}-V_{tp}+V_{th}]^2} = 0.3 \text{ V}$ 可得 $S_3 = S_4 = 2.138$
- 由 $g_{m1} = GB \cdot C_c$ ，可得在单位增益带宽限制下，最小的 $g_{m1} = 56.55 \mu\text{S}$ 。取 $g_{m1} = g_{m2} = 80 \mu\text{S}$ 。则可得 $S_1 = S_2 = \frac{g_{m2}^2}{K'_n I_5} = 3.52$ 。
- 在输入最小共模电压约束下， $V_{dsat5,max} = V_{inc,min} - V_{ss} - \sqrt{\frac{I_5}{K'_n S_1}} - V_{thn} = 0.43 \text{ V}$ 。取 $V_{dsat5} = 0.3 \text{ V}$ ，则有 $S_5 = \frac{2I_5}{K'_n V_{dsat5}} = 1.22$ 。
- 由相位裕量条件， $g_{m6} > 2.2g_{m2}\frac{C_L}{C_c}$ ，此处取 $g_{m6} = 0.15 \text{ mS}$ ，由偏置的平衡条件，有 $V_{gs4} = V_{gs6}$ ，则 $S_6 = S_4 \frac{g_{m6}}{g_{m4}} = 7.99$
- $I_6 = \frac{g_{m6}^2}{2K'_p S_6} = 29.182 \mu\text{A}$ ，由镜像电流源电流关系， $S_7 = S_5 \frac{I_6}{I_5} = 3.56$

- i. 验证输出级的饱和压降满足输出范围要求
- j. 验证 $A_v = \frac{2g_{m2}g_{m6}}{I_5I_6(\lambda_p+\lambda_n)^2} = 6269.19$ 、 $P_{diss} = (I_5 + I_6)V_{dd} = 129.29 \mu\text{W}$ 均满足设计要求

3.1.2 偏置电流源

由于本次时间较为紧张，且对于不含折叠共源共栅结构的运算放大器结构来说，单级镜像电流源已经能够满足性能需求，故采用如图3.1.2的电路结构。

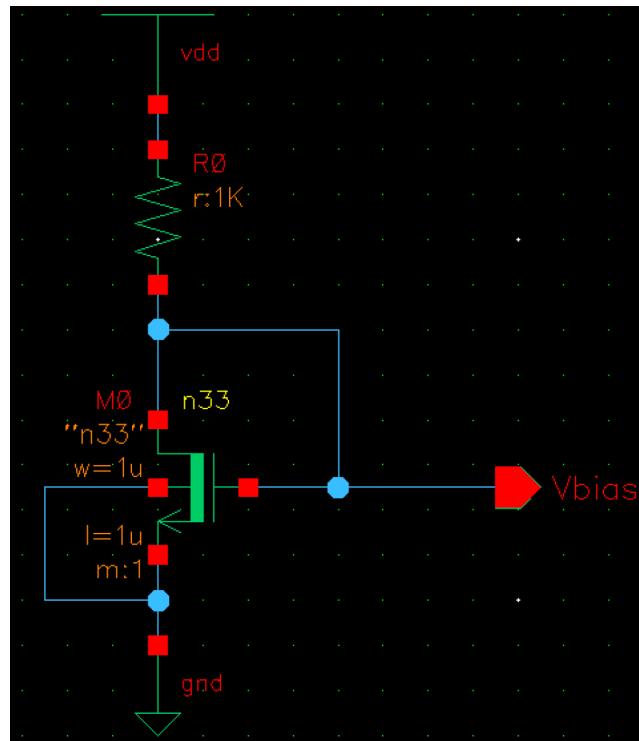


图 3.1.2: 偏置电流源结构

通过 I_5 , S_5 可以反推出 $V_{gs5} = 0.995 \text{ V}$ 。由

$$\begin{cases} I_d = \frac{1}{2}K'_N \cdot 1 \cdot (V_{gs} - V_{th})^2 \\ V_{gs} = V_{dd} - I_d \cdot R \end{cases} \quad (3.1.1)$$

可以解得 $I_d = 8.18 \mu\text{A}$, $R = 281.8 \text{ k}\Omega$

3.2 参数调整

3.2.1 仿真中遇到的问题

在 Cadence 中搭建电路并仿真后，主要遇到了以下问题：

- a. 推测可能是由于电路中存在其他寄生电容的原因，仿真时按照如上过程选取的一组参数无法达到45°相位裕量的要求。
- b. 可能是由于存在细微误差的原因，输出级未能处于正常偏置状态。

3.2.2 整体调整思路

针对以上问题，对电路参数做了以下调整：

- 增大 C_c ，保证充足的相位裕量。
- 增大 I_5 ，保证有足够的压摆率。
- 增大 S_1, S_2 ，抵消掉 I_5 增大带来的增益下降，同时保证有足够的单位增益带宽 GB 。
- 调整 S_3, S_4 ，使得差分级处于正常的偏置状态。
- 调整 S_6, S_7 ，增大增益并使输出级正常偏置。

3.3 参数确定

经过一系列结合仿真结果的调整后，最终确定设计如3.3.1所示，其中的各参数整理在表3.3.1中。

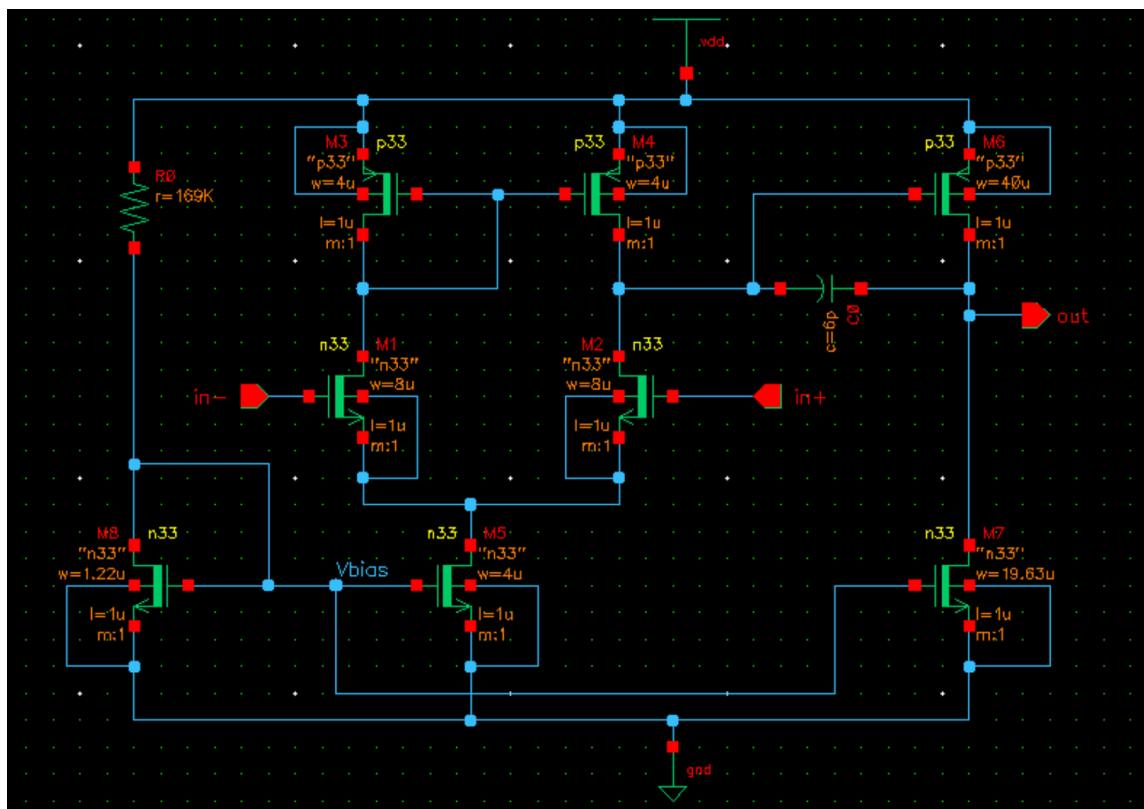


图 3.3.1: 运算放大器电路

4 运算放大器仿真及性能测试

4.1 瞬态响应

仿真电路、仿真设定与仿真结果均展示在图4.1.1中。可以看到，输出电压振荡中心大约在1.65 V 处，且正弦波形无明显失真，说明运算放大器整体工作正常，能够起到放大作用。由输入电压振幅10 μ V，输

S_1	8
S_2	8
S_3	4
S_4	4
S_5	4
S_6	40
S_7	19.63
S_8	19.63
C_c	6 pF
R_0	169 kΩ

表 3.3.1: 设计参数

出电压振幅0.53 V，可以得到准静态状态下的 $A_v = 50344$ ，远高于设计要求。

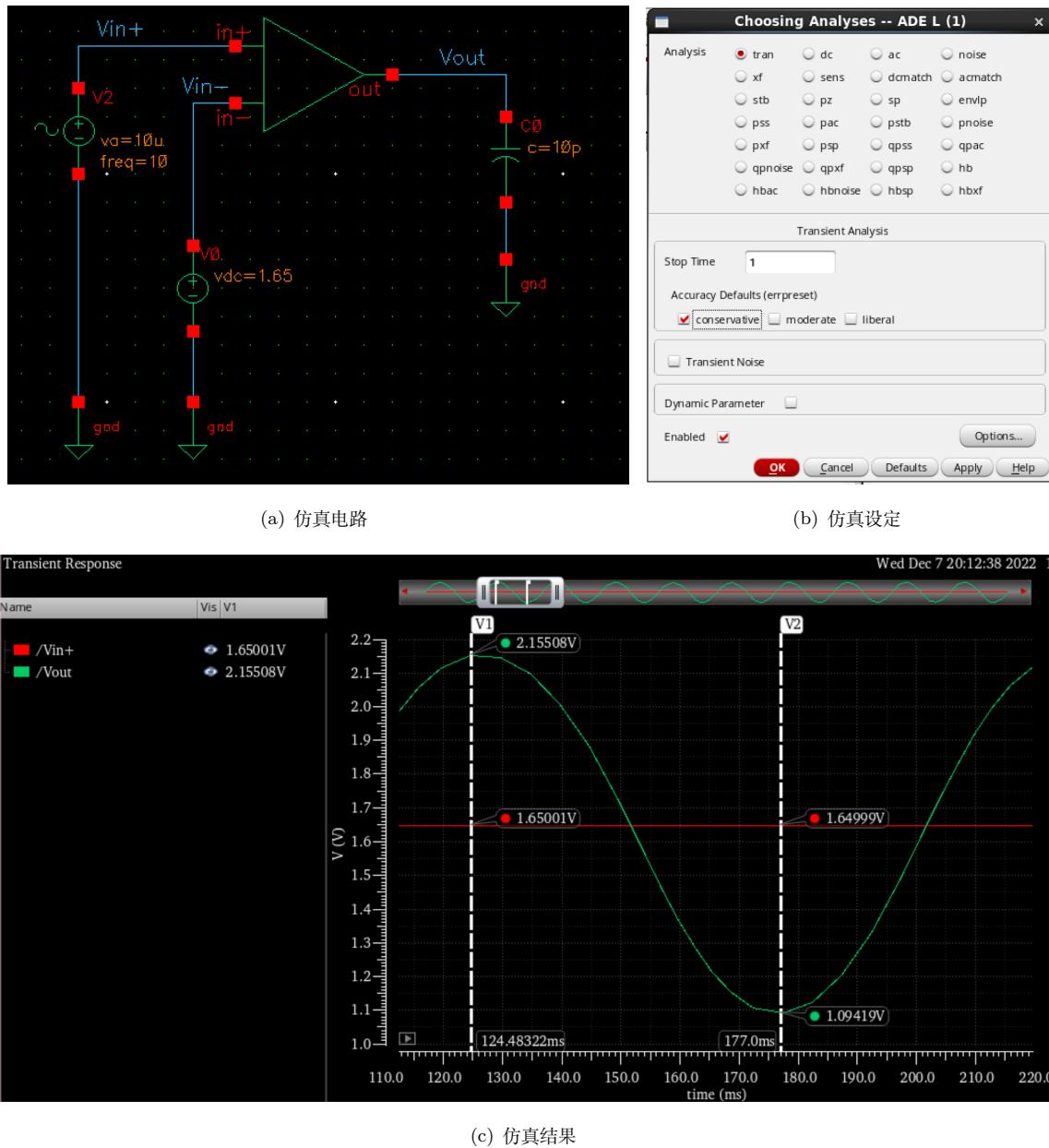


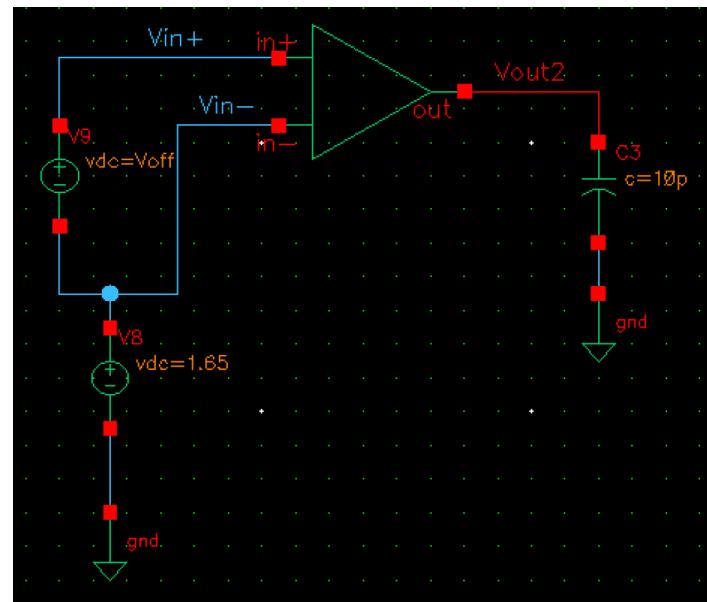
图 4.1.1: 仿真: 瞬态响应

4.2 传输特性曲线电压输出范围

仿真电路及仿真结果展示在图4.2.1中。仿真结果中同时选取了电路中一些关键节点进行画图。可以看到，运算放大器正常工作时，所有 MOS 均正常偏置，工作在饱和区。

同时，对于要求的输出范围：

- 当 $V_{out} = 0.4 \text{ V}$ 时， $V_{g7} = V_{bias} = 1.1073 \text{ V}$, $V_{s7} = 0 \text{ V}$, $V_{d7} = V_{out} = 0.4 \text{ V}$, $V_{th} = 695 \text{ mV}$ 。关系 $V_{ds} > V_{gs} - V_{th}$ 成立，工作在饱和区。
- 当 $V_{out} = 2.6 \text{ V}$ 时， $V_{g6} = 2.0828 \text{ V}$, $V_{s6} = 3.3 \text{ V}$, $V_{d6} = V_{out} = 2.6 \text{ V}$, $V_{th} = 672 \text{ mV}$ 。关系 $|V_{ds}| > |V_{gs}| - |V_{th}|$ 成立，工作在饱和区。



(a) 仿真电路

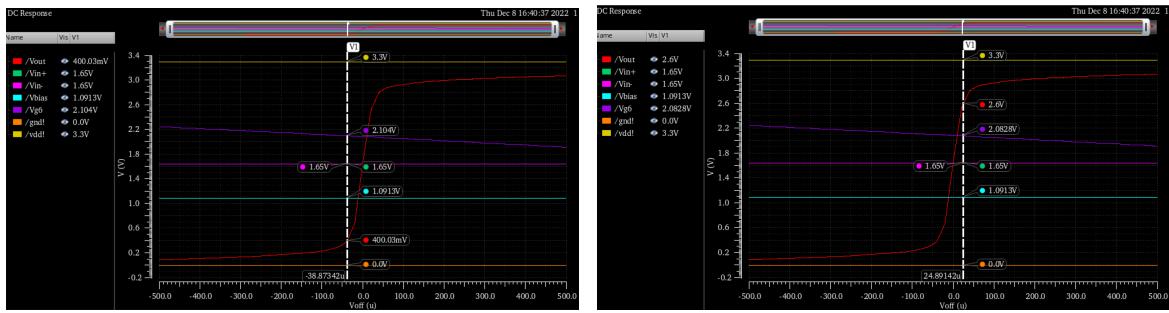
(b) 仿真结果 - $V_{out,min}$ (c) 仿真结果 - $V_{out,max}$

图 4.2.1: 仿真: 传输特性曲线 电压输出范围

4.3 频率响应

仿真电路及仿真结果展示在图4.3.1中。可以看到，静态时增益 $95.207 \text{ dB} = 57590$ ，远超设计标准。相位裕量 $\varphi_m = 47.01^\circ$ ，满足设计标准。单位增益带宽 $GB = 5.31657 \text{ MHz}$ ，远超设计标准。

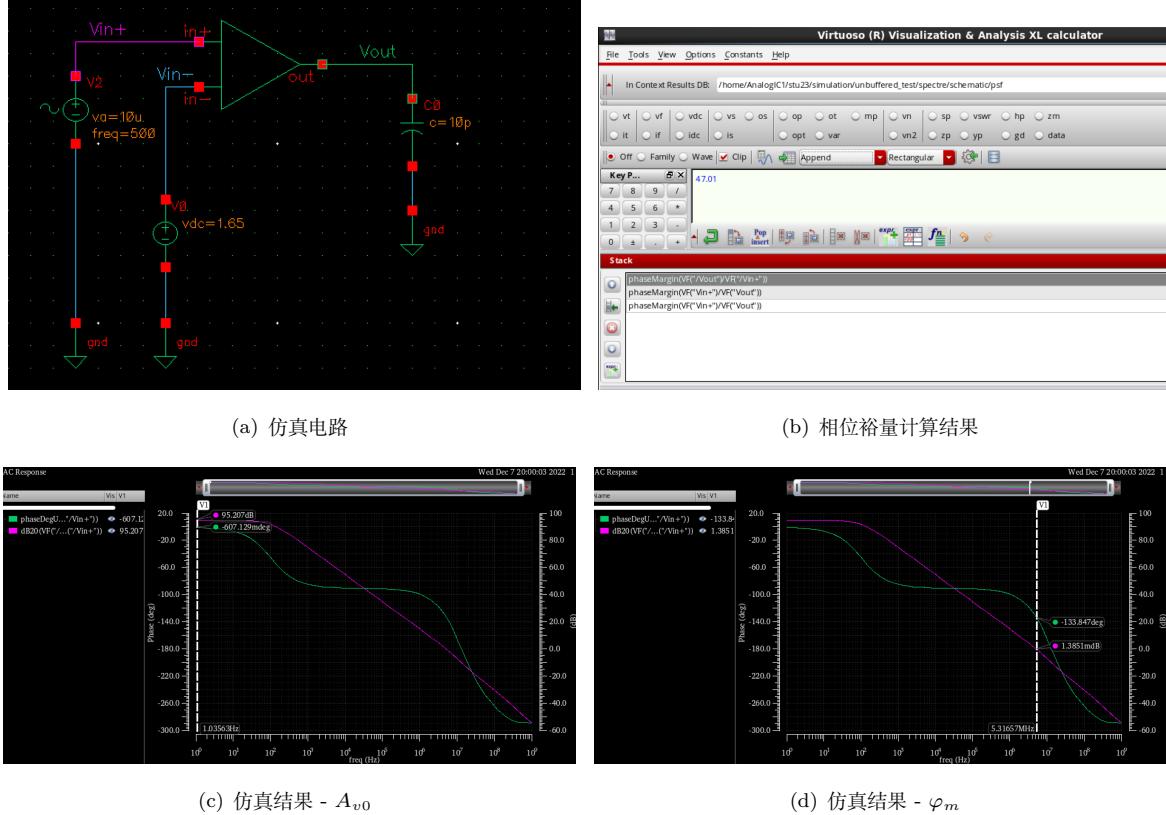


图 4.3.1: 仿真: 频率响应

4.4 共模抑制比 CMRR

4.4.1 闭环测试方案

仿真电路及仿真结果展示在图4.4.1中。由电路连接方式，则有关系

$$\frac{V_{cm}}{V_{out}} = \pm \frac{1 + A_v \mp \frac{A_c}{2}}{A_c} \simeq \frac{A_v}{|A_c|} = CMRR$$

其中的 V_{cm} 即为 V2 与 V0 的共模输入。

从仿真结果看，低频处 $CMRR \simeq 74$ dB，不算十分优秀，但大致可以满足一般电路需求。另外该测量方法在存在失调电压的情况下有测量偏差。

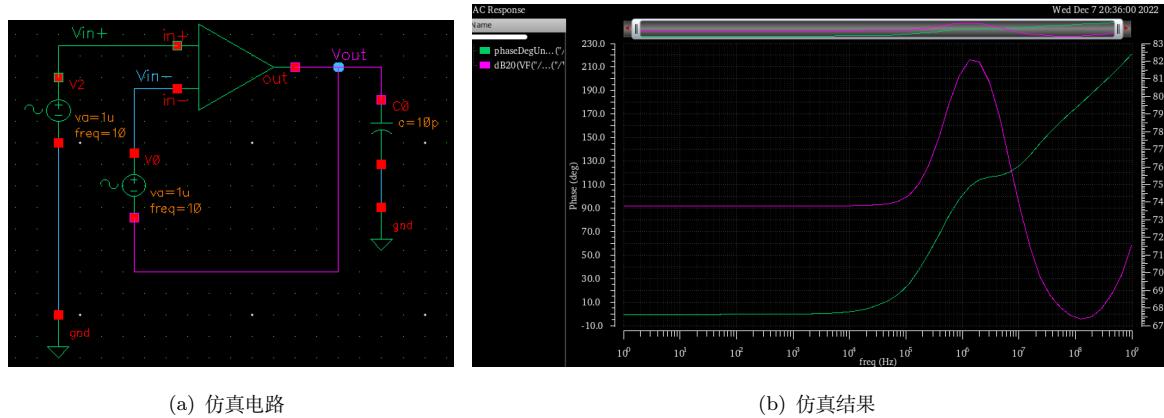


图 4.4.1: 仿真: 共模抑制比 闭环测法

4.4.2 开环测试方案

仿真电路及仿真结果展示在图4.4.2中。从仿真结果中可以读出, 低频时 $A_{cm} \simeq 4.72 \text{ dB}$ 。由 $CMRR = \frac{A_v}{A_{cm}}$ 可知低频处 $CMRR \simeq 90.5 \text{ dB}$, 指标能够满足一般电路需求, 且高于闭环测试方案所得的结果。

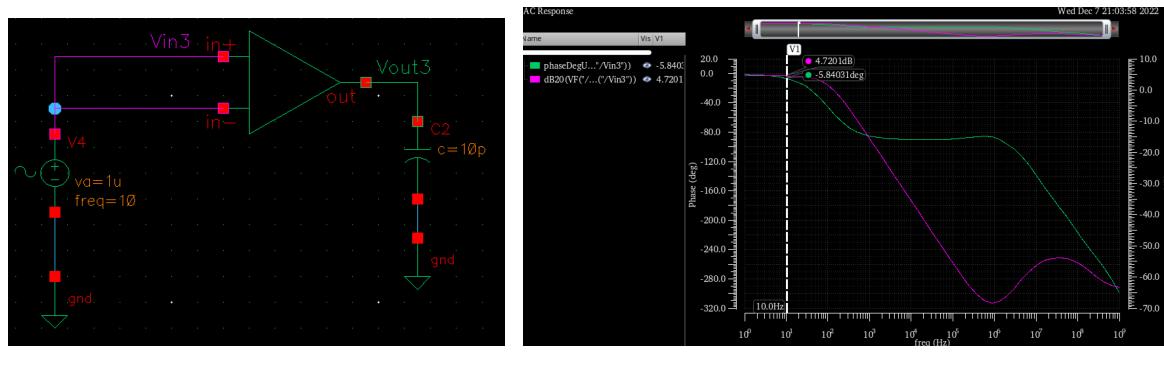


图 4.4.2: 仿真: 共模抑制比 开环测法

4.5 输入共模范围 ICMR

仿真电路及仿真结果展示在图4.5.1中。从仿真结果中可以看到, 输入与输出曲线约在 $0.3 \text{ V} < V_{in} < 2.8 \text{ V}$ 的范围内均重合, 表明 ICMR 为 0.3 V 至 2.8 V , 远超设计标准。同时, 这个范围也可视为输出不失真的范围, 表明此设计满足输出电压范围的设计标准。

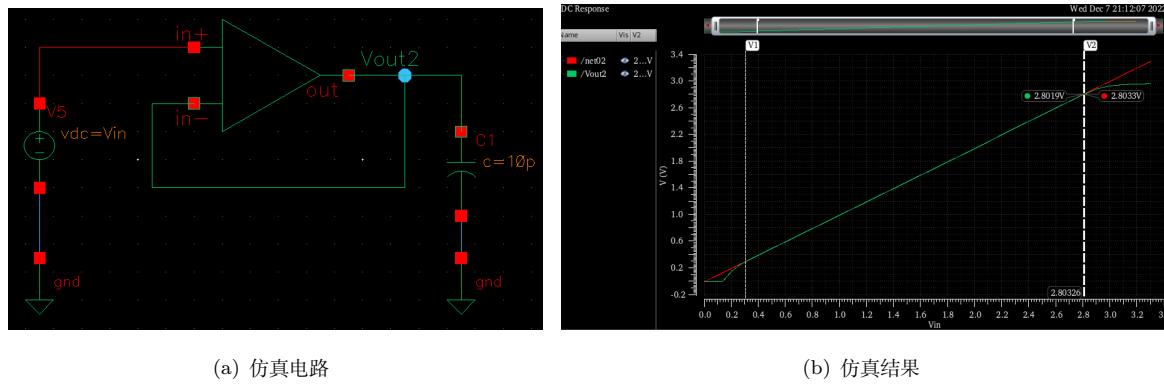


图 4.5.1: 仿真: 输入共模范围

4.6 压摆率 SR

仿真电路、仿真电流源以及仿真模式的设定如图4.6.1所示。其中脉冲电流源的高电压设为2V，低电压设为1V，周期设为 $10\mu s$ ，上升和下降时间均设定为 10 n sec 。瞬态仿真3个周期的波形。

仿真结果展示在图4.6.2中。从总仿真结果看，运算放大器工作正常，输出能较好跟随输入。选取其中一个上升沿，选择其中输出电压最大速率上升的一段，可得 $SR = \frac{\Delta U}{\Delta t} = 6.966 \text{ V}/\mu\text{s}$ 。同理，选择其中一个下降沿， $SR = 6.758 \text{ V}/\mu\text{s}$ 。故 SR 满足设计需求。

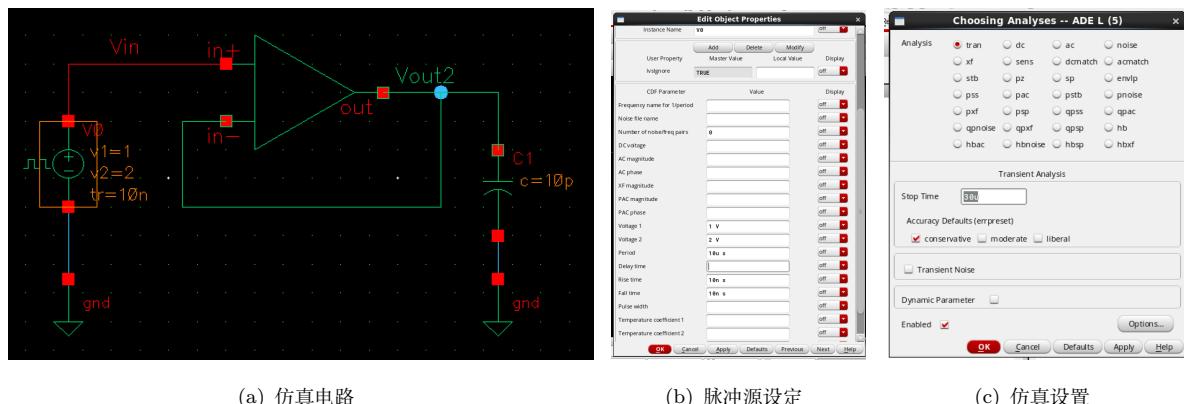


图 4.6.1: 仿真设定: 压摆率

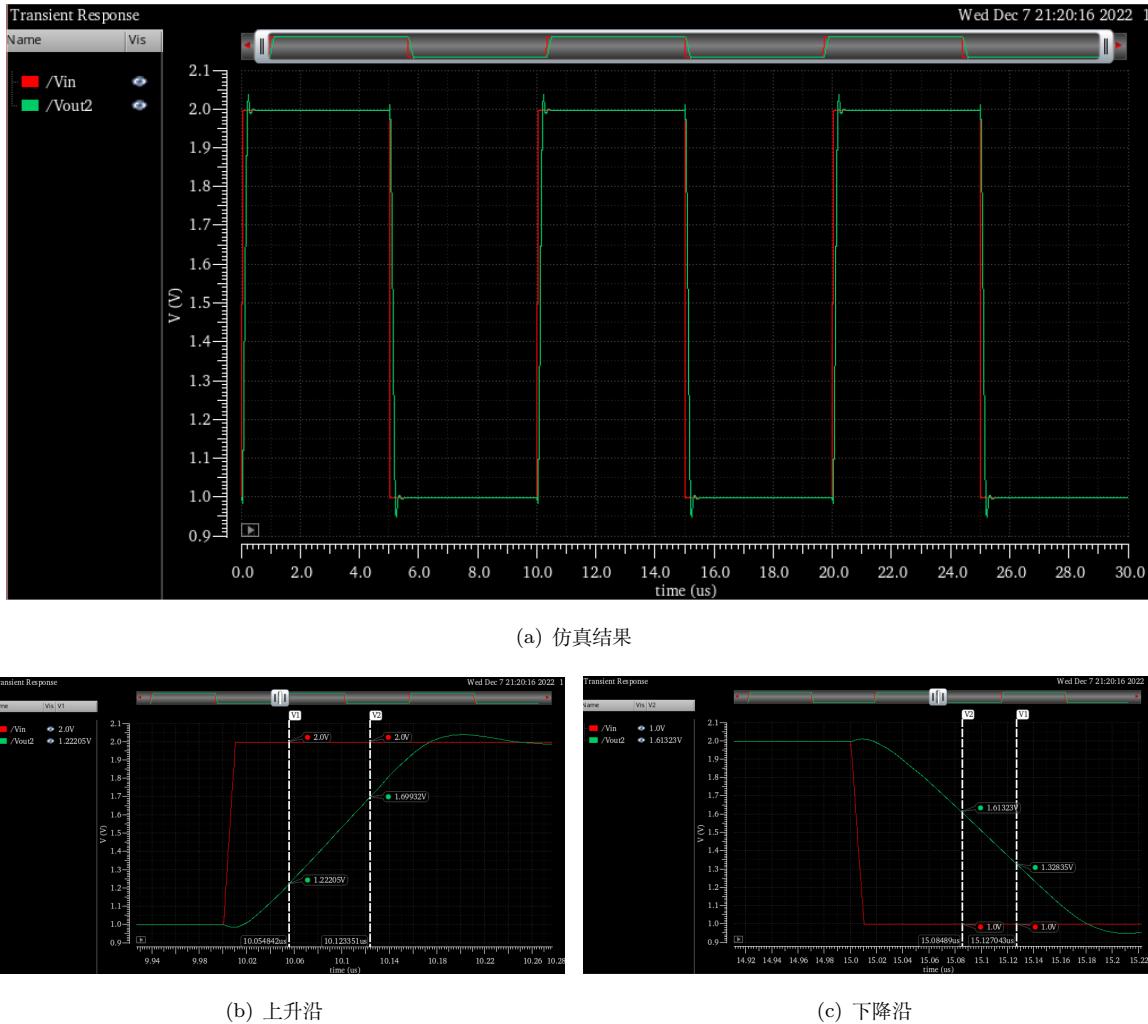


图 4.6.2: 仿真结果: 压摆率

4.7 电源纹波电压抑制比 PSRR

由于运算放大器采用单电源供电形式，故只需要测量 $PSRR+ = \frac{V_{dd,ac}}{V_{out,ac}}$ 即可。仿真电路以及仿真结果展示在图4.7.1中。低频时， $PSRR \simeq 110 \text{ dB}$ 。

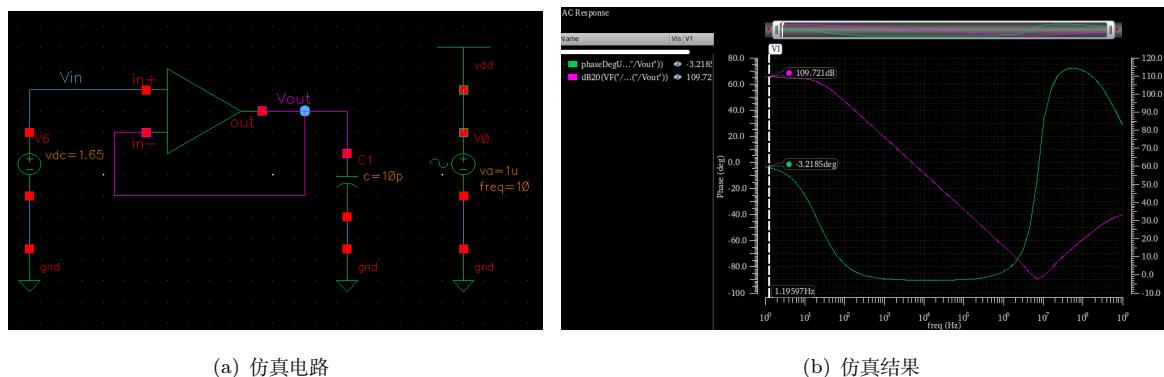


图 4.7.1: 仿真: 电源纹波电压抑制比

4.8 噪声

4.8.1 闭环噪声

使用 cadence 提供的噪声分析，仿真电路、仿真及绘图设置、仿真结果均展示在图4.8.1中。可以看到，在1 Hz 时，噪声为 $11.483 \mu\text{V}/\sqrt{\text{Hz}}$ 。频率增加时，噪声减小。

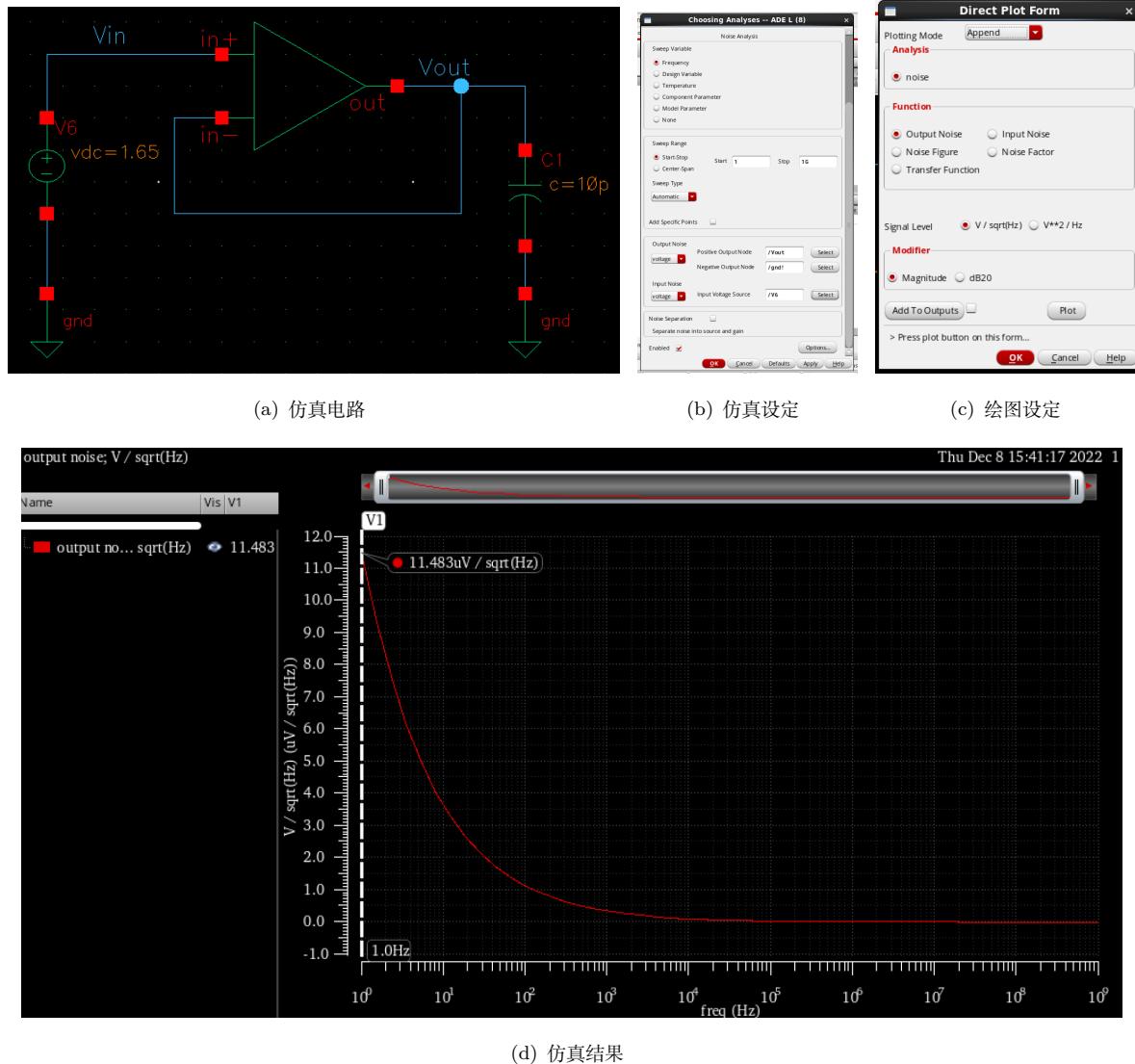


图 4.8.1: 仿真：闭环噪声

4.8.2 开环噪声

与闭环噪声同理，仿真电路、仿真及绘图设置、仿真结果均展示在图4.8.2中。可以看到，在1 Hz 时，噪声为 $585.827 \text{ mV}/\sqrt{\text{Hz}}$ 。噪声远大于闭环噪声。

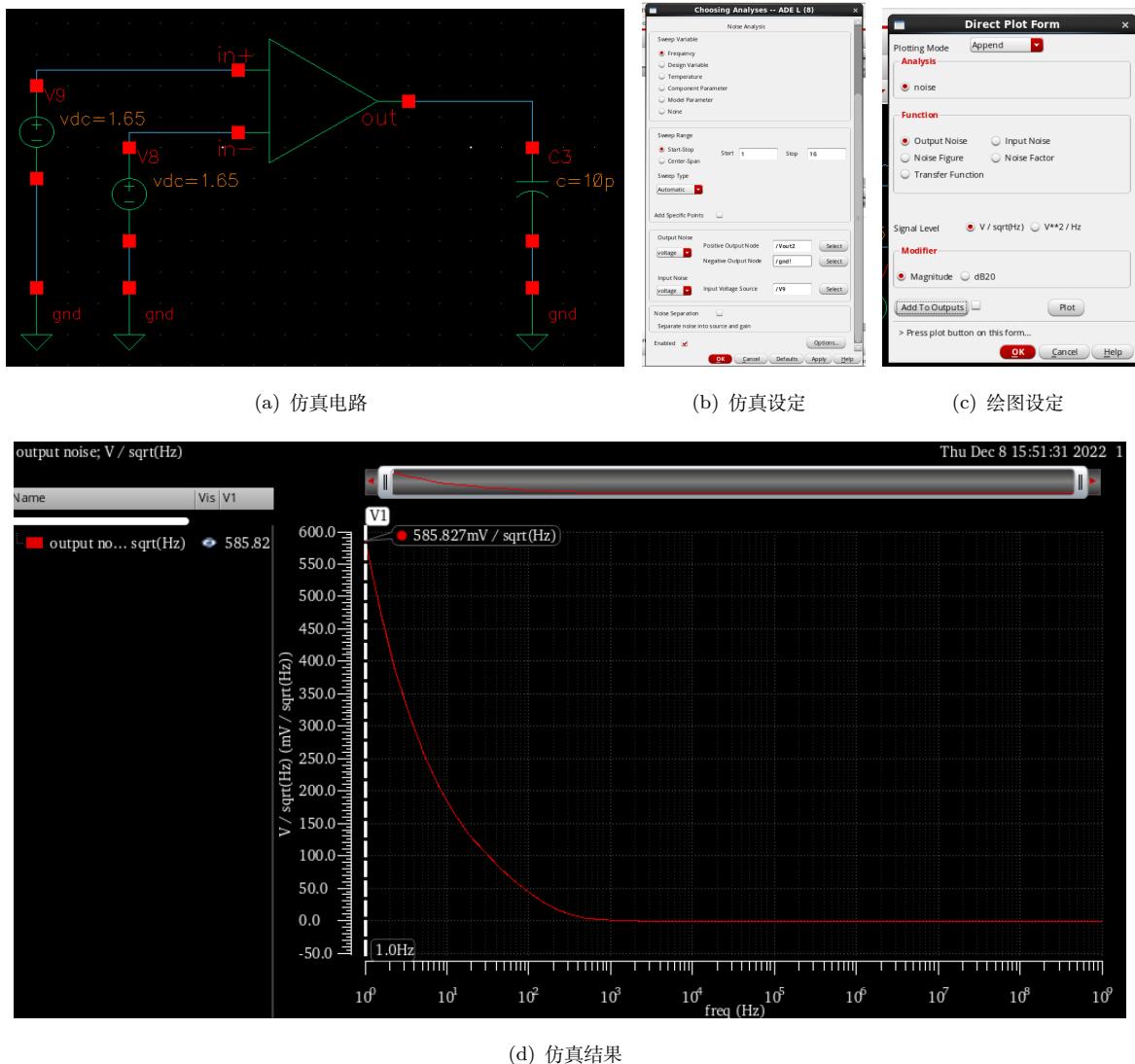


图 4.8.2: 仿真: 开环噪声

4.9 输入失调电压

仿真电路及仿真结果展示在图4.9.1中。可以看到, 当 $V_{out} = \frac{1}{2}(V_{dd} + V_{ss}) = 1.65$ V 时, 对应的输入偏置 $V_{off} = 21.723$ nV, 指标较为优秀。

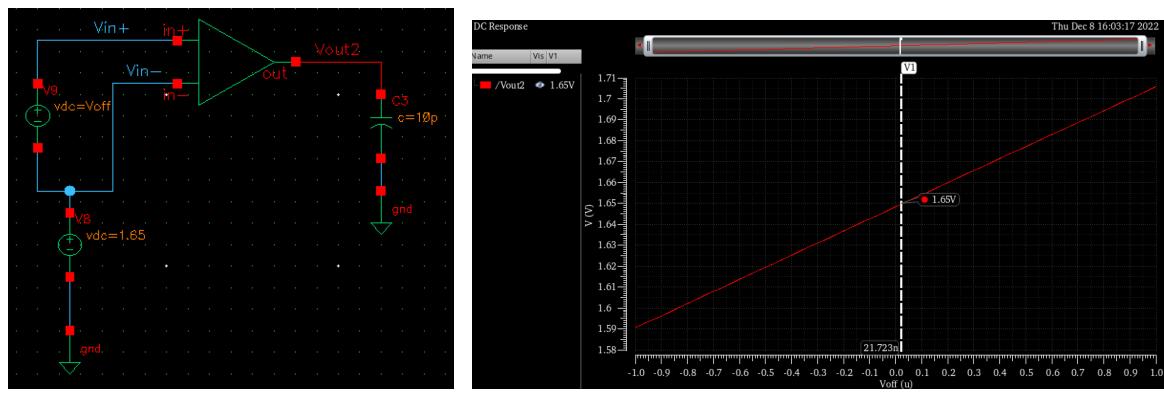


图 4.9.1: 仿真: 输入偏置