Digital Circuit Design — Lab 03

A. SR-Latch



SR-Latch wave Result

這題是運用 gate-level 的方式去製作 SR-Latch,那根據波形圖可看到,一開始因為 nor gate 設有 2 ns 的 delay ,所以 Q 會是不確定。最後面因為輸入為 0 0 ,是SR-Latch 沒有定義的,所以照成震盪。

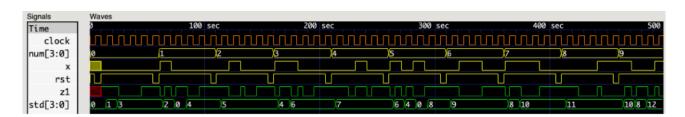
B. Negative Edge Trigger D-Flip-Flop



Negative Edge Trigger D-Flip-Flop wave Result

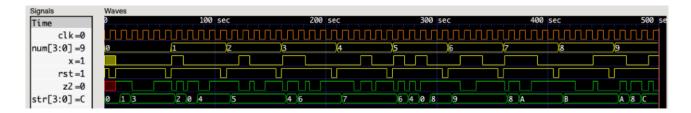
這提要運用上一題的 SR-Latch 去完成本題的 D-Flip-Flop。輸入測資採用 fork - join 方式去完成 test-bench,在特定時間輸入特定測資比較簡單。

C. Mealy-Type Synchronous Sequential Circuit



State-Diagram Result Wave (num: BCD input, z1: Output)

一開始的一週期 (10sec)為留給 reset 時間,第一比測資從 10sec 開始每 50sec 為一筆測資,最後一部分為轉換結果,可以看到為 num + 3 ,符合預期結果。



Structure Result Wave (num: BCD input, z2: Output)

一開始的一週期 (10sec)為留給 reset 時間,第一比測資從 10sec 開始每 50sec 為一筆測資,最後一部分為轉換結果,可以看到為 num + 3 ,符合預期結果。

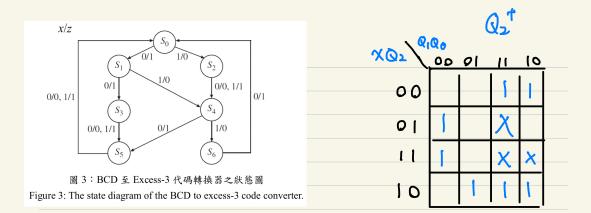
Test Result

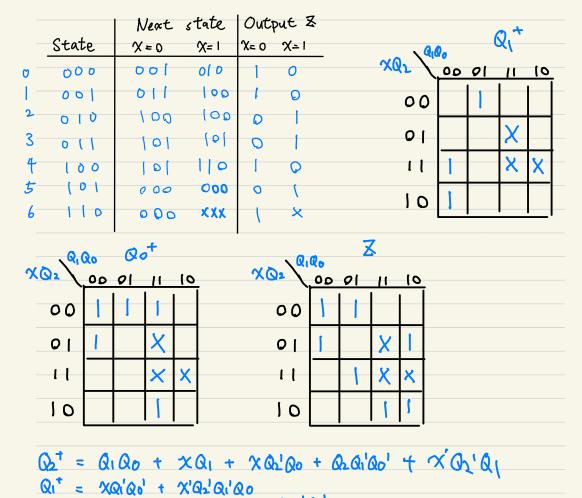


(State: State-diagram, Struct: Structure)

D. Conclusion

這次的 Lab 我覺得難度大大提升,但是我知道離計算機組織還差一大截。這次的問題都發生在最後一題,不知道到底是線路接錯,還是 test-bench 寫錯,每寫一個版本波形圖就要看一陣子,而解 Verilog 跟一般的程式不一樣,每行是同步進行的,有時寫一寫就會邏輯表成一行一行下來。還有打出來執行的結果都跟想的不一樣,編譯訊息也很少,很難察覺自己會錯在哪裡。





Qo = Q1Q0 + X'Q2'Q1' + X'Q1'Q0'

= x'Q'Q' + xQ1 + Q2Q1 + xQ2Q5 + xxx'Q0

