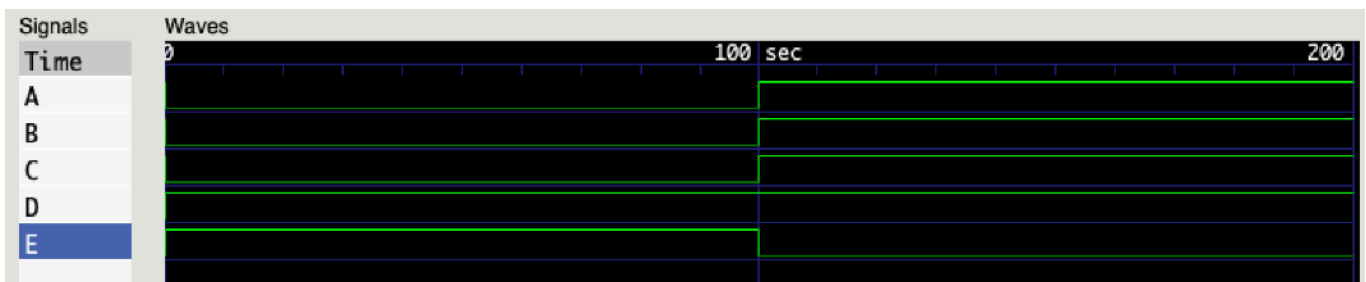
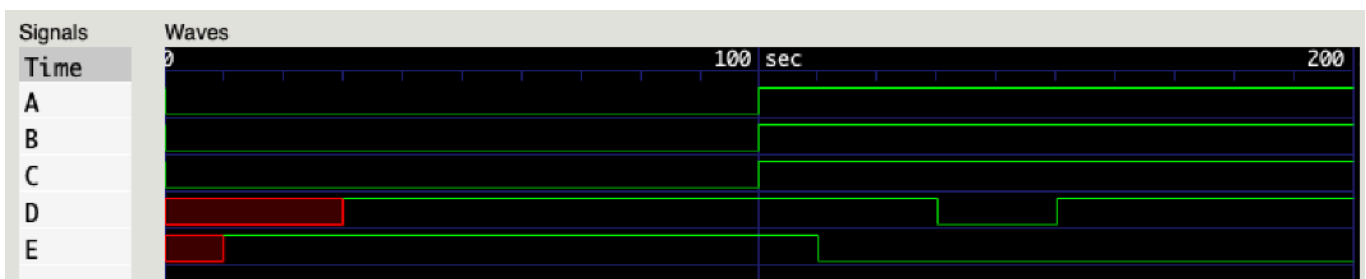


# Digital Circuit Design — Lab 01

A. (a)



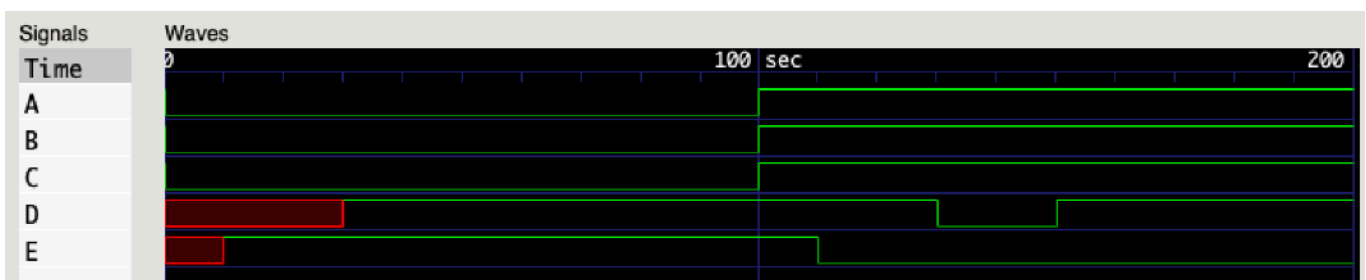
*Simple\_Circuit*



*Simple\_Circuit\_prop\_delay*

從上面可以明顯看到，輸出的D和E在有 Propagation delay 有明顯的延遲。E在經過 not的10ns之後才有值，而D在有not C的訊號加上 or 的 delay 20ns，在30ns開始輸出訊號。而在100ns之後將ABC改成1時，E再經過 not 的10ns之後才改變值，而D在新的not C 的訊號加上 or 的 delay 20ns，才改變，而另一頭的A & B在經過And的30ns + Or的20ns才將D的值變化，所以D在prop圖中130ns ~ 150ns有個小凹槽。

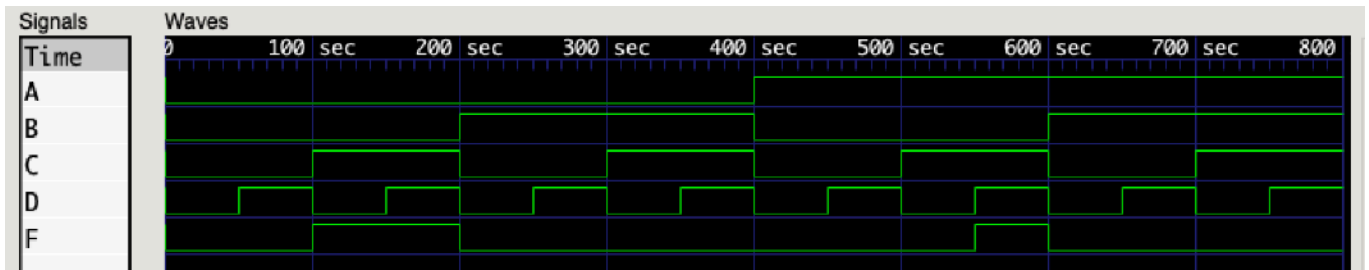
A. (b)



*Simple\_Circuit\_prop\_delay\_AndOr*

並無任何差異，因為 Verilog 中的行數沒有先後順序，所以結果一樣。

B. (a)

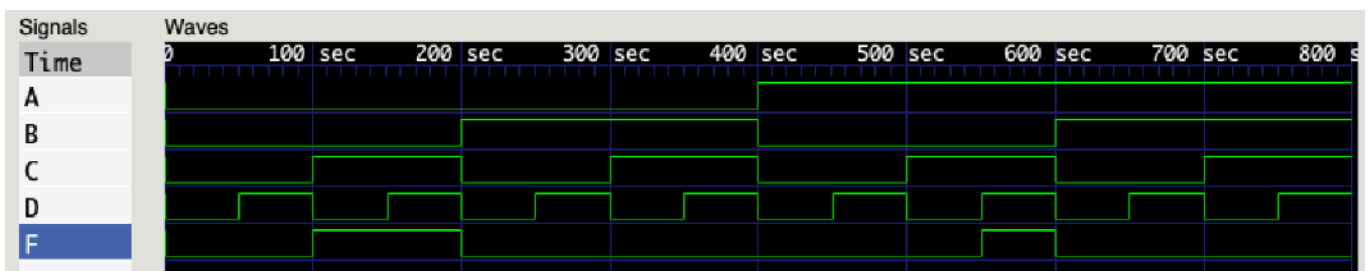
*Gatelevel*

$$\begin{aligned}
 F &= (AD' + B'C)(CD + A') \\
 &= A'B'C + B'CD \\
 &= A'B'CD + A'B'CD' + AB'CD = \Sigma m(2, 3, 11)
 \end{aligned}$$

所以可知道  $F$  會在  $[50n \sim 50(n+1)]$  ns,  $n \in \Sigma m$  區間為 1。

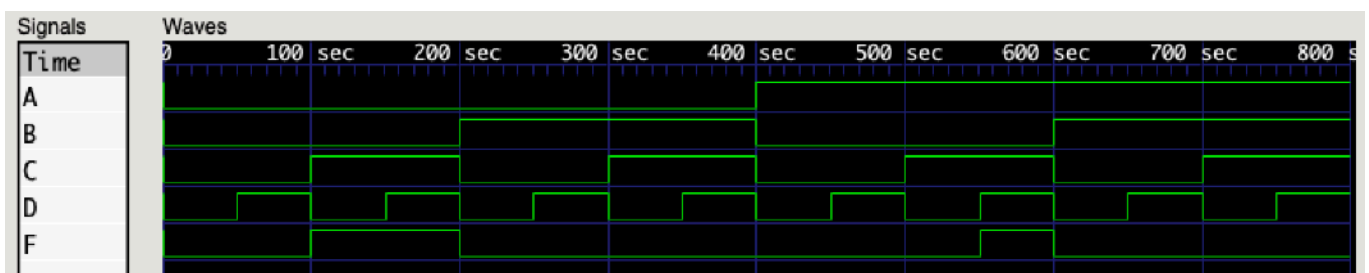
圖與設定吻合，故模擬結果正確。

B. (b)

*Dataflow*

同於上一題，圖與設定符合，故模擬結果正確。

B. (c)

*Gatelevel\_UDP*

同於上一題，圖與設定符合，故模擬結果正確。

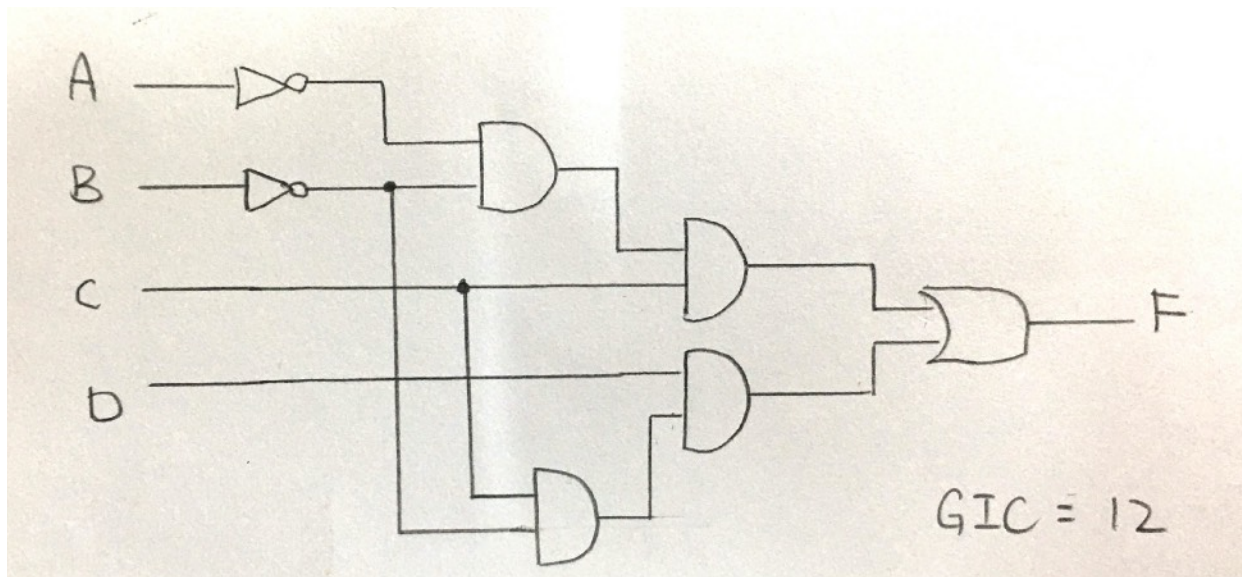
B. (d)

圖中電路：

$$F = (AD' + B'C)(CD + A') \\ = A'B'C + B'CD$$

$$GIC = 16$$

$$GIC = 12 \text{ (and or at max 2 input)}$$



C. 心得

這是嚴格來說為第一次的 lab，其中最困難的其實不是電路怎麼接或是邏輯之類的問題，而是 verilog 的語法還不是那麼熟悉，更何況還要用三種不同的方法去完成電路的接線。其中在要求用全部輸入方式丟進電路去測試，有想過有沒有迴圈之類的東西，但上網找了一些資料夾上屢試屢敗後，還是乖乖的把它寫成 16 行 QQ，之後應該會學到迴圈的寫法。