

UNIVERSIDAD DE COSTA RICA

SEDE RODRIGO FACIO
FACULTAD DE INGENIERÍA
ESCUELA DE INGENIERÍA ELÉCTRICA

IE-0523 CIRCUITOS DIGITALES II

QUIZ

PROF. JORGE SOTO

Andrés Alvarado Velázquez

B30316

*1 de Mayo
I Ciclo 2018.*

1. DDR (Double Data Rate)

La memoria DDR es una "evolución" de la memoria SDR (single data rate). Esta es un arreglo de celdas de memoria que transmiten n bits de datos por ciclo de reloj. Estos datos pasan por un buffer I/O, el cual "libera" la información, como se puede observar en la figura 1. En cambio la DDR, manda $2n$ bits por ciclo de reloj al buffer, por lo que el buffer une ambos datos secuencialmente. Provocando que a la salida se vean dos datos los cuales se pueden leer en la parte ascendente y descendente del ciclo de reloj. Lo que sería duplicar la frecuencia de datos. Esto se puede apreciar en la figura (2).

Después salió la DDR2 la cual se puede apreciar en la figura 3. Esta transmite $4n$ bits de datos a un buffer con el doble de frecuencia de lectura para que a la salida se pueda leer a 4 veces la frecuencia de lectura. Por lo que si se opera la memoria a 133MHz, el buffer debe tener un reloj de 266MHz y se leería la información a 533Mbps.

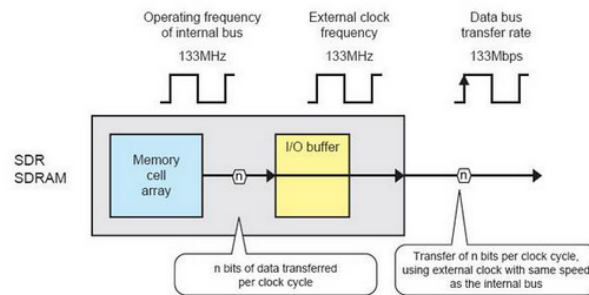


Figura 1: SDR

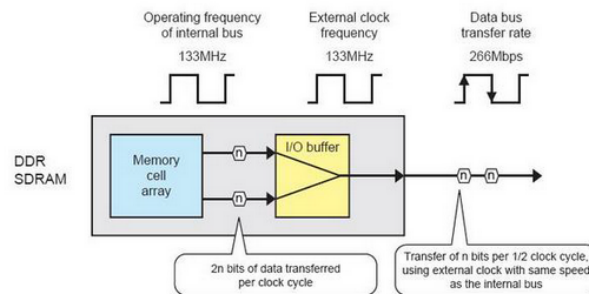


Figura 2: DDR

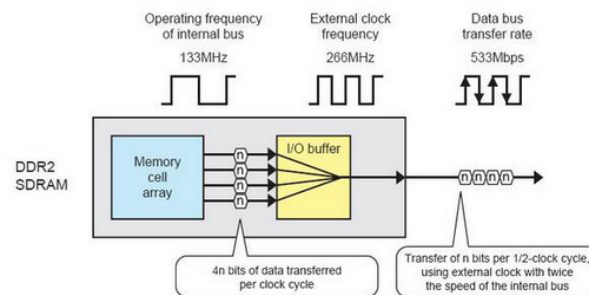


Figura 3: DDR2

2. DMA (Direct Memory Access)

Este termino usualmente se describe en arreglos de hardware en un sistema de computadora que permite operaciones de lectura y escritura para mover información ida y vuelta del RAM y varios dispositivos I/O, sin que el procesador principal (CPU) este involucrado.

Esto permite que el procesadro pueda continuar funcionando mientras otros dispositivos consiguen información de la RAM. Como se puede observar en la figura (4) cuando se utiliza este protocolo el disco duro lee directamente el RAM. En cambio normalmente pasaria a través del CPU.

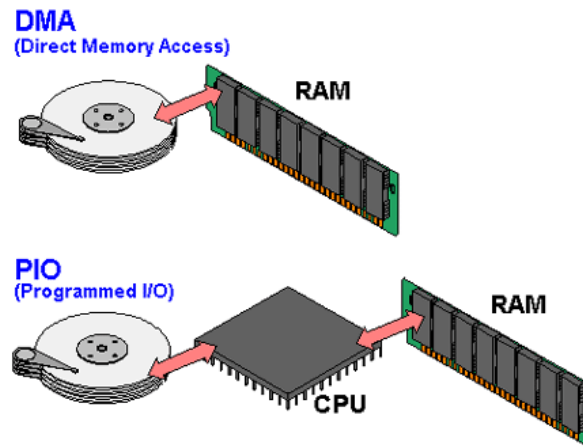


Figura 4: DMA

3. UART (Universal Asynchronous Receiver-Transmitter)

El UART es un sistema para pasar información. Para que este funcione se necesitan 2 uart. Uno en el CPU y el otro en el dispositivo. Estos funcionan agarrando la información en paralelo, transformándola en una serie de bits y mandándola por solo 1 cable, de Tx a Rx como se puede ver en la figura (5). Mientras el otro uart lee ese bus de datos y lo convierte de nuevo en algo paralelo. Este protocolo funciona asincrónicamente por lo que no necesita de un reloj para funcionar. Estos funcionan mediante un bit de inicio y un bit de finalización. Lo que duran en pasar la información se llama baud rate, el cual tiene que ser lo más parecido al baud rate del otro. Este solo puede diferir en un 10 % antes de que empiecen a haber lecturas erróneas de datos.

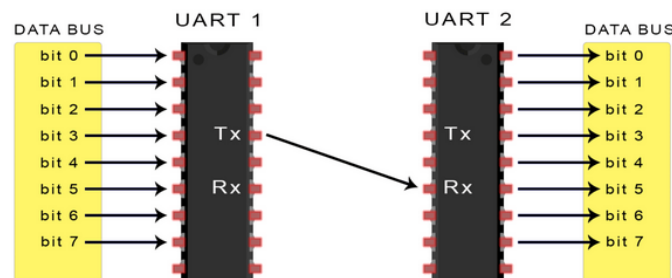


Figura 5: UART

4. I2C (Inter-Integrated Circuit)

El protocolo de I2C funciona mediante maestros y sirvientes. Usualmente en solo hay un dispositivo maestro y varios dispositivos sirvientes. Para darse la comunicación se tienen 2 cables el SDA en el cual pasa un bus de 9bits de información y el SCL en el cual pasa el clock puesto por el maestro. En el bus del SDA vienen 7 bits de información, 1 bit si es lectura o escritura y un ultimo bit de ACK bajo para informar que recibio el dato y esta listo para otro byte.

Para dar un lectura el maestro envia una secuencia de inicio y manda una dirección. En este momento como se dio un incio todos los esclavos empiezan a escuchar a ver si se le esta hablando a él. Cuando el dato de dirección calza con la informacion del esclavo empieza la comunicación entre estos dos, mientras el resto ignoran esta conversación.

Para una lectura de dato, es más complicado. Primero se da el bit de inicio por el maestro, prosiguiendo la dirección del dispositivo con el cual se quiere comunicar, luego se escribe en el registro que uno quiere leer, termina la comunicación y la vuelve a iniciar (usualmente se hace esto con un Repeat) y se vuelve a escribir la dirección del dispositivo con el bit de lectura arriba, y finalmente se puede leer la información del dispositivo. Esta secuencia de puede observar en la figura (6)

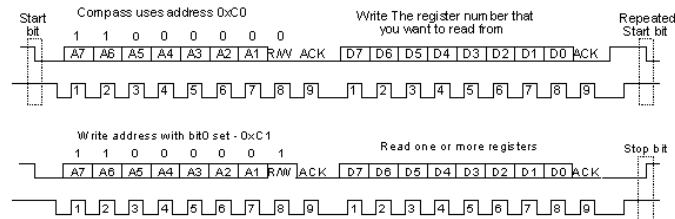


Figura 6: I2C