

#VLSI FINAL PROJECT

◆ Group member

1. 工科系 三年級 110011207 林士登
2. 工科系 三年級 110011141 陳昇達

◆ Outline

1. Design
 - (1) Block diagram
 - (2) Circuit schematic / Sub-circuits
2. Layout
 - (1) Sub-circuits
 - (2) Completed design / Area measurement
 - (3) DRC summary / LVS result
3. Simulation results
 - (1) Pre-sim waveform
 - (2) Post-sim waveform
 - (3) Pre-sim results & Post-sim results comparison

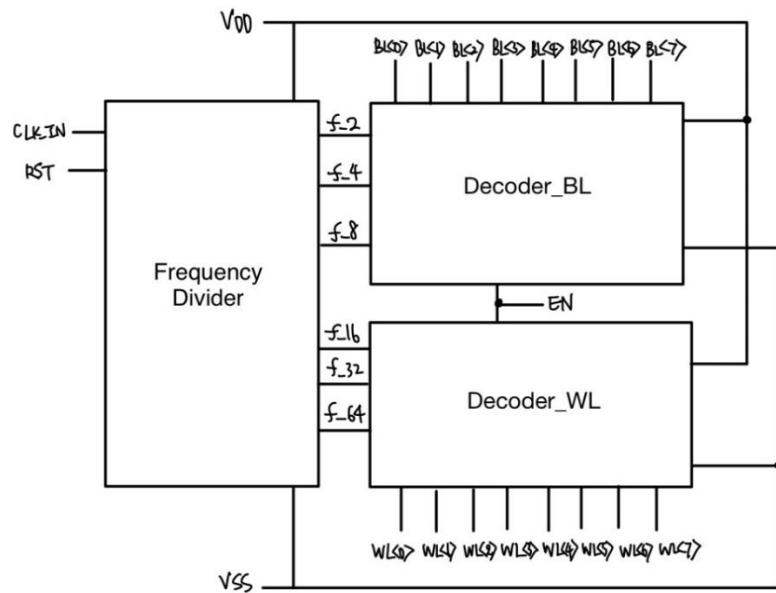
◆ Design

我們設計的 clock generator 由三個 module 組成，包含 frequency divider、word line decoder、以及 bit line decoder，其中兩個 decoder 的內容以及 W/L ratio 不同，視為不同的 module。

Frequency divider 由六個 TSPC_FF 組成，每一級的 FF 作為下一級 FF 的 clock input，透過此方式將第一個 clock 訊號週期變成原本的 2、4、8、16、32、64 倍，藉此達到除頻的效果。

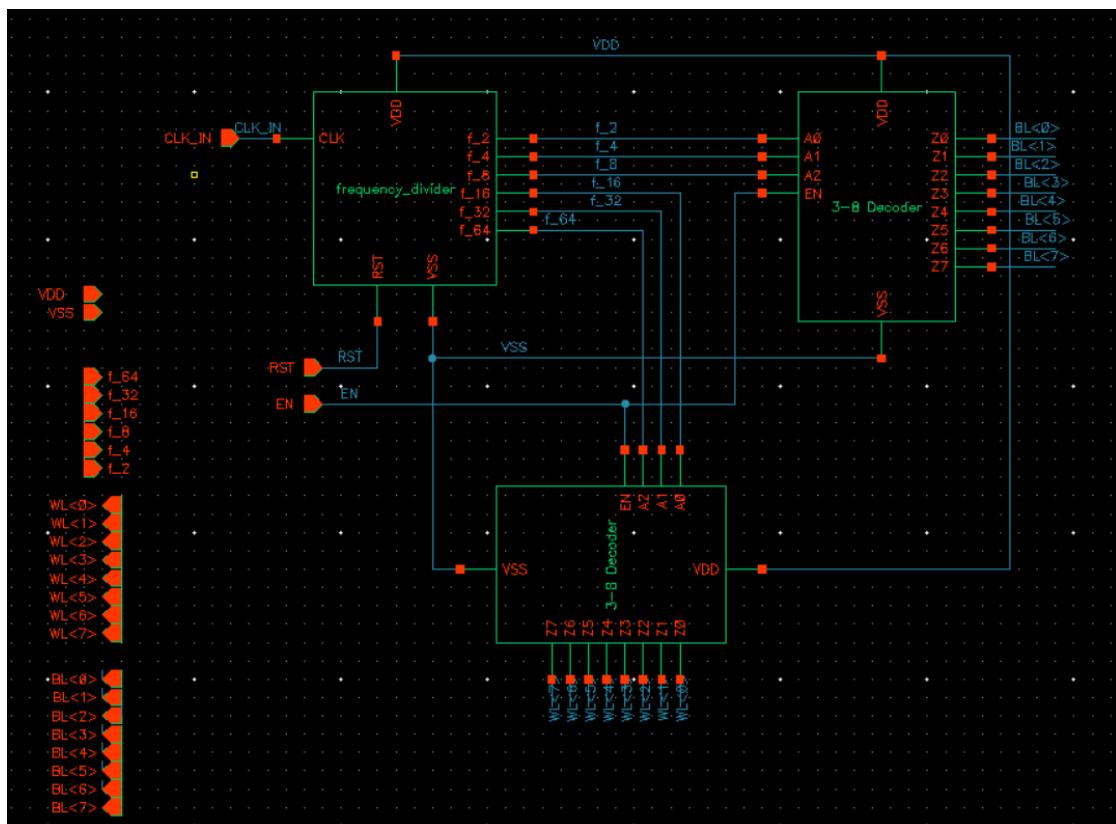
而兩個 decoder 之所以設計不同，是因為在 pre-sim 時發現 bit line 上升會跑的比 word line 上升快，為了滿足條件，而在 bit line decoder 加上了 buffer 希望藉此增加 delay。而 bit line decoder 的 input 為 f_2、f_4、f_8，word line decoder 的 input 則為 f_16、f_32、f_64。

1. Block diagram

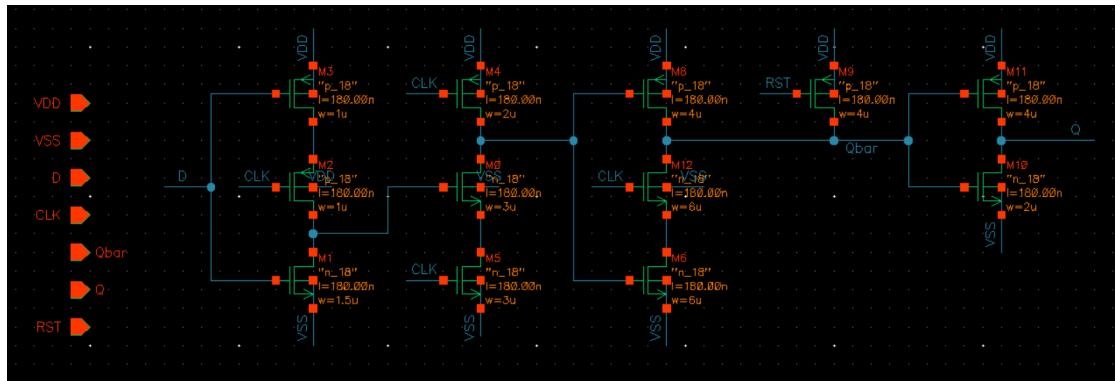


2. Circuit schematic / Sub-circuits

✓ Clock Generator



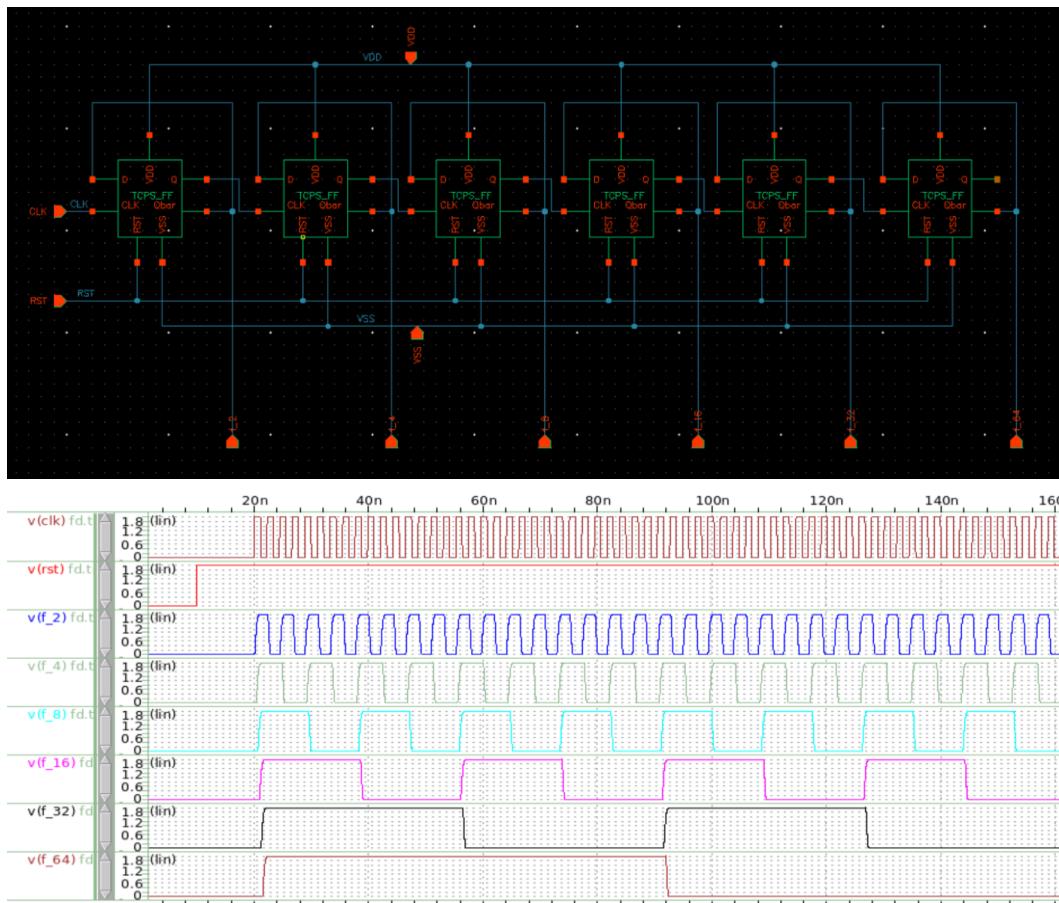
✓ TSPC_FF



我們使用的是 TSPC DFF，全名是 True Single Phase Clocked DFF，意思是指使用單一相位的 CLK 訊號，此電路屬於動態暫存器，適合使用在高頻率的訊號上，和原始的 Master-Slave DFF 相比的優點在於用單一相位的 CLK 可以避免時脈訊號 CLK 和 CLK' 的 overlap 0-0 或是 overlap 1-1，而缺點是需要 12 顆電晶體。

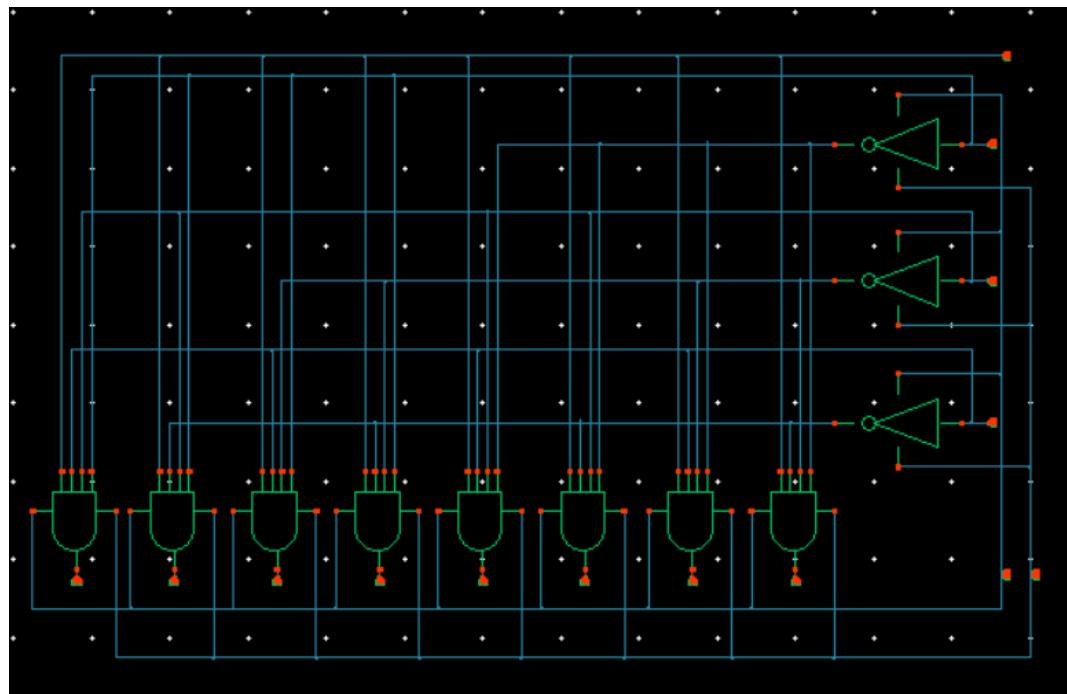
至於選擇 sizing 的部分，我們發現讓 $W_n > W_p$ 能更有效的顯現出 FF 的功能，前三級都是 $W_p/W_n = 1/1.5$ ，並且為了驅動電路，每級的尺寸為上級的 2 倍。第四級為 reset 使 \bar{Q} / Q 節點在 precharge 期間能充電到值 1/0，在這裡使用的一顆較大的 pmos 電晶體以免電路開始運作時 \bar{Q} / Q 都尚未得到穩定的值。

✓ Frequency Divider



上圖所示為除頻器結構及波形圖，包含了 6 個 TSPC DFF，運作時，先將 RST 訊號設為低電壓使在 FF 中的各個 Q / Qbar 有預設值，充電完畢後將 RST 拉到高電壓停止充電，並且開始除頻運作，每個 DFF 的 Qbar 訊號則拉出作為除頻訊號。

✓ Decoder_WL



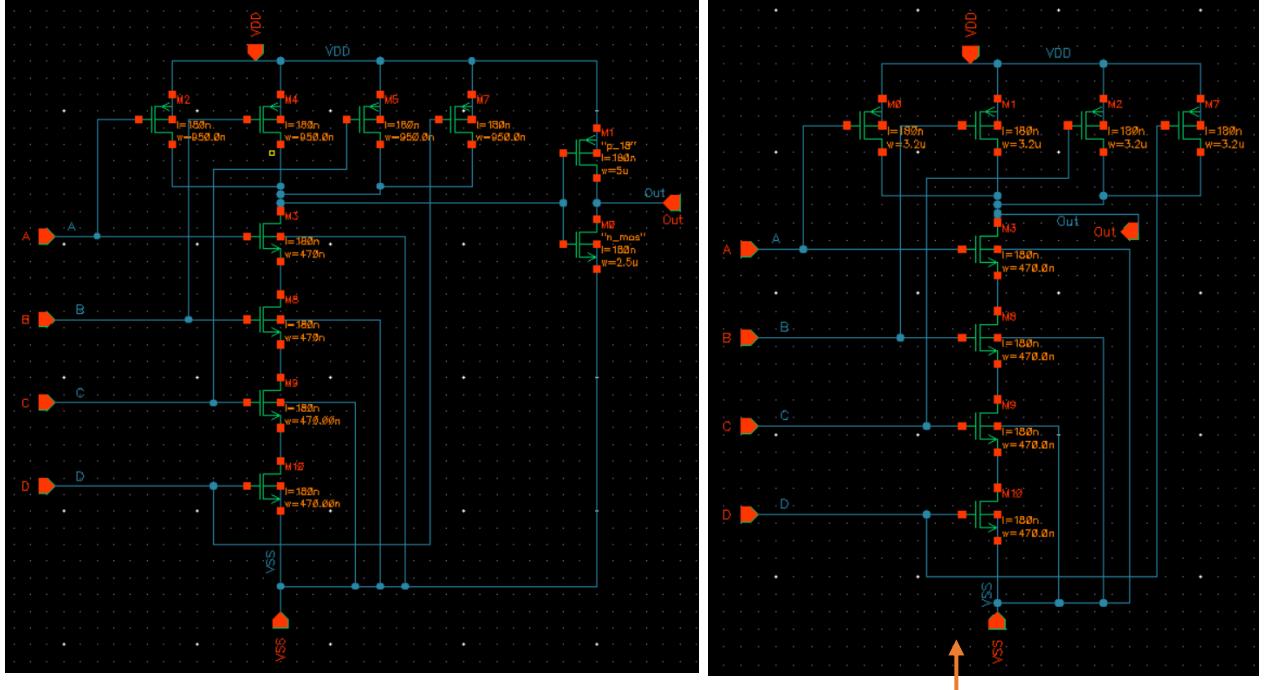
我們 3-8 word line decoder "decoder_WL" 使用的是 and4 邏輯閘 "AND_WL" 作為 enable 與 A2、A1、A0 的輸入端，當 enable 訊號 EN 為 0 時，每個 and4 輸出均為 0，代表在 EN 尚未拉起時，此解碼器還不能正常運作。另外，這裡使用的 and4 架構與 bit line decoder "decoder_BL" 所使用的架構不同，會在下個部分詳細介紹。

(假設 EN=1 時的 3-8 Decoder Truth Table)

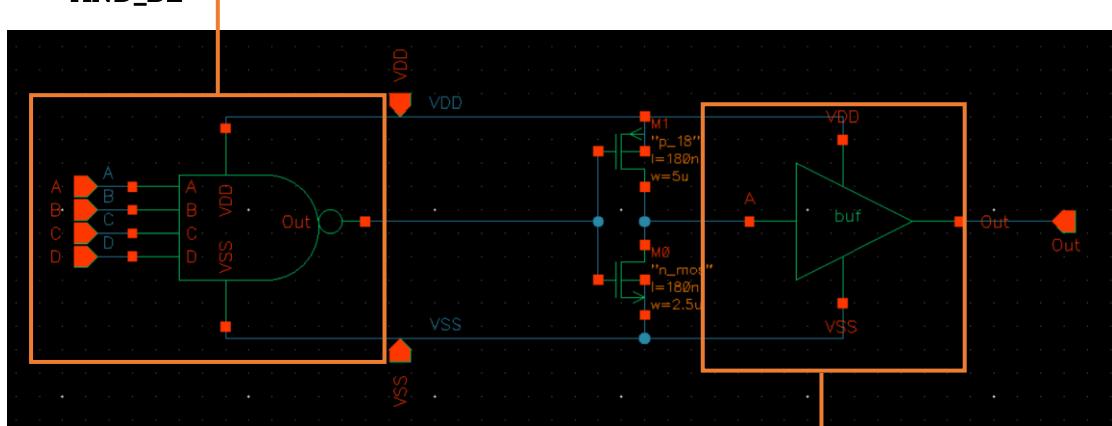
✓ Decoder_BL

Bit line 3-8 decoder “decoder_BL” 的電路圖架構和 “decoder_WL” 相同，不同之處是 and4 內是否有 buffer 推動，以下會將 “AND_WL” 和 “AND_BL” 做比較。

✓ AND_WL



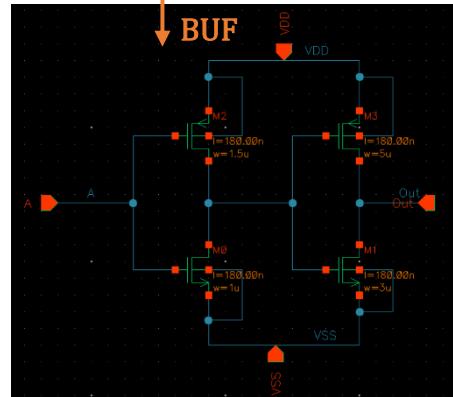
✓ AND_BL



(1) Sizing

$$AND_WL \left\{ \begin{array}{l} NAND4 \rightarrow 950n/470n \\ INV \rightarrow 5u/2.5u \end{array} \right.$$

$$AND_BL \left\{ \begin{array}{l} NAND4 \rightarrow 3.2u/470n \\ INV \rightarrow 5u/2.5u \\ BUF \rightarrow \frac{1.5u}{1u} \rightarrow \frac{5u}{3u} \end{array} \right.$$



(2) Comparison of two AND4 gate

i. AND_WL sizing

Word line 的 NAND4 邏輯閘，我們使用相等的 rise/fall time 延遲來設計，並且我們挑選了最小的尺寸 nmos 尺寸 $W_n = 470n$ (因為 contact 和 diffusion 間距最少 $0.12\mu m$ 且 contact 為 $0.23 \times 0.23 \mu m^2$ ，因此最小的 $W_n = 0.23 + 0.12 \times 2 = 0.47\mu m$)，挑選最小的尺寸有助於減少 decoder 輸出的 glitch。下級的 INV 也是使用相同比例但驅動能力為 $2\mu m/1\mu m$ 的 2.5 倍，將此 NAND4 和 INV 接起來組合成 AND_WL。

ii. AND_BL sizing

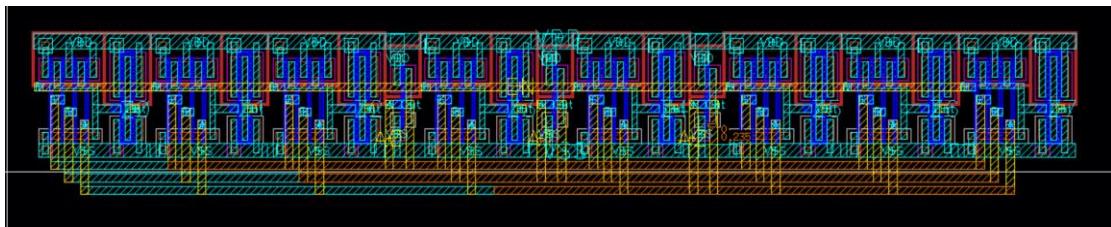
Bitline 的 NAND4 邏輯閘，我們使用 HI-SKEW 的 P/N 比例來確保 rising time 是被偏好的，因為在高頻且 corner 為 SS、SF 的情況下，decoder 輸出的 bitline 完全開啟的時脈寬度會很短，因此利用此方法將 rising time 縮短許多可以增加 bitline 與 word line 交疊時間，確保電路有成功運作。另外在最後一級我們加上一個 buffer 讓 propagation delay 增加使 8 條 bit line 幾乎完全進入 word line 中，讓電路不會有第一條 bit line 先開啟 word line 才後開啟的情形。

◆ Layout

1. Sub-circuits

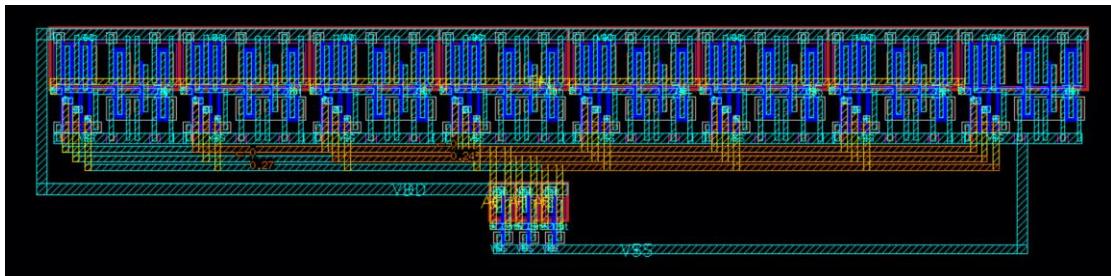
✓ Decoder_WL

我們將 Decoder_WL 的三個輸入 INV 放置在八個 AND_WL 之中以減少空白面積。



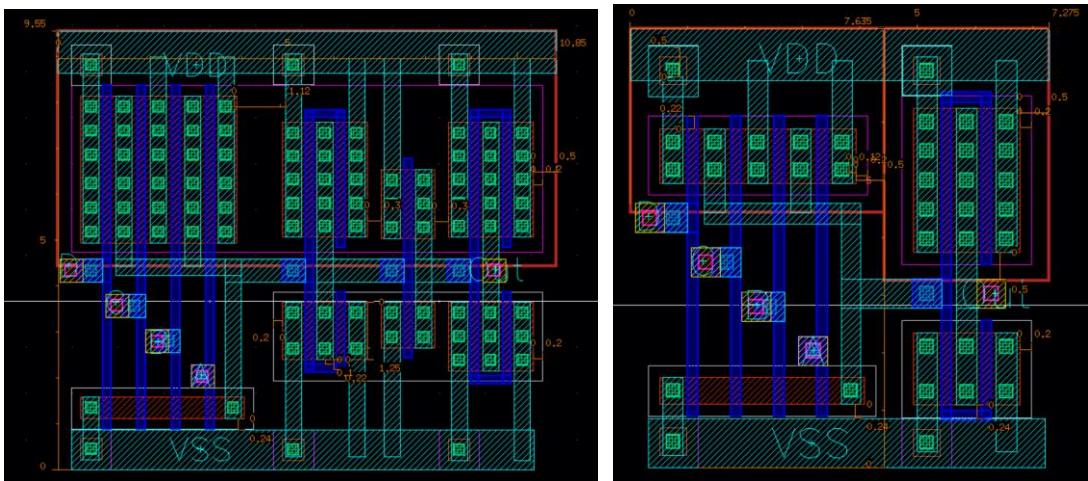
✓ Decoder_BL

Decoder_BL 原先設計的 layout 如下，但為了減少中間的空隙，因此將三個 inverter 放到 clock generator 的左下角區域以減少面積。

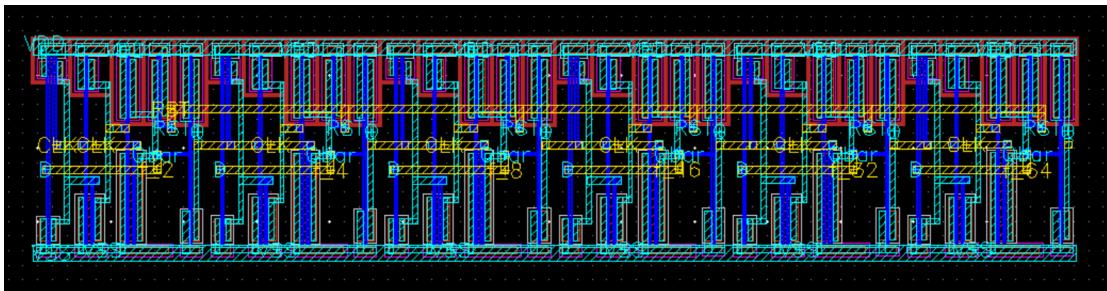


✓ And4_BL、And4_WL

在 And4_WL 中我們將 NAND4 與 inverter 接在一起(And4_BL 多加 buffer)，而為了減少面積，我們將完成 DRC 與 LVC 的兩個 cell 複製到 And4_WL 與 And4_BL 而非呼叫 instance 的方式，能夠將 diffusion 或 NIMP 等區域合併。然後由於我們設計的 NAND4 的 W/L ratio 與 inverter 的差距有點大，因此我們在 inverter 及 buffer 使用了 multi-finger 的方式去設計，使用這種方法的好處是第一個能讓兩個比例不要差太多，第二是能夠降低 diffusion 區域的電容與電阻。

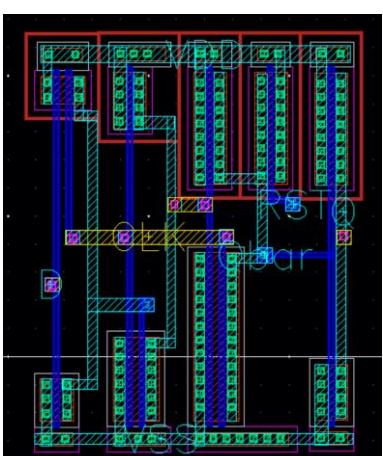


✓ Frequency Divider



除頻器為了配合解碼器長條之形狀，而設計為同樣一直排的 6 個 TSPC DFF 串聯。

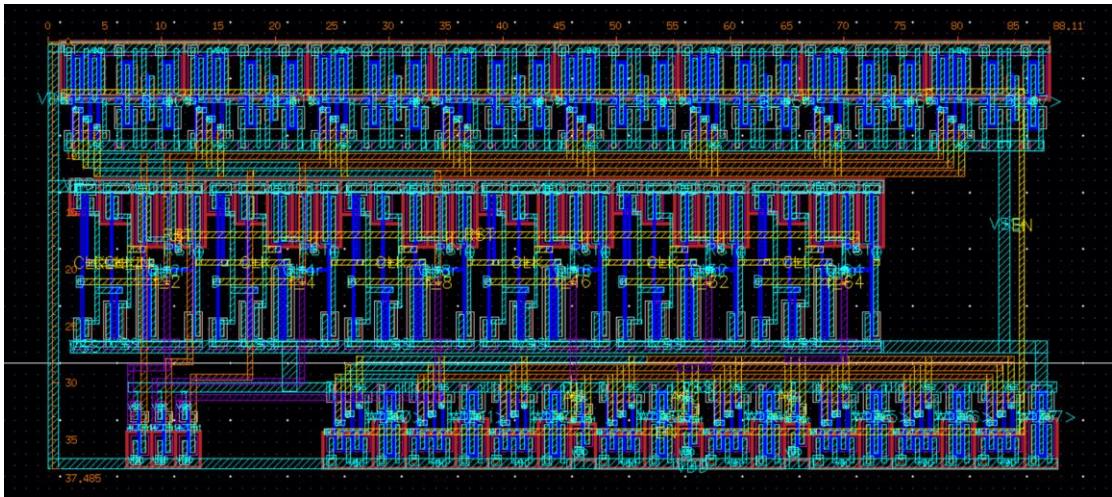
✓ TSPC DFF



原本特別設計正反器希望能壓縮整體內部空間，但礙於電路每一級電晶體的尺寸差距，以及輸入輸出位置的方便性，若將每級的位置擺放得縱橫交錯，雖然有機會可以減少面積，但是可閱讀性會降低許多，接線複雜度也因此會大幅增加，最後我們選擇使用最正規的擺設方法，每級由左至右，這樣使接除頻器電路的時候線路能短一點且更容易設計。

2. Completed design / Area measurement

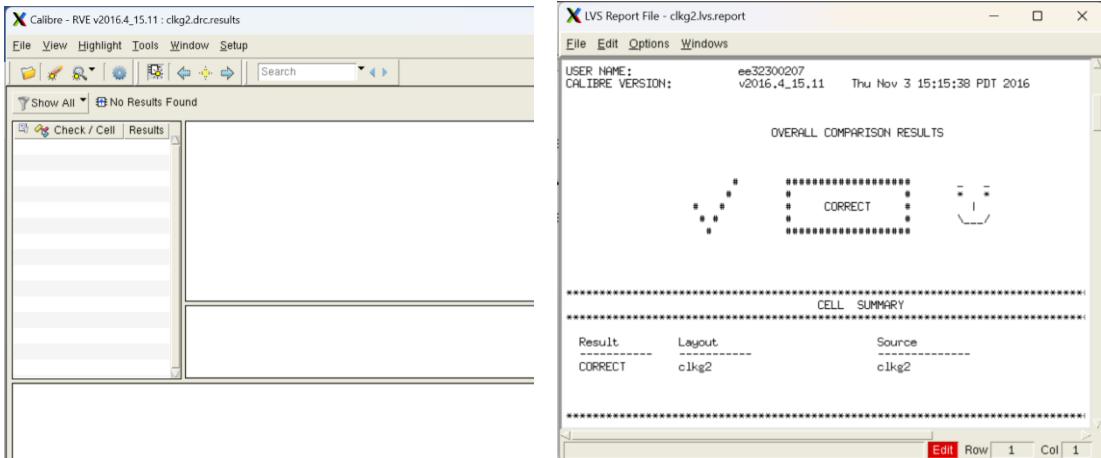
✓ Clock Generator



在完整的 clock generator 電路中，我們將 Decoder_BL、Frequency_Divider 和 Decoder_WL 依序地由上往下擺放，左下角之三個 inverter 為第一部分提到的為了縮小面積而將 Decoder_BL 的三個 inverter 摆放至空白的地方。

總面積為 $88.11\mu m \times 37.485\mu m = 3302.80335\mu m^2$ 。

3. DRC summary / LVS result



上圖左側為 clock generator DRC 執行無報錯結果。

上圖右側為 clock generator LVS 比對後與 schematic 相符之結果。

◆ Simulation results

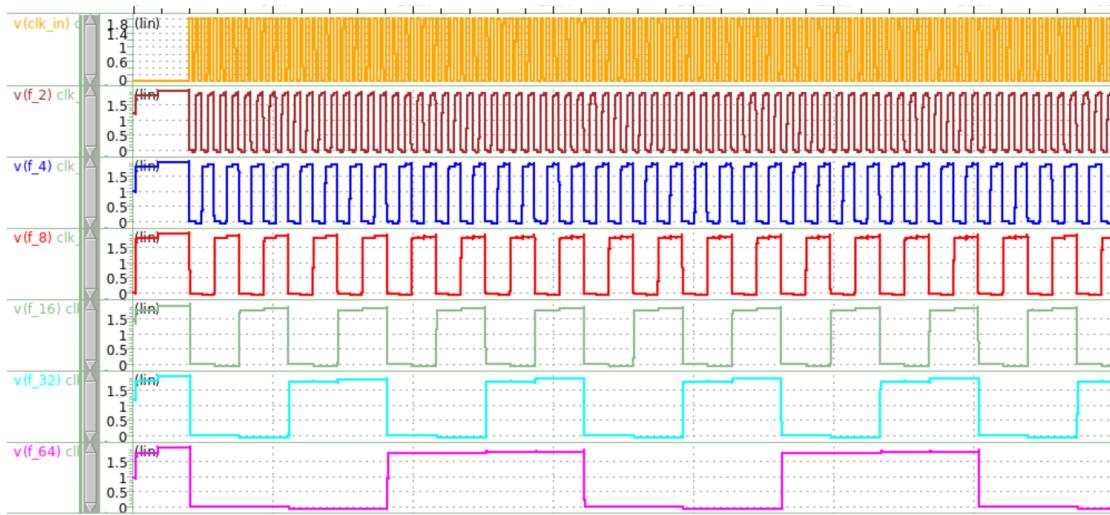
1. Pre-layout Simulation

(1) 最高的支援頻率 $F_{max} = 1/(1\text{ns}^2 + 0.1\text{ns}^2) = 1/2.2\text{ns} = 0.455\text{GHz}$

(2) **Waveview** (All waveforms comply with all demo standards/All measurements in part (3))

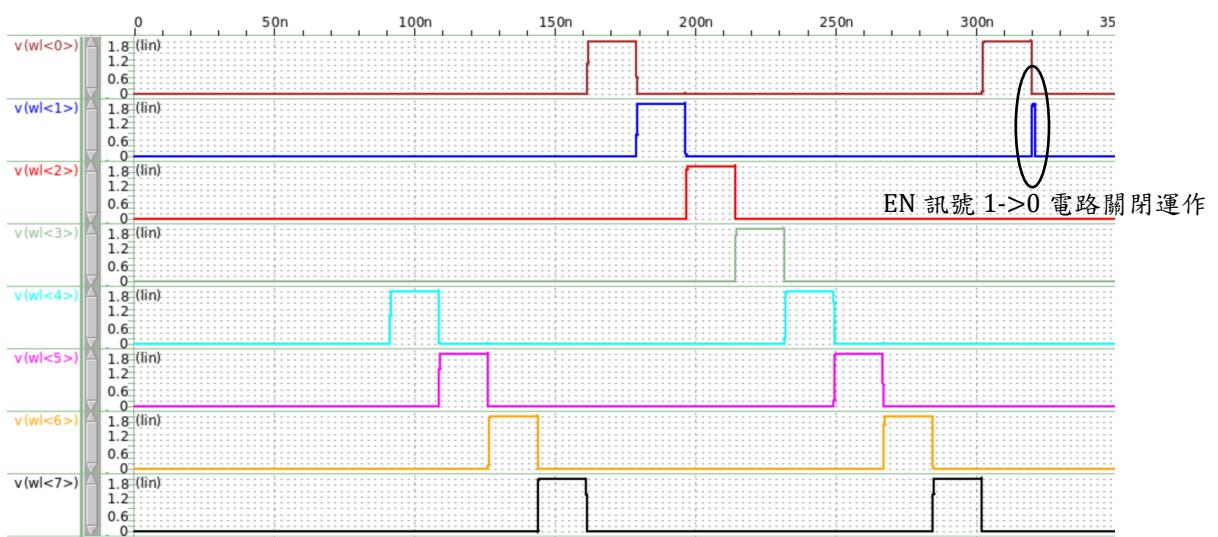
(2)-1. All functionalities (TT for example)

Frequency divider (f 2 ~ f 64)

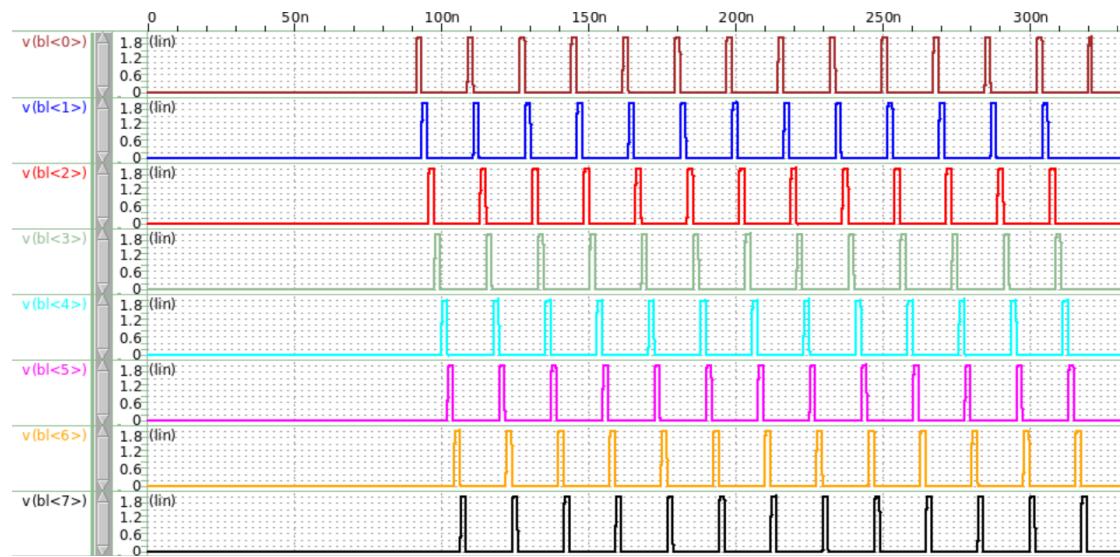


在除頻器波形中，可以看到有些微的 clock feedthrough 現象，造成此現象的原因在於 clock 訊號傳遞時在非預期的節點上耦合，此耦合發生在 C_{gs} 、 $C_{interconnect}$ 或者是 substrate coupling，解決此問題的方法有許多種，包含使用 differential interconnect、differential clock 等等的，但考慮到電路複雜性以及在 decoder 輸出端會修正此問題，造成的影響不大，因此決定將此問題暫時忽略。

Decoder WL (WL<0:7>)

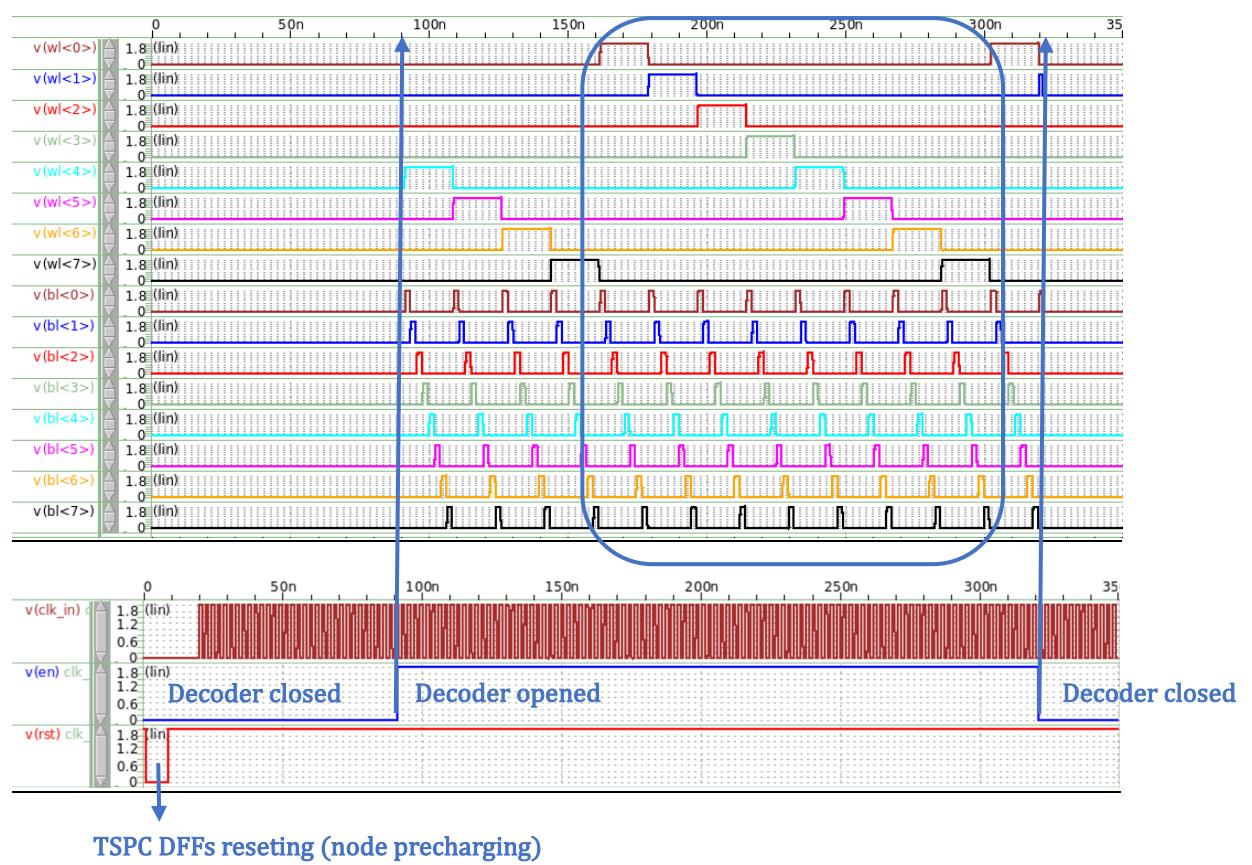


Decoder BL (BL<0:7>)



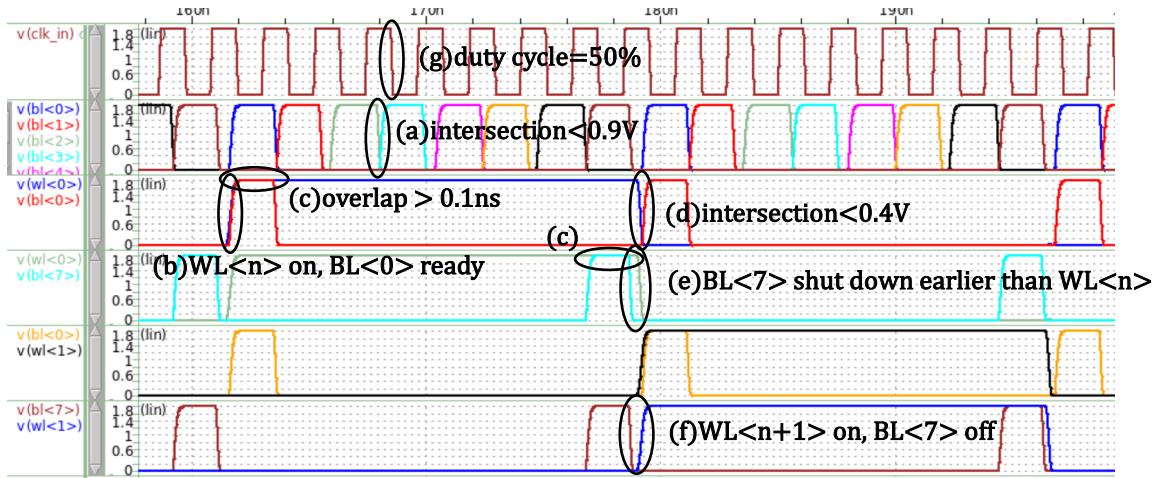
Read-out diagram

TT corner simulation

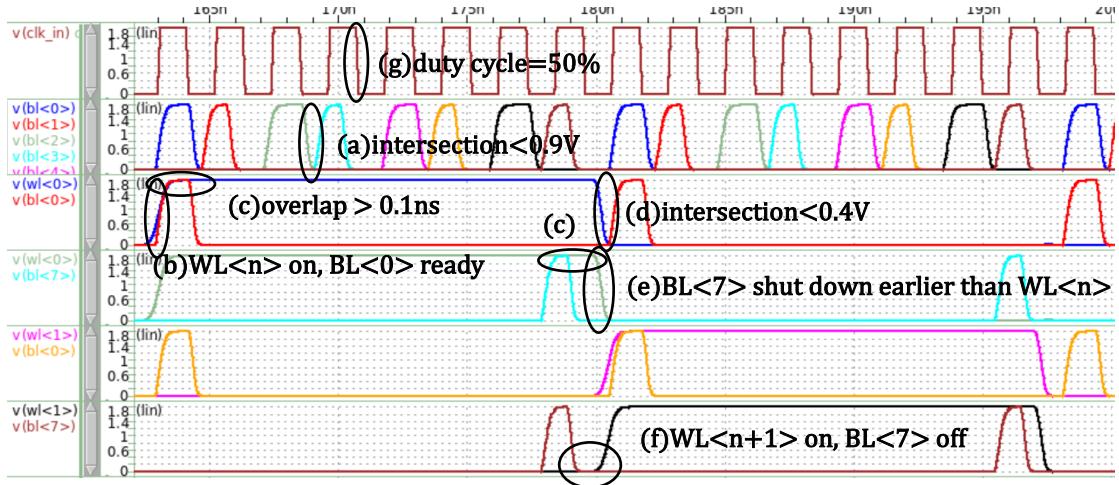


(2)-2. Demo standards

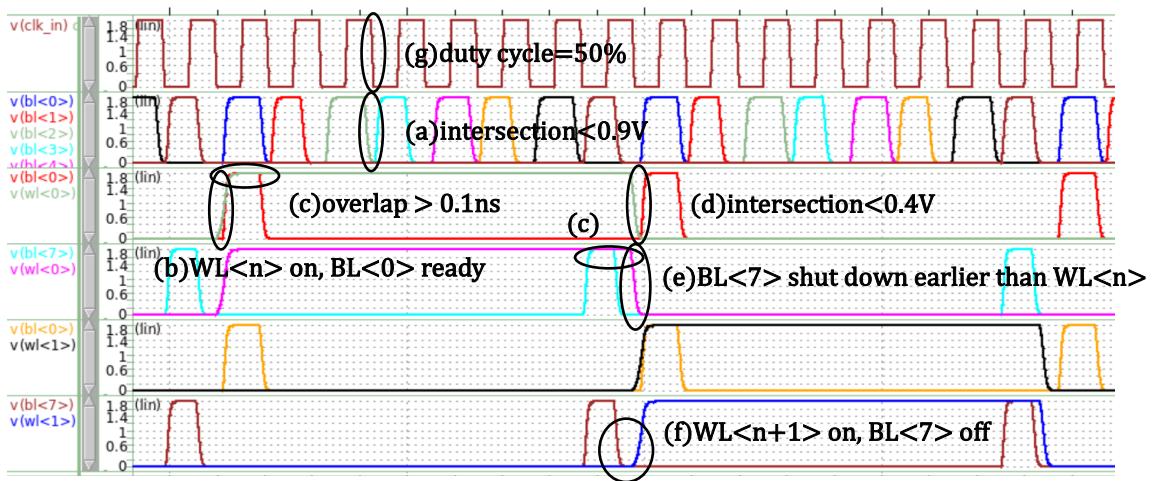
TT



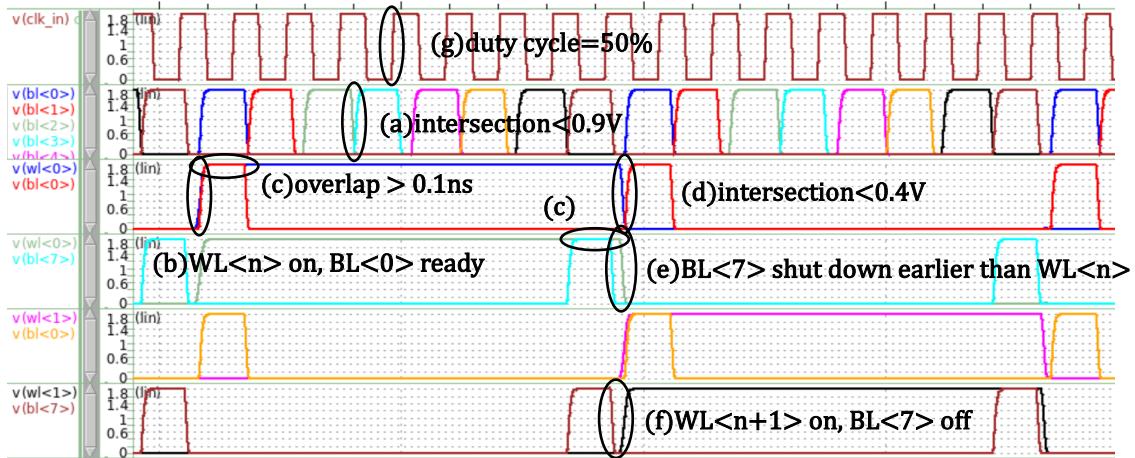
SS



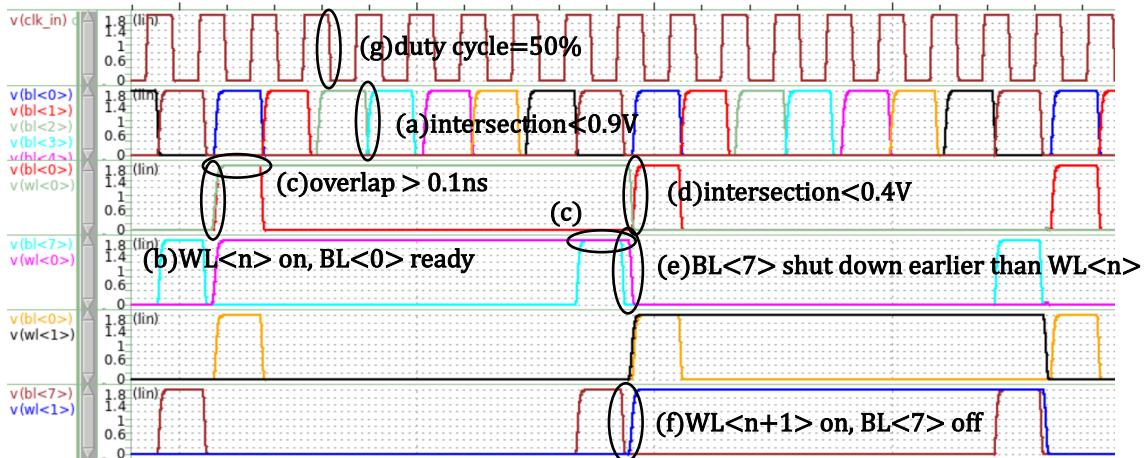
SF



FS



FF



(3) Rise / Fall time of each corner (TT, SS, SF, FS, FF)

TT@25°C	$t_{rise}(ps)$	$t_{fall}(ps)$		$t_{rise}(ps)$	$t_{fall}(ps)$
WL<0>	263	164	BL<0>	198	125
WL<1>	263	163	BL<1>	198	125
WL<2>	263	164	BL<2>	198	125
WL<3>	262	138	BL<3>	198	125
WL<4>	263	164	BL<4>	198	125
WL<5>	263	163	BL<5>	198	125
WL<6>	262	164	BL<6>	197	125
WL<7>	261	136	BL<7>	198	125

SS@25°C	$t_{rise}(ps)$	$t_{fall}(ps)$		$t_{rise}(ps)$	$t_{fall}(ps)$
WL<0>	604	340	BL<0>	393	261
WL<1>	603	340	BL<1>	391	260

WL<2>	603	340	BL<2>	393	261
WL<3>	509	283	BL<3>	391	260
WL<4>	603	340	BL<4>	393	260
WL<5>	603	340	BL<5>	391	260
WL<6>	600	341	BL<6>	393	260
WL<7>	597	280	BL<7>	392	260

SF@25°C	<i>t_{rise}(ps)</i>	<i>t_{fall}(ps)</i>		<i>t_{rise}(ps)</i>	<i>t_{fall}(ps)</i>
WL<0>	392	273	BL<0>	192	222
WL<1>	392	273	BL<1>	192	222
WL<2>	392	273	BL<2>	192	222
WL<3>	388	253	BL<3>	192	222
WL<4>	392	273	BL<4>	192	222
WL<5>	392	273	BL<5>	192	222
WL<6>	388	273	BL<6>	192	222
WL<7>	384	254	BL<7>	192	222

FS@25°C	<i>t_{rise}(ps)</i>	<i>t_{fall}(ps)</i>		<i>t_{rise}(ps)</i>	<i>t_{fall}(ps)</i>
WL<0>	264	169	BL<0>	188	131
WL<1>	264	169	BL<1>	187	131
WL<2>	264	169	BL<2>	188	131
WL<3>	262	146	BL<3>	187	131
WL<4>	264	169	BL<4>	188	131
WL<5>	264	169	BL<5>	187	131
WL<6>	262	169	BL<6>	187	131
WL<7>	261	145	BL<7>	187	131

FF@25°C	<i>t_{rise}(ps)</i>	<i>t_{fall}(ps)</i>		<i>t_{rise}(ps)</i>	<i>t_{fall}(ps)</i>
WL<0>	222	143	BL<0>	170	109
WL<1>	222	142	BL<1>	170	108
WL<2>	222	143	BL<2>	170	109
WL<3>	221	120	BL<3>	170	109
WL<4>	222	143	BL<4>	170	109
WL<5>	222	142	BL<5>	170	109
WL<6>	221	143	BL<6>	170	109
WL<7>	220	118	BL<7>	170	108

(4) Overlap width between **WL<0>** and **BL<0>** to **BL<7>** of each corner

t_{overlap}(ns)	BL<0>	BL<1>	BL<2>	BL<3>	BL<4>	BL<5>	BL<6>	BL<7>
TT@25°C	1.45	1.39	1.55	1.39	1.48	1.39	1.55	1.39
SS@25°C	0.347	0.129	0.647	0.131	0.440	0.120	0.671	0.135
SF@25°C	0.989	0.843	1.19	0.847	1.08	0.841	1.19	0.862
FS@25°C	1.44	1.38	1.56	1.39	1.47	1.38	1.57	1.39
FF@25°C	1.56	1.52	1.66	1.53	1.59	1.53	1.66	1.53

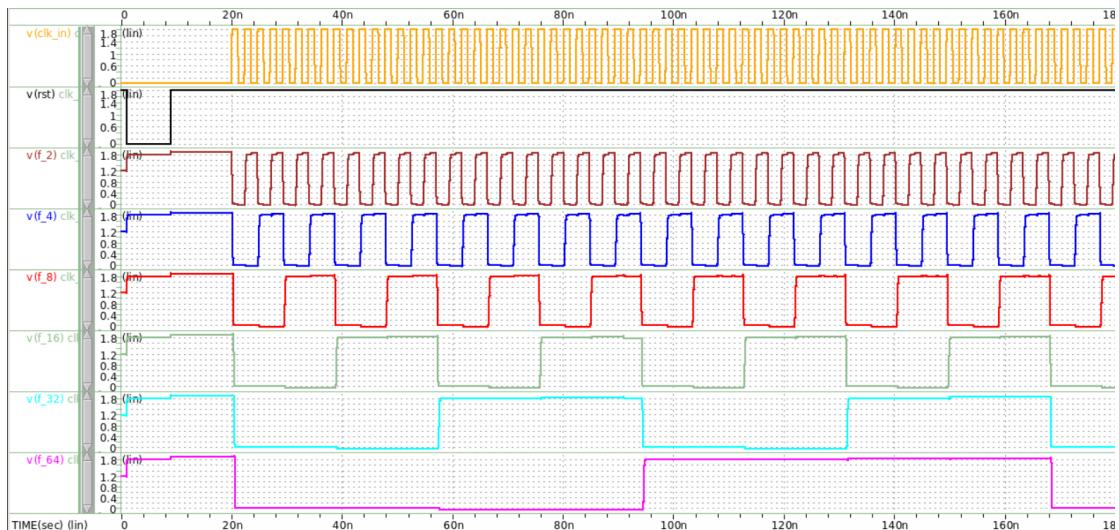
2. Post-layout Simulation

(1) 最高的支援頻率 **Fmax = 1/(1.05ns*2+0.105ns*2)=1/2.31ns=0.433GHz**

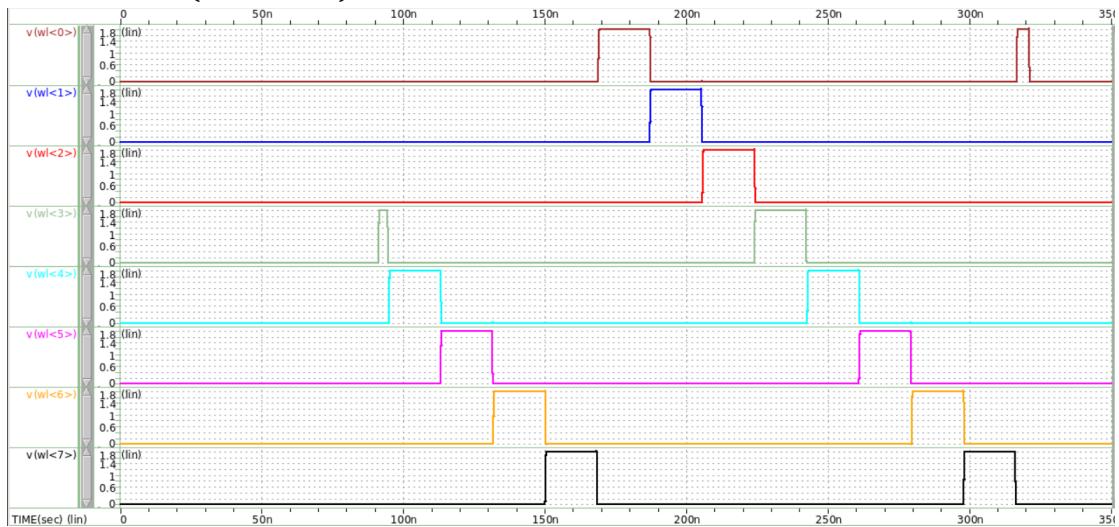
(2) **Waveview** (All waveforms comply with all demo standards/All measurements in part (3))

(2)-1. All functionalities (TT for example)

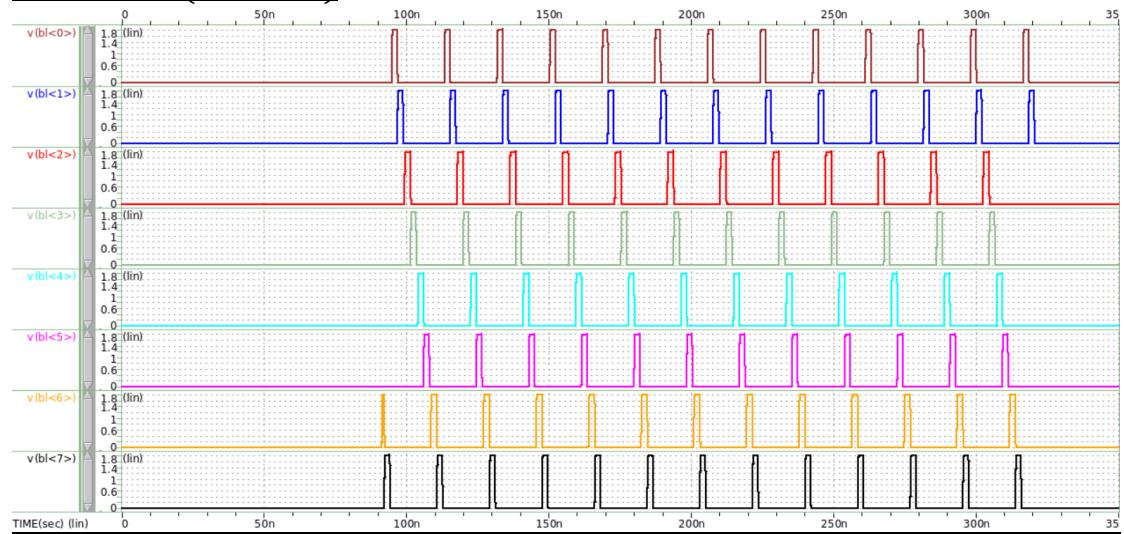
Frequency divider (f 2 ~ f 64)



Decoder WL (WL<0:7>)

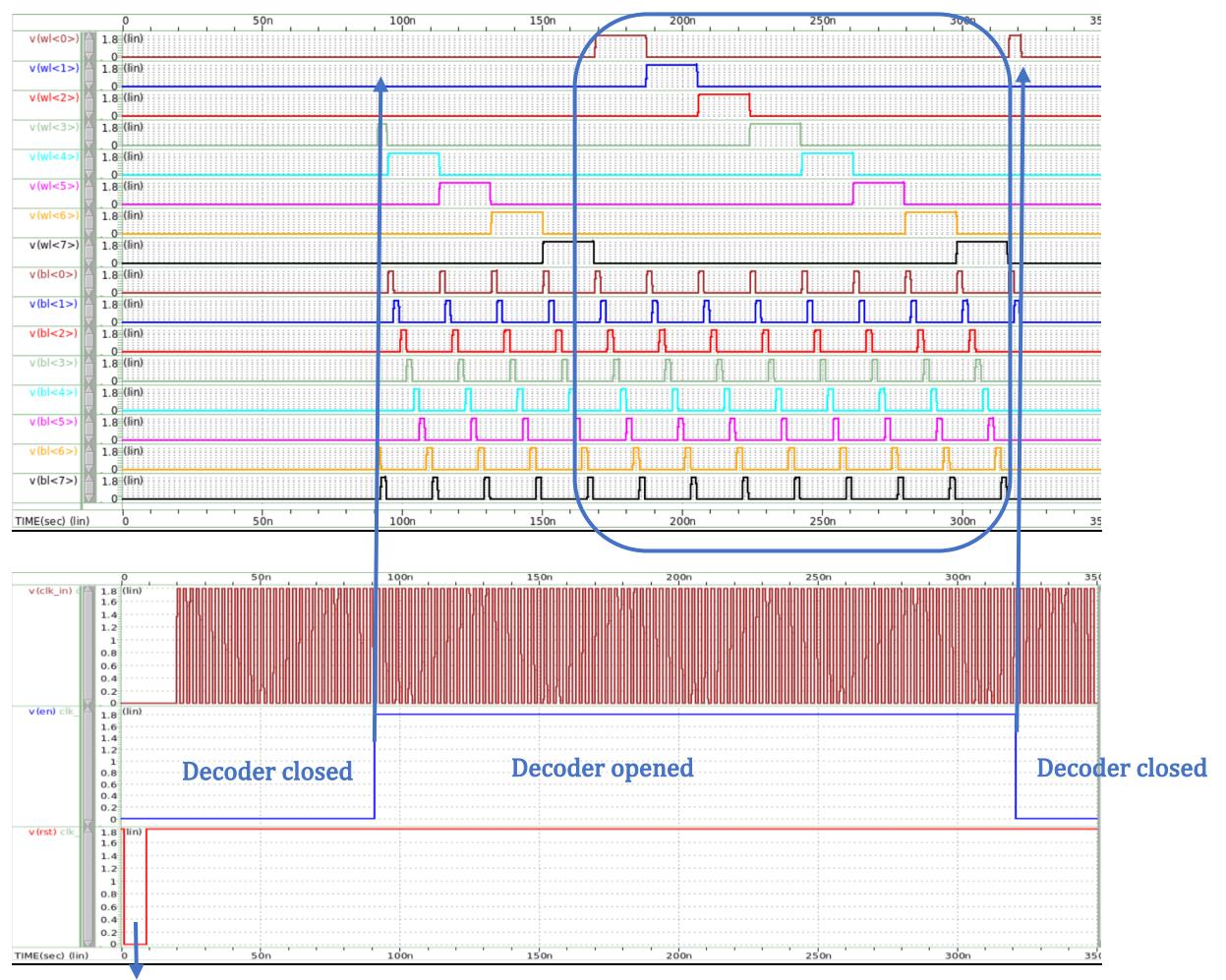


Decoder BL (BL<0:7>)



Read-out diagram

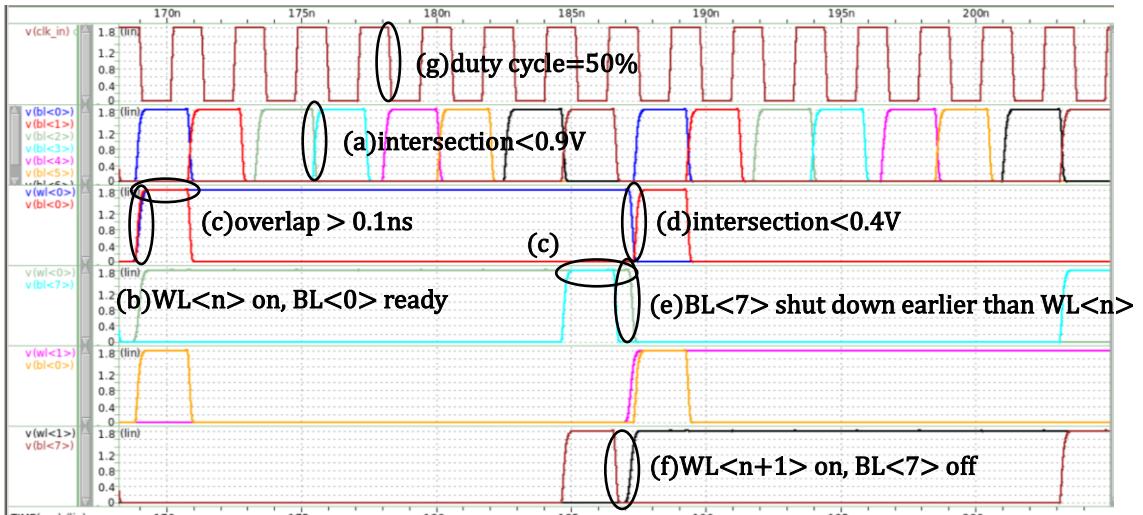
TT corner simulation



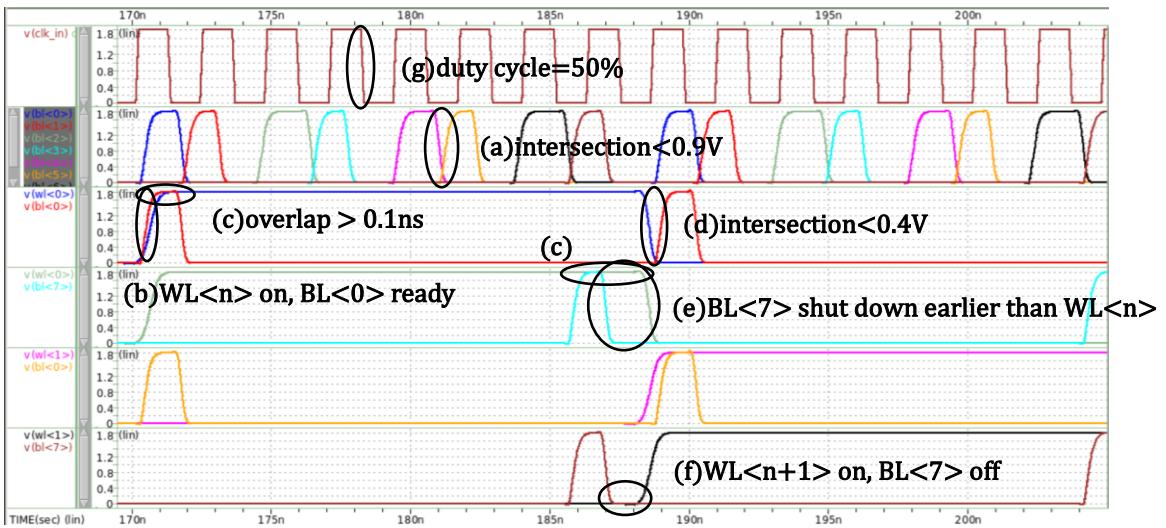
TSPC DFFs resetting (node precharging)

(2)-2. Demo standards

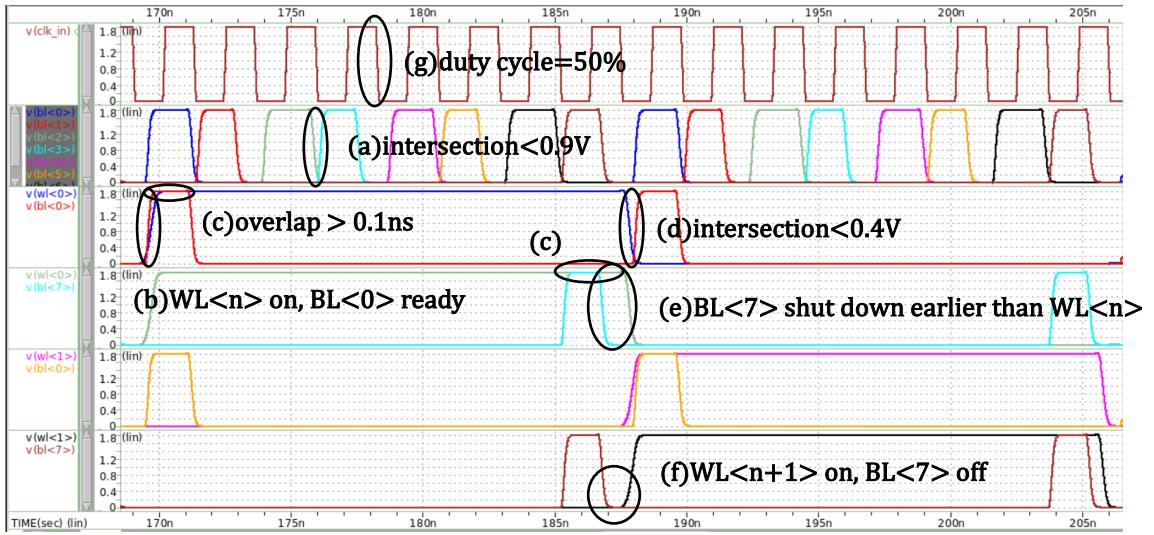
TT



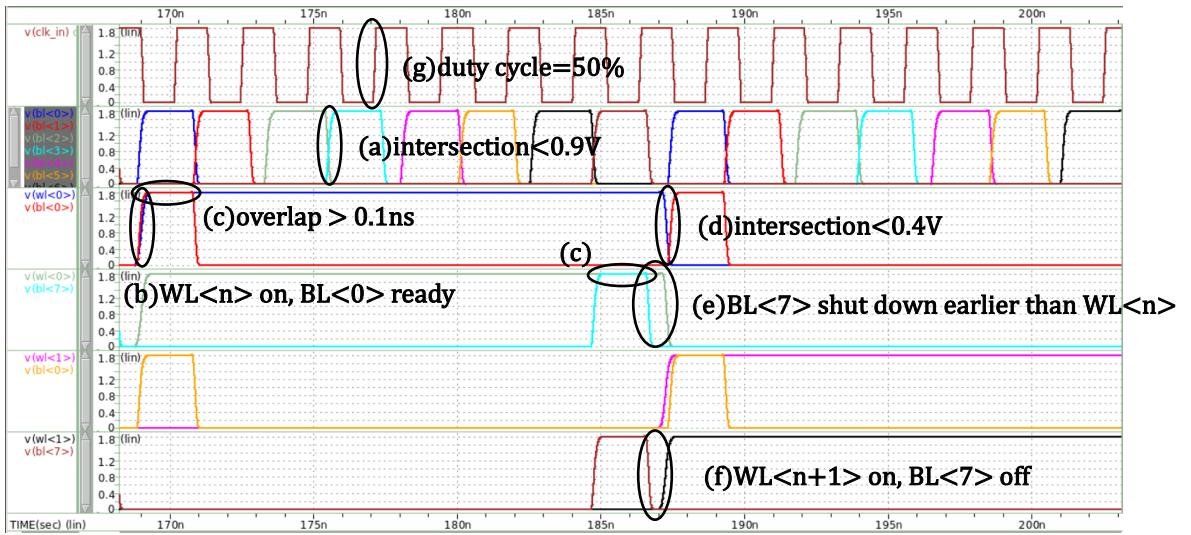
SS



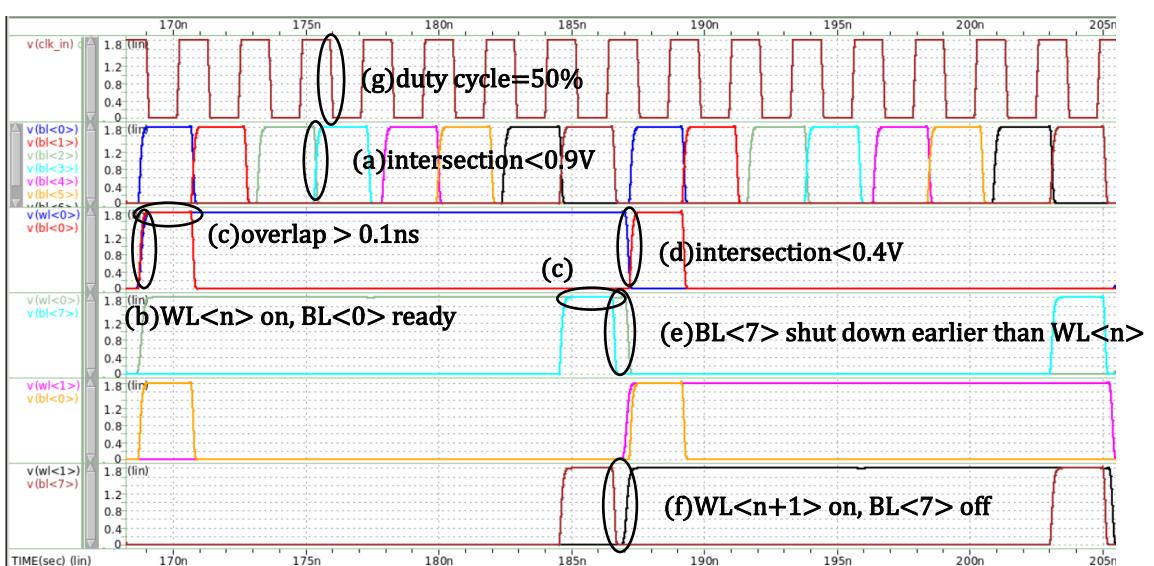
SF



FS



FF



(3) **Rise / Fall time** of each corner (TT, SS, SF, FS, FF)

TT@25°C	$t_{rise}(ps)$	$t_{fall}(ps)$		$t_{rise}(ps)$	$t_{fall}(ps)$
WL<0>	270	168	BL<0>	199	128
WL<1>	268	166	BL<1>	200	128
WL<2>	267	167	BL<2>	199	128
WL<3>	267	141	BL<3>	200	128
WL<4>	267	167	BL<4>	199	128
WL<5>	268	165	BL<5>	200	128
WL<6>	267	167	BL<6>	199	128
WL<7>	267	141	BL<7>	200	127

SS@25°C	$t_{rise}(ps)$	$t_{fall}(ps)$		$t_{rise}(ps)$	$t_{fall}(ps)$
WL<0>	615	350	BL<0>	398	268
WL<1>	613	345	BL<1>	397	267
WL<2>	612	348	BL<2>	399	268
WL<3>	611	291	BL<3>	397	267
WL<4>	612	348	BL<4>	398	268
WL<5>	614	344	BL<5>	398	267
WL<6>	610	349	BL<6>	399	268
WL<7>	609	291	BL<7>	398	267

SF@25°C	$t_{rise}(ps)$	$t_{fall}(ps)$		$t_{rise}(ps)$	$t_{fall}(ps)$
WL<0>	401	286	BL<0>	194	228
WL<1>	398	279	BL<1>	195	227
WL<2>	398	285	BL<2>	194	228
WL<3>	396	262	BL<3>	195	227
WL<4>	398	285	BL<4>	195	228
WL<5>	398	279	BL<5>	195	227
WL<6>	395	285	BL<6>	195	228
WL<7>	393	263	BL<7>	195	227

FS@25°C	$t_{rise}(ps)$	$t_{fall}(ps)$		$t_{rise}(ps)$	$t_{fall}(ps)$
WL<0>	270	174	BL<0>	188	135
WL<1>	269	172	BL<1>	189	134
WL<2>	268	174	BL<2>	188	135
WL<3>	268	150	BL<3>	189	134
WL<4>	268	173	BL<4>	188	135
WL<5>	269	171	BL<5>	189	134
WL<6>	267	174	BL<6>	188	135
WL<7>	268	151	BL<7>	189	134

FF@25°C	$t_{rise}(ps)$	$t_{fall}(ps)$		$t_{rise}(ps)$	$t_{fall}(ps)$
WL<0>	228	146	BL<0>	171	111
WL<1>	226	144	BL<1>	172	111
WL<2>	226	145	BL<2>	171	111
WL<3>	226	122	BL<3>	171	111
WL<4>	226	145	BL<4>	171	111
WL<5>	227	144	BL<5>	172	111
WL<6>	225	145	BL<6>	171	111
WL<7>	226	122	BL<7>	171	111

(4) Overlap width between **WL<0>** and **BL<0>** to **BL<7>** of each corner

t_{overlap(ns)}	BL<0>	BL<1>	BL<2>	BL<3>	BL<4>	BL<5>	BL<6>	BL<7>
TT@25°C	1.4	1.5	1.69	1.48	1.57	1.5	1.69	1.49
SS@25°C	0.116	0.285	0.898	0.283	0.607	0.275	0.915	0.286
SF@25°C	0.952	1	1.42	1	1.27	0.992	1.44	1.01
FS@25°C	1.4	1.49	1.71	1.48	1.58	1.49	1.7	1.49
FF@25°C	1.52	1.62	1.78	1.62	1.68	1.62	1.77	1.62

3. Pre-sim results & Post-sim results comparison

在當初設計時，我們是以 testbench 給 clock $t_{high} = t_{low} = 1\text{ns}$ 為基準去設計電路尺寸，再加上規定的 rise fall time 須為 t_{level} 的 10%，因此 pre-sim 時最終以 $f_{max}=1/(1+1+0.1+0.1)=0.455\text{GHz}$ 為最高頻率；以 post-sim 的 waveview 以及 pex 來看，metal 間的寄生電容、nmos、pmos 的內電容、導線的內電阻都是造成 rise fall time 較 presim 大的原因，使最高頻率下降為 **0.433GHz**，另一方面，這些電容電阻也會造成 **VDD_energy** 的增加 ($P = CV_{DD}^2f$)，因此在五個 corner 中，post-sim 都大於 pre-sim 的功率。

另外，因為設計 layout 時面積縮小是主要目標之一，接線縱橫交錯造成的 crosstalk 效應我認為也是一個造成 pre/post-sim 結果有差距的一個主要原因，例如內部的 frequency divider 輸出為六個 clock 訊號，相鄰接線同時上升時，導線間的寄生電容可以減少 rising delay，但這樣就可能造成 word line 與 bit line 開關順序有誤的情形；另一種是一條導線上升另一條下降，這會使得下降的導線 fall time delay 增加，是非常不理想的情形。

再來，因高頻使用 TSPC DFF 的動態電路，使用電容作為記憶節點，使 layout 的 leakage 增加，尤其顯著的是 **subthreshold leakage**，這將會造成功耗大幅增加或是節點的電壓流失，但在我們的設計中，這個非理想特性的影響較小。

總結來說，畫 layout 做 post-sim 的時候不需要考慮它們功能上的正常運作，面積優化以及線路層級配置也是影響性能的大指標，尤其遇到最大的困難處在於 pre-sim 設計完通過後到測試 post-sim 時發現某些 design constraint 會沒有符合，就要一再重複的更優化 pre-sim 結果再修正 layout，在修正的同時又要注意面積大小、接線複雜度、擺放位置等等與實際結果可能會產生怎麼樣的 trade-off，才能最終得到一顆最好的晶片。