

Analog IC Design Homework 1 Report

- ◆ Student ID : 110011207
- ◆ Name : 林士登
- ◆ Department : ESS 工科系 25 級

Question 1.

此題的目的要我們找出在固定電壓 V_{DD} 與 W/L 下，在改變 V_{gs} 與通道長度 L 下觀察對電晶體 pmos 與 nmos 的電流 I_d 所造成的影響。此題所要求的參數為：

1. $W/L=3$
2. $M=1$
3. $V_{dd}=1.8V$
4. NMOS $\rightarrow V_{gs}=0V \sim 1.8V$, step=0.01V
5. PMOS $\rightarrow V_{sg}=0V \sim 1.8V$, step=0.01V
6. $L=0.5\mu m \sim 5\mu m$, step=0.5 μm

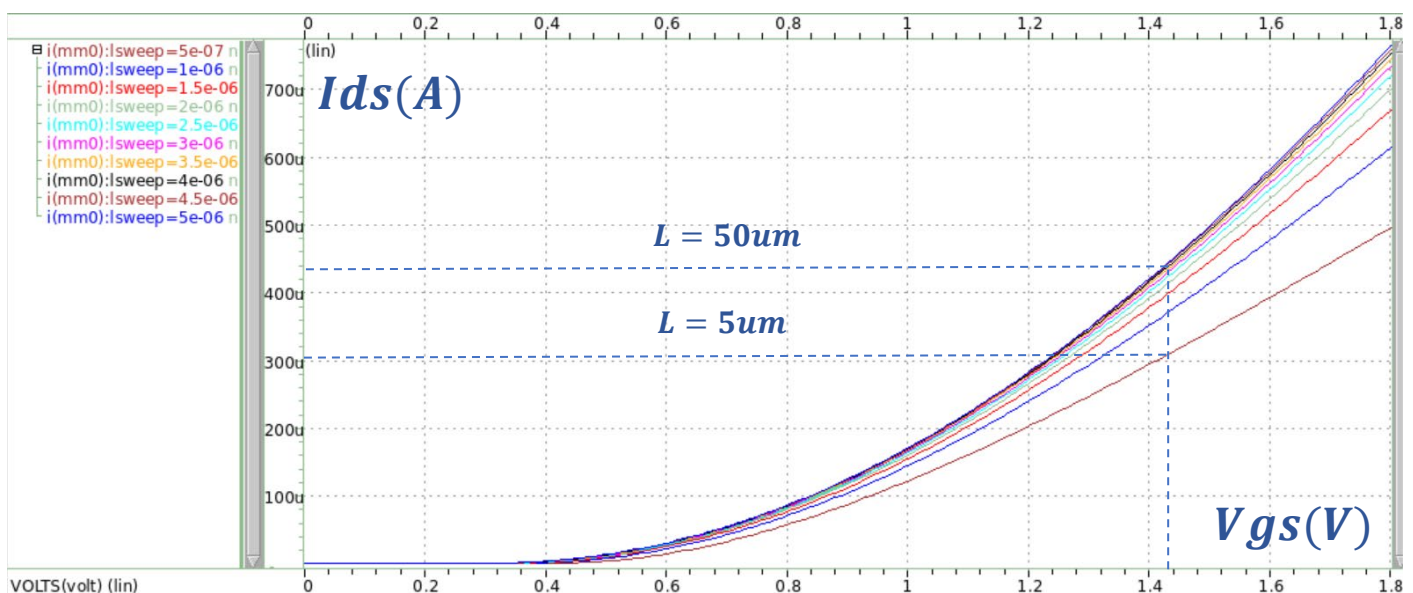
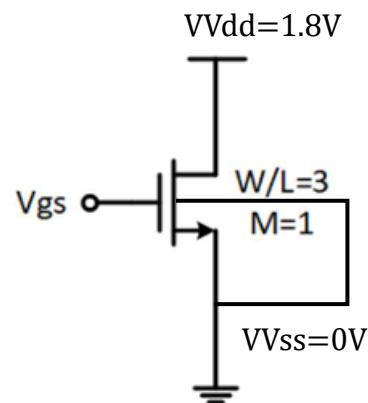
由以下的兩個 hspice 指令可以生成符合以上 1.~6.點的規格並做 I_d v.s V_{gs} 或 V_{sg} 對不同 L 的曲線圖

1. nmos.sp (省略 declaration)

```
.param lsweep=0.5u
.param wsweep=lsweep*3

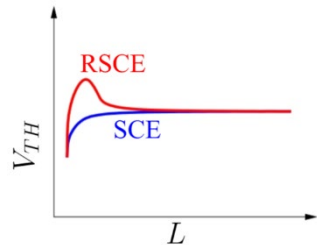
MM0 vdd vgs vss vss n_18 w=wsweep l=lsweep m=1
VVdd vdd 0 1.8
VVss vss 0 0
VVgs vgs 0 0

.DC VVgs 0 1.8 0.01 sweep lsweep 0.5u 5u 0.5u
.PROBE I(MM0)
.END
```



Observation and Comments :

由此模擬 nmos 的 I_{ds} v.s V_{gs} 曲線可以觀察到在相同 V_{gs} 下，通道長度 L (圖中的 L_{sweep}) 越大，則電流 I_{ds} 越大。這個現象主要受 *short channel effect (SCE)* 和 *reversed short channel effect (RSCE)* 影響，下圖為 SCE 和 RSCE 對 V_{th} 的影響，首先，在 SCE 的 *DIBL (drain induced barrier lowering)* 效應下，短通道的 depletion region 較靠近，導致形成反轉層所需的能量降低，因此通道長度 L 變短造成 V_{th} 降低；但是後來為了抵抗 DIBL，*halo implantation* 在現今的製程技術被使用，而 halo 會誘使 RSCE 的產生，由下圖可以觀察到，RSCE 發生時，通道長度 L 變短 V_{th} 會上升。在此題目中 V_{ds} 永遠



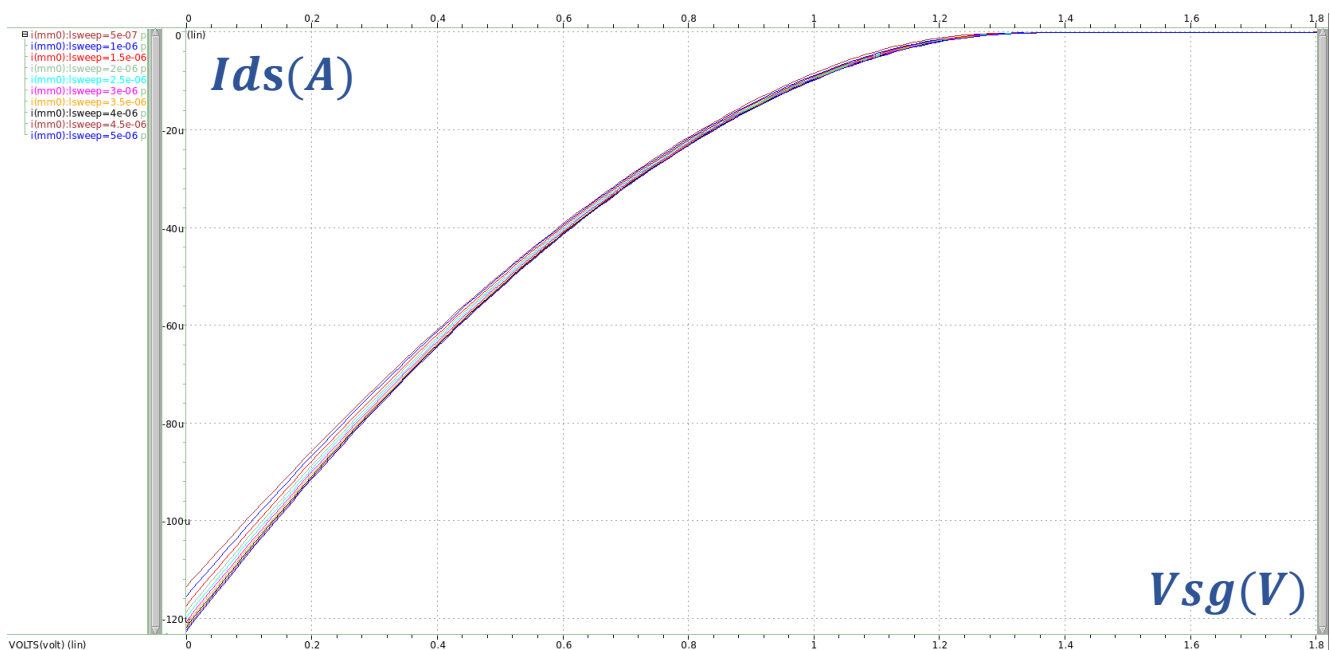
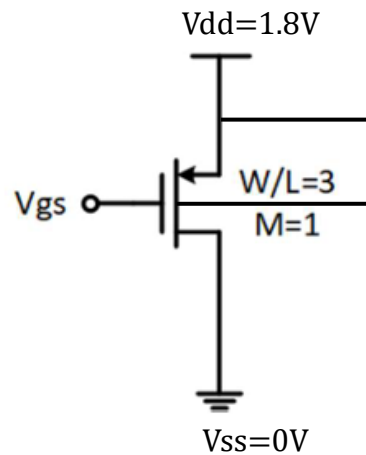
保持 1.8V，大於 $V_{gs} - V_{th}$ 的最大值，因此在 MOS 打開後即進入飽和區，電流公式為 $I_d = \frac{1}{2} \mu_n C_{ox} \left(\frac{W}{L} \right) (V_{gs} - V_{th})^2$ ，在 $\mu_n C_{ox} \left(\frac{W}{L} \right)$ 皆保持定值狀態下， L 越短會讓 V_{th} 越大而導致電晶體電流 I_d 越小，因而呈現上圖 hspice 模擬曲線的走勢 (L 越大 I_d 越大)。

2. pmos.sp (省略 declaration)

```
.param lsweep=0.5u
.param wsweep=lsweep*3

MM0 vss vg vdd vdd p_18 w=wsweep l=lsweep m=1
Vdd vdd 0 1.8
Vss vss 0 0
Vg vg 0 0

.DC Vg 0 1.8 0.01 sweep lsweep 0.5u 5u 0.5u
.PROBE I(MM0)
.END
```



Observation and Comments :

模擬 pmos I_{ds} v.s V_{sg} 的曲線與上述 nmos 的現象大同小異，通道越短， V_{th} 越高，導致 $|I_{ds}|$ 越大。

Question 2.

此題的目的為觀察兩個類二極體結構電路的 V_{th} 、 g_{ds} 、 g_m 和 g_m/C_g 對通道長度 L 變化的影響，此題所要求之參數為：

1. $V_{dd}=1.8V$
2. $W/L=3$
3. $M=1$
4. $L=0.18\mu m \sim 10\mu m$, $step=0.01\mu m$
5. Current source $I=50\mu A$

由以下的 hspice 指令可以求得各項特性 (V_{th} , g_{ds} , g_m , g_m/C_g) 對通道長度 L 的關係。

1. diode_nm.sp (省略 declaration)

```
.param lsweep=0.18u
.param wsweep=3*lsweep

NMOS Vd Vg Vss Vss n_18 w=wsweep l=lsweep m=1
VVdd vdd 0 1.8
Id vdd Vd 50u
Vgd Vd Vg 0
VVss Vss 0 0

.DC sweep lsweep 0.18u 10u 0.01u
.PROBE Vth(MNMOS)
.PROBE GDSO(MNMOS)
.PROBE GMO(MNMOS)
.PROBE CGGBO(MNMOS)
.PROBE gm_Cg_ratio = par('GMO(MNMOS)/CGGBO(MNMOS)')
.END
```

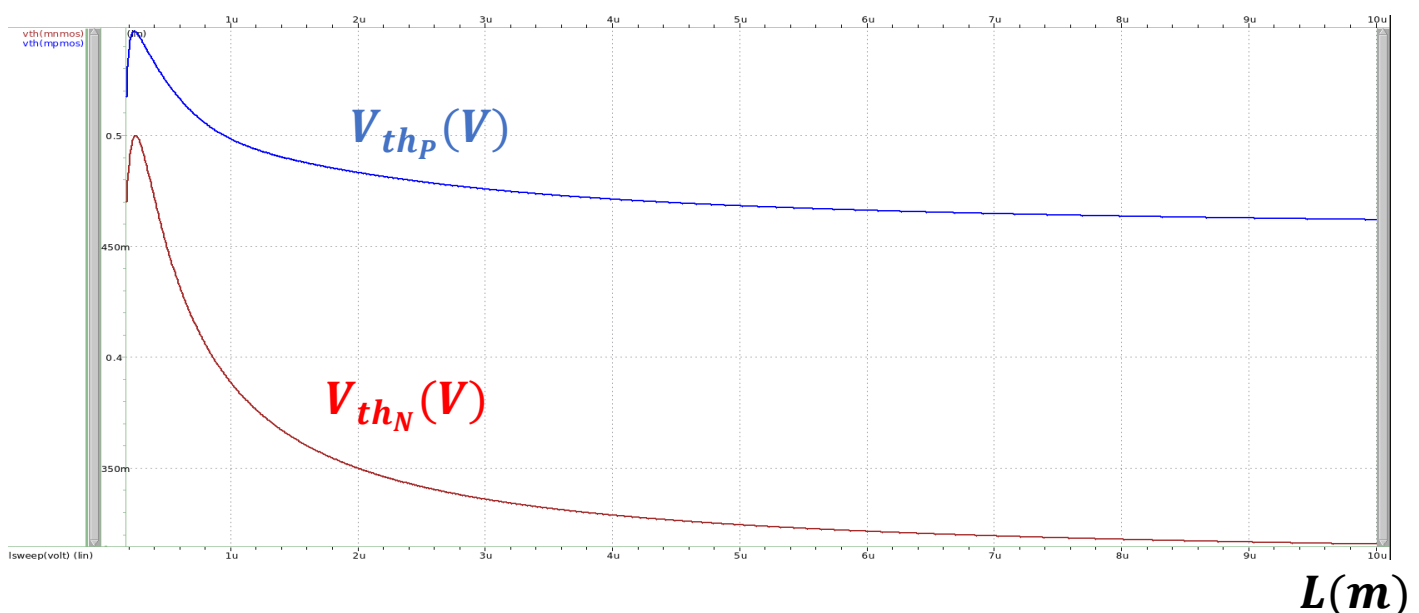
2. diode_pm.sp (省略 declaration)

```
.param lsweep=0.18u
.param wsweep=3*lsweep

MPMOS VD VG VDD VDD p_18 w=wsweep l=lsweep m=1
VVDD VDD 0 1.8
VDG VD VG 0
VVSS VSS 0 0
Id VD VSS 50u

.DC sweep lsweep 0.18u 10u 0.01u
.PROBE VSG = par('V(VDD)-V(VG)')
.PROBE I(MPMOS)
.PROBE Vth(MPMOS)
.PROBE GDSO(MPMOS)
.PROBE GMO(MPMOS)
.PROBE CGGBO(MPMOS)
.PROBE gm_Cg_ratio = par('GMO(MPMOS)/CGGBO(MPMOS)')
.END
```

(a) V_{th} vs. L



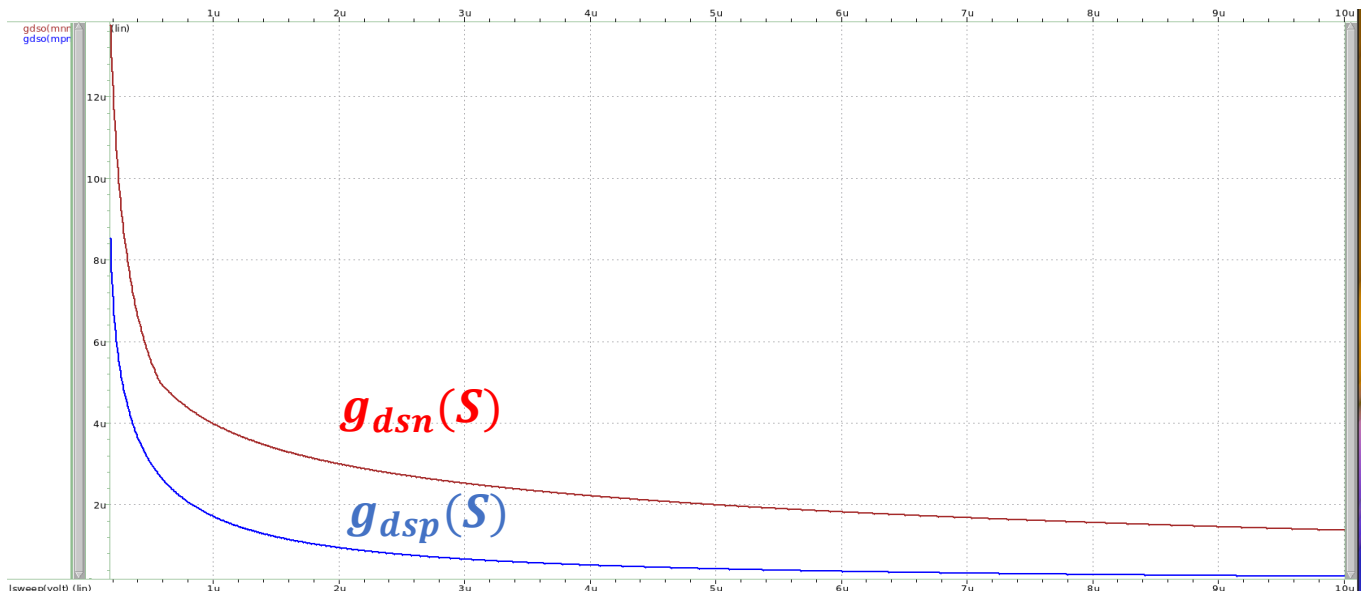
Observation and Comments :

從上圖的 V_{th} vs. L 曲線模擬圖可以觀察到兩個現象。第一個現象是此作業第一題所分析的 *Reversed Short Channel Effect (RSCE)* 現象，可以從圖上看到當通道長度 L 縮短時， V_{th} 有明顯的上升，縮到極短時可以看到 V_{th} 重新呈現一般 SCE 有的 DIBL 現象 (L 越短 V_{th} 越小)。第二個現象是 pmos 比 nmos 的 V_{th} 大了許多，原因是因為 nmos 的主要載子為電子 (electron e^-)，而 pmos 的主要載子為電洞 (hole h^+)，電子具有比電洞高上幾倍的遷移率 (mobility)，也就是 $\mu_n > \mu_p$ ，因此 $V_{thn} < V_{thp}$ 。

值得注意的是，因為 nmos 與 pmos 的閘級 (gate) 皆和汲極 (drain) 接在一起， $V_d = V_g$ ，因而導致 nmos 的 $V_{ds} \geq V_{gs} - V_{thn}$ 的情況永遠成立，相同的，pmos 的 $V_{sd} \geq V_{sg} - |V_{thp}|$ 也會永遠成立，因此

nmos 與 pmos 開啟後皆會在飽和區工作，所以電流公式
$$\begin{cases} I_{ds,n} = \frac{1}{2} \mu_n C_{ox} \left(\frac{W}{L} \right) (V_{gs} - V_{thn})^2 \\ I_{sd,p} = \frac{1}{2} \mu_p C_{ox} \left(\frac{W}{L} \right) (V_{sg} - |V_{thp}|)^2 \end{cases} \text{ 成立}$$

(b) g_{ds} vs. L

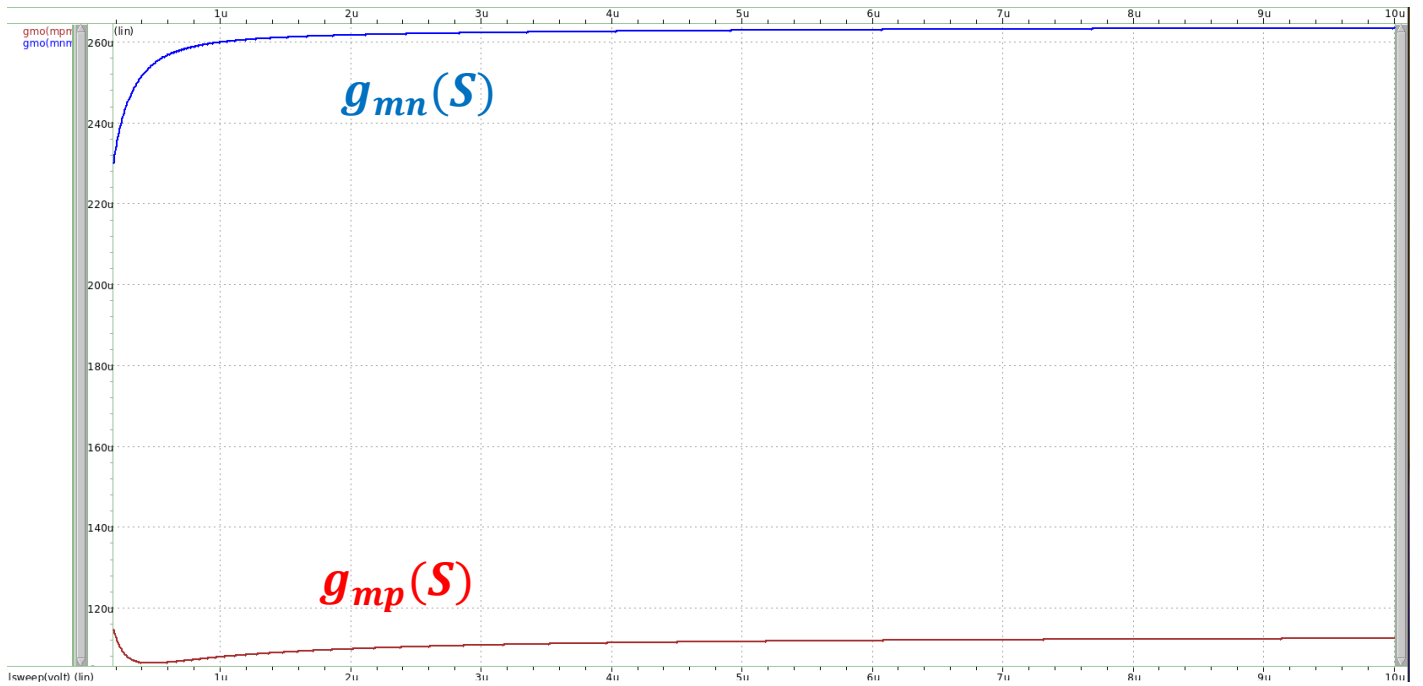


Observation and Comments :

$L(m)$

因為 g_{ds} 為 r_o 輸出阻抗之倒數，且 $r_o = \frac{1}{g_{ds}} = \frac{1}{\lambda I_d} \propto L$ ，因此在 I_d 固定下， g_{ds} 會與通道長度 L 成反比，所以 L 越小 g_{ds} 會越大，也就是途中呈現的趨勢。另外，可以觀察到 nmos 的 g_{ds} 會比 pmos 的 g_{ds} 大，這是因為 nmos 的主要載子為電子，而他的 mobility μ_n 大於 pmos 的主要載子電洞的 mobility μ_p ，因此 nmos 有相較 pmos 較高的 drain-source 電導 g_{ds} 。

(c) g_m vs. L

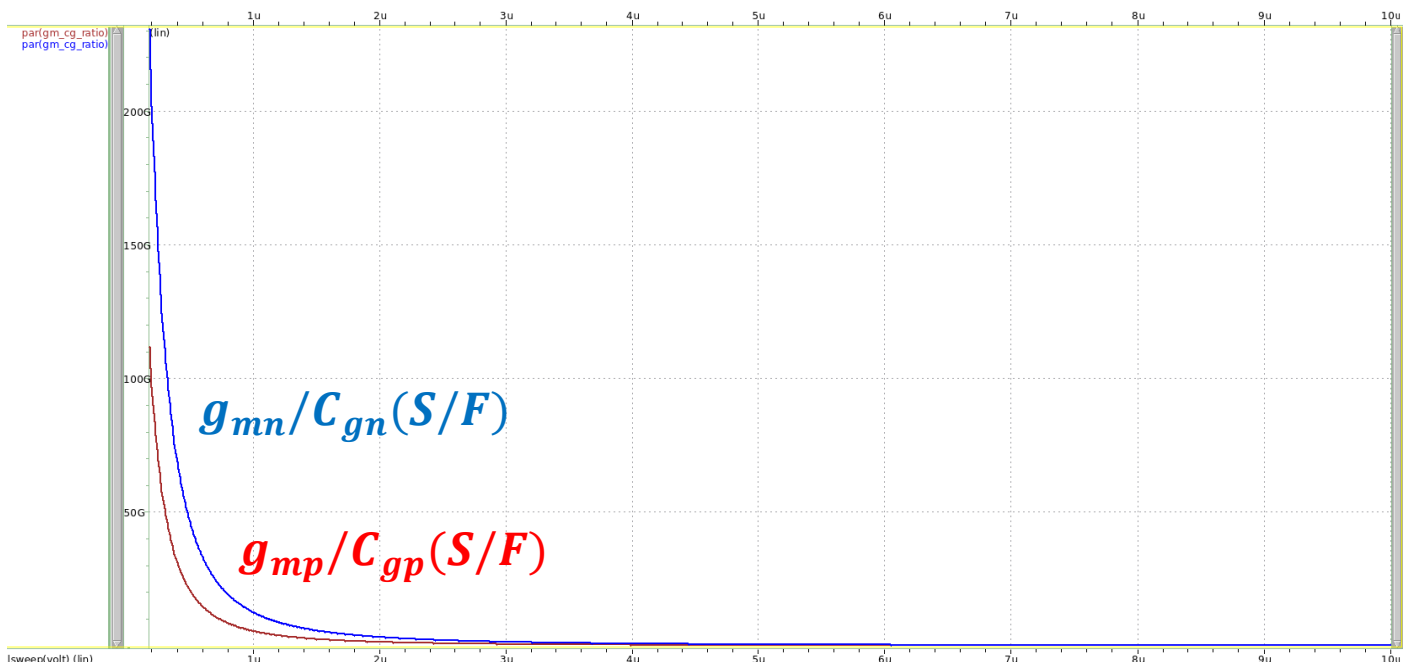


Observation and Comments :

$L(m)$

g_m 是電晶體的轉導(transconductance)，是輸入電壓轉成電流能力的大小，首先，由圖可觀察到 g_m 在 nmos 比 pmos 還大，這是因為 $g_m = \sqrt{2\mu C_{ox}(\frac{W}{L})I_{ds}}$ ，且 $\mu_n > \mu_p$ ，因此在相同 W/L 以及電流 I_{ds} 之下， g_{mn} 會大於 g_{mp} ；另外在圖中可以觀察到當通道長度越短，nmos 與 pmos 的 g_m 皆會有下降的趨勢，這是因為速度飽和 (velocity saturation) 的現象所導致，因為速度飽和現象會導致 mobility 下降，因此整體的 g_m 也會跟著下降，但值得注意的是 nmos 的下降幅度較 pmos 的大，這是因為速度飽和現象主要影響的是電子通道，在 pmos 的主要載子為電洞的情況下影響較小，所以圖上影響 g_{mp} 的變化斜率較平緩。

(d) g_m/C_g (Speed) vs. L



$L(m)$

Observation and Comments :

因為 nmos 與 pmos 皆工作在飽和區，因此 $C_g \cong \left(\frac{2}{3}\right) W L C_{ox}$ ，所以 $\frac{g_m}{C_g} \cong \mu C_{ox} \left(\frac{W}{L}\right) V_{ov} \times \frac{3}{2 W L C_{ox}} = \frac{3 \mu V_{ov}}{2 L^2}$ ，

若 L 下降，則 g_m/C_g 會升高，至於為什麼 $\frac{g_{mn}}{C_{gn}} > \frac{g_{mp}}{C_{gp}}$ 也和 $g_{mn} > g_{mp}$ 有關。

Question 3.

此題希望我們測量 nmos 的寄生電容變化，且 Vd 與 Vs 均接地，只改變 Vg 的電壓。此題所要求的參數為：

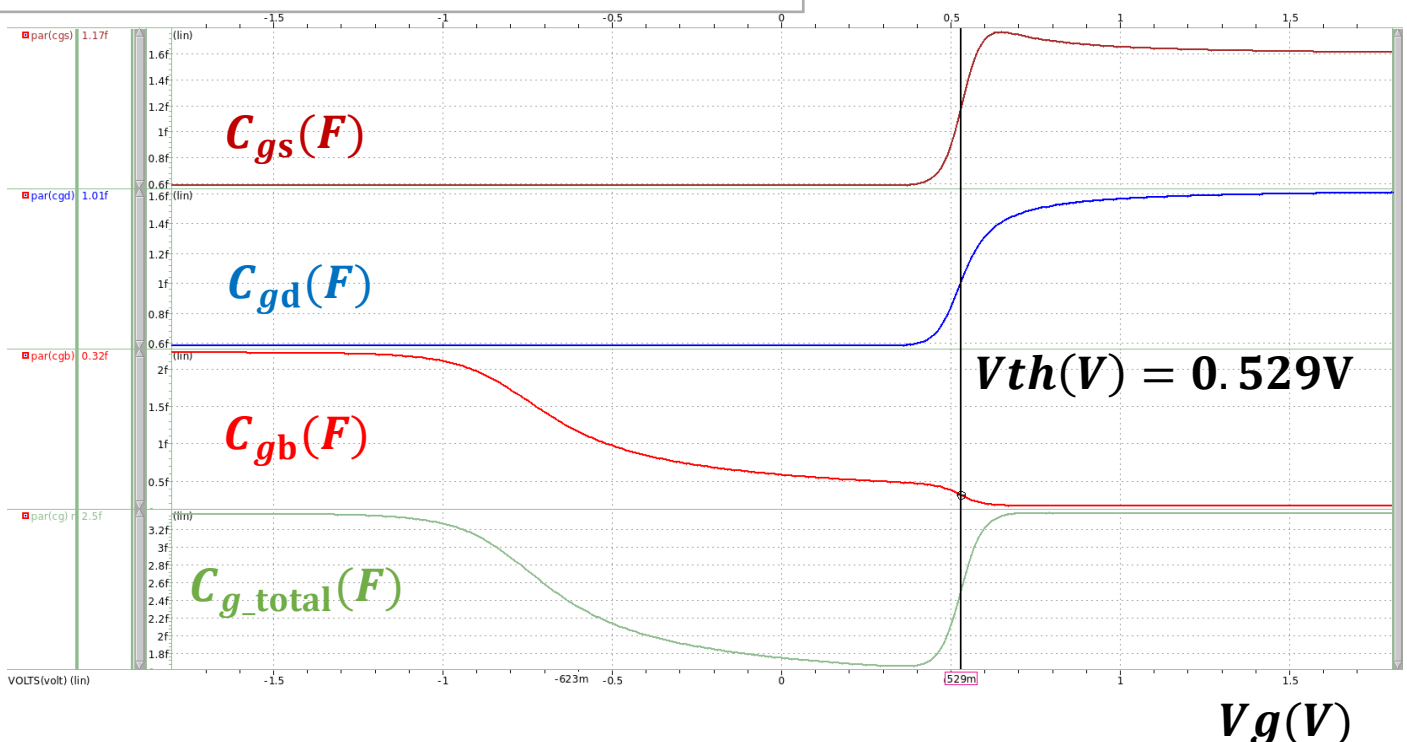
1. $V_g = -1.8V \sim 1.8V$
2. $V_d = V_s = V_b = 0$
3. $W/L = 1.5\mu m / 0.2\mu m$

由以下的 hspice 指令可以獲得 Cgs/Cgd/Cgb/Cg_total 對 Vg 的關係

nmos.sp (省略 declaration)

```
MM0 vss vg vss vss n_18 w=1.5u l=0.2u m=1
VSS vss 0 0
VG vg 0 -1.8

.DC sweep VG -1.8 1.8 0.01
.PROBE Cgs = par('-CGSBO(MM0)')
.PROBE Cgd = par('-CGDDBO(MM0)')
.PROBE Cgb = par('CGGBO(MM0) + CGSBO(MM0) + CGDDBO(MM0)')
.PROBE Cg = par('CGGBO(MM0)')
.END
```



Observation and Comments :

以此電路圖做 hspice 模擬並量測 V_{th} 值為 0.529V，因為這顆 nmos 的長度只有 0.2 μ m，因此由上題所測量的 V_{th} 對 L 曲線圖可以看出此題 RSCE 所造成的 L 越小 V_{th} 越大的特性。

(a) C_{gs} vs. V_g

從圖上可以發現 C_{gs} 在電晶體尚未被開啟時有一個 0.58fF 的電容值，這是因為還沒形成通道時只有 overlap 交疊的 C_{gs} 電容存在，一直到 $V_{gs}=V_{th}=0.529V$ 時，通道形成，因此 C_{gb} 原先的電容值會分部分給 C_{gs} ，造成 C_{gs} 上升至 1.6fF 後趨緩，至於 C_{gs} 相較 C_{gd} 有個短暫的上升峰值推測是因為電晶體開啟的瞬間 $V_{ds} = V_{gs} - V_{th}$ 會進入 saturation 飽和區，接著馬上回到 triode 線性區。

(b) C_{gd} vs. V_g

C_{gd} 所表現出來的現象與 C_{gs} 大同小異，唯一與 C_{gs} 不同的地方在於 C_{gd} 的值在 saturation 與 triode region 使用同個公式，導通後以相同的行為慢慢增加到 1.6fF，並且沒有像 C_{gs} 一樣突起的峰值。

(c) C_{gb} vs. V_g

C_{gb} 在一開始還沒形成通道時擁有最高的電容值，因為反轉層尚未形成，隨著 V_g 的負電壓愈來愈小，造成能排斥掉 substrate 中的電子變少，因此電容值減少，等到 V_g 大於零時，閘極又開始吸附電子至通道形成區，通道漸漸形成後，至 $V_g > V_{th} = 0.529V$ 後， C_{gb} 減少至接近 0，其餘通道對閘極之電容會分給 C_{gd} 與 C_{gs} 。

(d) C_{g_total} vs. V_g

由以上三種電容 $C_{gs}+C_{gb}+C_{gd}=C_{g_total}$ ，可以觀察到除了 V_g 負電壓趨於 0 或是形成通道的時候，總 C_g 電容值都趨近於最大值 3.38fF。

Question 4.

此題的目的是要我們找出 body effect 對 V_{th} 造成的影響，並繪出不同通道長度 L 的 body effect，此題要求的參數為：

1. $V_{dd}=1.8V$
2. $V_b=0\sim 1.8V$, step=0.01V
3. $W/L=3$
4. $L=0.5\mu m\sim 5\mu m$, step=0.5 μm
5. $I_d=50\mu A$

由以下的 hspice 指令可以獲得 V_{th} vs. V_b 在不同通道長度 L 的模擬曲線圖

1. body_eff_nm.sp (省略 declaration)

```
.param lsweep=0.5u
.param wsweep=3*lsweep

MM0 VG VG VSS Vb n_18 w=wsweep l=lsweep m=1
VVDD VDD 0 1.8
Id VDD VG 50u
VVSS VSS 0 0
VVb Vb 0 0

.DC VVb 0 1.8 0.01 sweep lsweep 0.5u 5u 0.5u
.PROBE Vth = par('Vth(MM0)')
.END
```

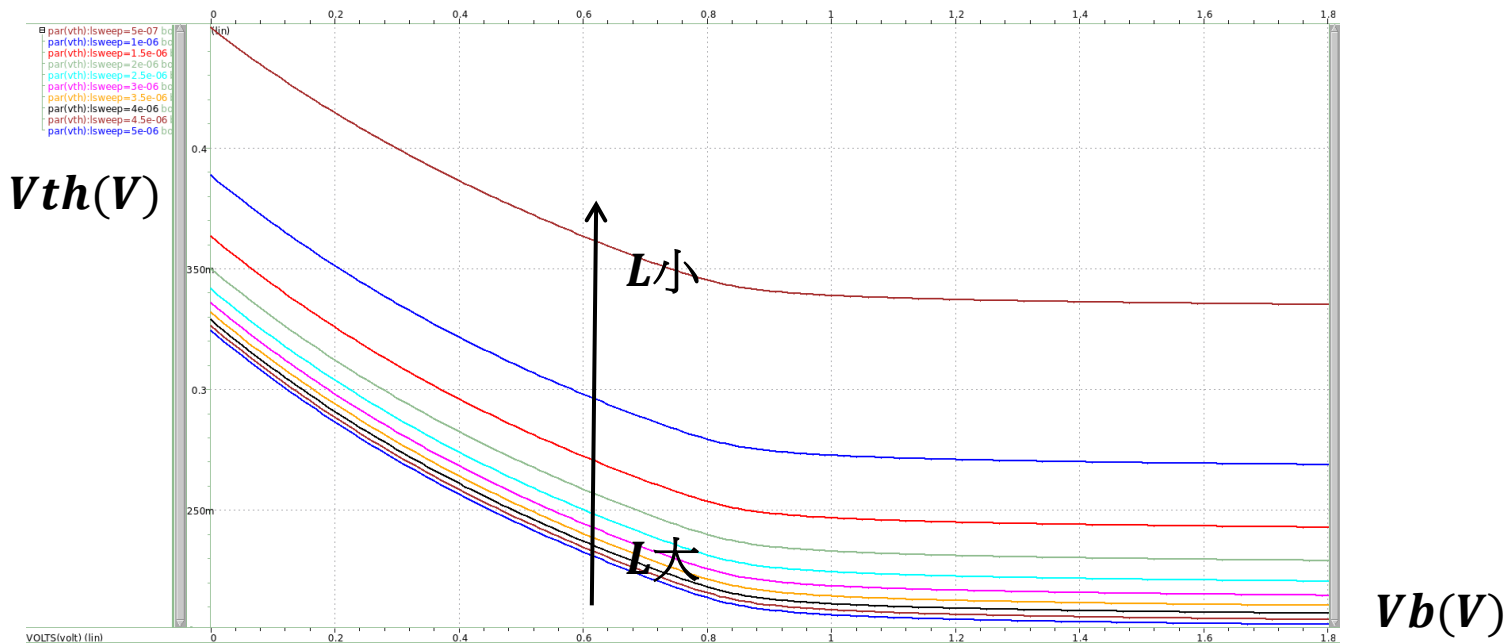
2. body_eff_pm.sp (省略 declaration)

```
.param lsweep=0.5u
.param wsweep=3*lsweep

MM0 VG VG VDD VB p_18 w=wsweep l=lsweep m=1
VVDD VDD 0 1.8
ID VG 0 50u
VVB VB 0 0

.DC VVB 0 1.8 0.01 sweep lsweep 0.5u 5u 0.5u
.PROBE Vth = par('Vth(MM0)')
.END
```

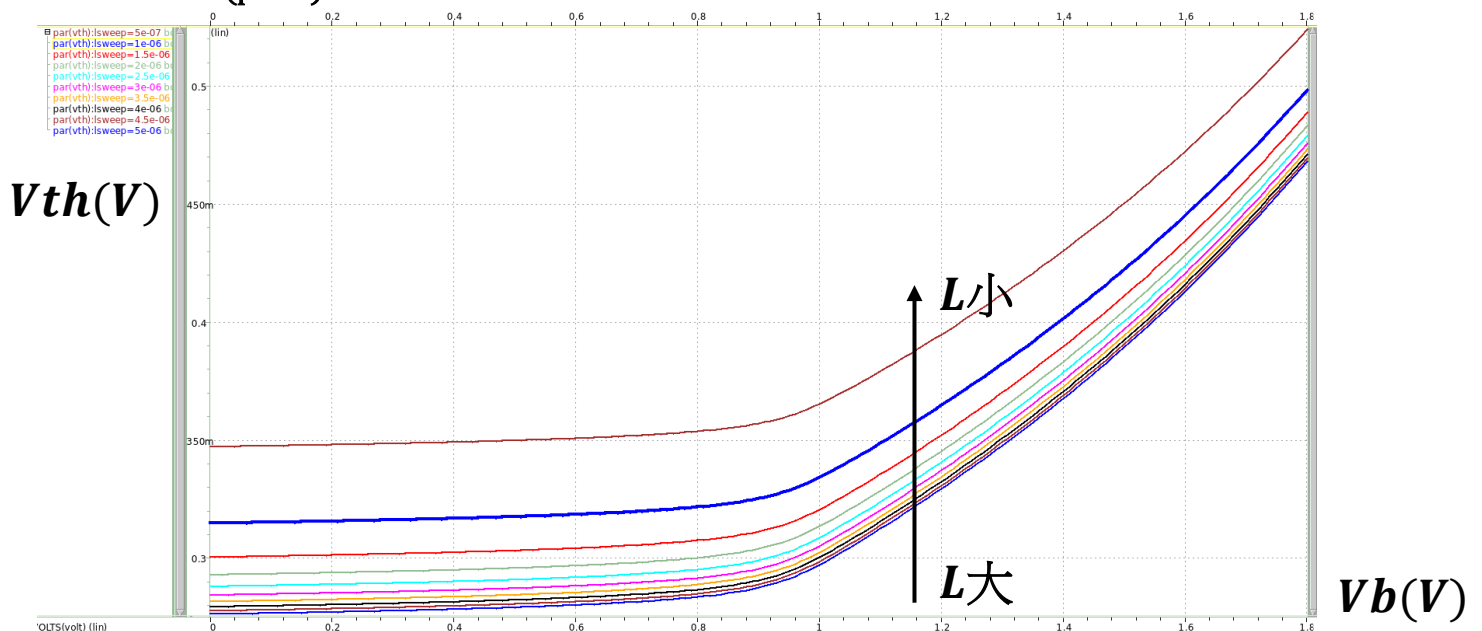

1. V_{th} vs. V_b (nmos)



Observation and Comments :

因為 body effect $V_{th} = V_{th0} + \gamma(\sqrt{|V_{sb} - 2\phi_F|} - \sqrt{|2\phi_F|})$, $\begin{cases} nmos \ \phi_F < 0, \ \gamma > 0, \ V_{th0} > 0 \\ pmos \ \phi_F > 0, \ \gamma < 0, \ V_{th0} < 0 \end{cases}$, 因此若 V_b 從 0~1.8V 逐漸增加，會導致 $V_{sb} = V_s - V_b = 0 \sim -1.8V$ 為負， V_{sb} 套入上述公式則 V_{th} 會下降，因此可以看到圖中的 V_b 越大， V_{th} 下降的趨勢。另外，從圖中也可以發現通道長度 L 較短的， V_{th} 較大，這是因為第一題所提到的 RSCE (reversed short channel effect) 現象所導致。

2. V_{th} vs. V_b (pmos)



Observation and Comments :

接續第一小題的公式，因為 pmos 的 $\phi_F > 0$, $\gamma < 0$, $V_{th0} < 0$ ，且 $V_{sb} = V_s - V_b = 1.8V - (0 \sim 1.8V) = 1.8 \sim 0V$ ，因此 V_b 上升， V_{sb} 下降，最後導致 V_{th} 會逐漸增加。至於通道長度 L 短 V_{th} 大，也是與上小題同樣的 RSCE 現象有關。