

# Analog IC Design Homework 6 Report

- ◆ Student ID : 110011207
- ◆ Name : 林士登
- ◆ Department : ESS 工科系 25 級

## Question 1. – Single-Ended Operational Amplifier

(a) Device Size / Bias Voltage and Results (Design Flow 會在(g)小題一併提及)

```
.param VB = 1.1
.param VBN1 = 0.76
.param VBN2 = 1.254
.param VBP1 = 0.885
.param vref = 1.8
.param Vin_CM = 0.9
```

$$\left(\frac{W}{L}\right)_0 = \frac{4.4\mu}{1\mu}, m = 1$$
$$\left(\frac{W}{L}\right)_1 = \left(\frac{W}{L}\right)_2 = \frac{22\mu}{0.92\mu}, m = 1$$
$$\left(\frac{W}{L}\right)_3 = \left(\frac{W}{L}\right)_4 = \frac{0.6\mu}{0.5\mu}, m = 1$$
$$\left(\frac{W}{L}\right)_5 = \left(\frac{W}{L}\right)_6 = \frac{1.69\mu}{0.8\mu}, m = 1$$
$$\left(\frac{W}{L}\right)_7 = \left(\frac{W}{L}\right)_8 = \frac{0.9\mu}{1\mu}, m = 1$$
$$\left(\frac{W}{L}\right)_9 = \left(\frac{W}{L}\right)_{10} = \frac{2.38856\mu}{14.78\mu}, m = 1$$

Results:

```
dcgain_in_db= 83.9321      at= 1.0000
              from= 1.0000      to= 100.0000g
dcgain= 15.7255k      at= 1.0000
              from= 1.0000      to= 100.0000g
unity_frequency= 15.0227x
phase=-104.9992
phase_margin= 75.0008
```

$$\text{DC gain} = 83.9321\text{dB} \geq 65\text{dB}$$
$$\text{unity frequency} = 15.0227\text{MHz} \geq 15\text{MHz}$$
$$\text{phase margin} = 75.0008^\circ \geq 75^\circ$$

subckt						
element	0:m0	0:m1	0:m2	0:m3	0:m4	0:m5
model	0:p_18.1	0:p_18.1	0:p_18.1	0:p_18.1	0:p_18.1	0:p_18.1
region	Saturation	Saturation	Saturation	Saturation	Saturation	Saturation
id	-6.1702u	-3.0851u	-3.0851u	-684.5629n	-684.5629n	-684.5633n
ibs	6.896e-22	302.9846a	302.9846a	1.665e-22	1.665e-22	30.6788a
ibd	71.1642a	1.1147f	1.1147f	18.2609a	18.2609a	75.2975a
vgs	-700.0000m	-599.0046m	-599.0046m	-638.9684m	-638.9684m	-654.6635m
vds	-300.9954m	-806.3851m	-806.3851m	-260.3365m	-260.3365m	-378.6319m
vbs	0.	300.9954m	300.9954m	0.	0.	260.3365m
vth	-496.1673m	-579.7126m	-579.7126m	-530.2780m	-530.2780m	-580.1503m
vdsat	-201.1784m	-78.0421m	-78.0421m	-146.6425m	-146.6425m	-114.1755m
vod	-203.8327m	-19.2921m	-19.2921m	-108.6904m	-108.6904m	-74.5132m
beta	302.3140u	1.6651m	1.6651m	80.7153u	80.7153u	137.9376u
gam eff	557.0846m	555.0430m	555.0430m	557.0846m	557.0846m	555.3027m
gm	51.4231u	58.8852u	58.8852u	8.4931u	8.4931u	10.2296u
gds	1.0609u	169.3802n	169.3802n	153.3911n	153.3911n	59.7735n
gmb	15.7143u	15.6854u	15.6854u	2.4702u	2.4702u	2.6613u
cdtot	6.0707f	23.5548f	23.5548f	924.7436a	924.7436a	2.0938f
cgtot	28.8477f	101.0866f	101.0866f	1.9991f	1.9991f	8.2742f
cstot	33.6375f	106.2917f	106.2917f	2.6407f	2.6407f	9.5057f
cbtot	16.8999f	67.6801f	67.6801f	2.0027f	2.0027f	5.3601f
cgs	25.1428f	77.1846f	77.1846f	1.6165f	1.6165f	6.9174f
cgd	1.7806f	7.8962f	7.8962f	221.4695a	221.4695a	611.6435a

subckt					
element	0:m6	0:m7	0:m8	0:m9	0:m10
model	0:p_18.1	0:n_18.1	0:n_18.1	0:n_18.1	0:n_18.1
region	Saturation	Saturation	Saturation	Saturation	Saturation
id	-684.5633n	684.5627n	684.5627n	3.7697u	3.7697u
ibs	30.6788a	-94.3821a	-94.3821a	-7.919e-22	-7.919e-22
ibd	75.2975a	-158.2112a	-158.2112a	-167.0876a	-167.0876a
vgs	-654.6635m	561.3805m	561.3805m	760.0000m	760.0000m
vds	-378.6319m	468.4121m	468.4121m	692.6195m	692.6195m
vbs	260.3365m	-692.6195m	-692.6195m	0.	0.
vth	-580.1503m	523.7639m	523.7639m	320.1954m	320.1954m
vdsat	-114.1755m	85.4337m	85.4337m	353.7746m	353.7746m
vod	-74.5132m	37.6166m	37.6166m	439.8046m	439.8046m
beta	137.9376u	279.4298u	279.4298u	48.3329u	48.3329u
gam eff	555.3027m	524.0770m	524.0770m	507.4460m	507.4460m
gm	10.2296u	12.9644u	12.9644u	16.7453u	16.7453u
gds	59.7735n	184.8883n	184.8883n	76.8700n	76.8700n
gmb	2.6613u	1.8616u	1.8616u	3.0570u	3.0570u
cdtot	2.0938f	1.2159f	1.2159f	4.3301f	4.3301f
cgtot	8.2742f	5.2753f	5.2753f	230.5317f	230.5317f
cstot	9.5057f	5.5778f	5.5778f	237.7237f	237.7237f
cbtot	5.3601f	2.9245f	2.9245f	63.1367f	63.1367f
cgs	6.9174f	4.3998f	4.3998f	213.0578f	213.0578f
cgd	611.6435a	313.9228a	313.9228a	1.1047f	1.1047f

## (b) Small signal parameters

\*\*\*\* small-signal transfer characteristics

v(vout)/vip	=	15.7165k
input resistance at vip	=	1.000e+20
output resistance at v(vout)	=	271.3417x

由上課推導可得到  $|A_v| = g_{m1} * \{(g_{m8} + g_{mb8})r_{o8}(r_{o1} \parallel r_{o10}) \parallel (g_{m6} + g_{mb6})r_{o6}r_{o4}\}$

再由(a)小題的參數

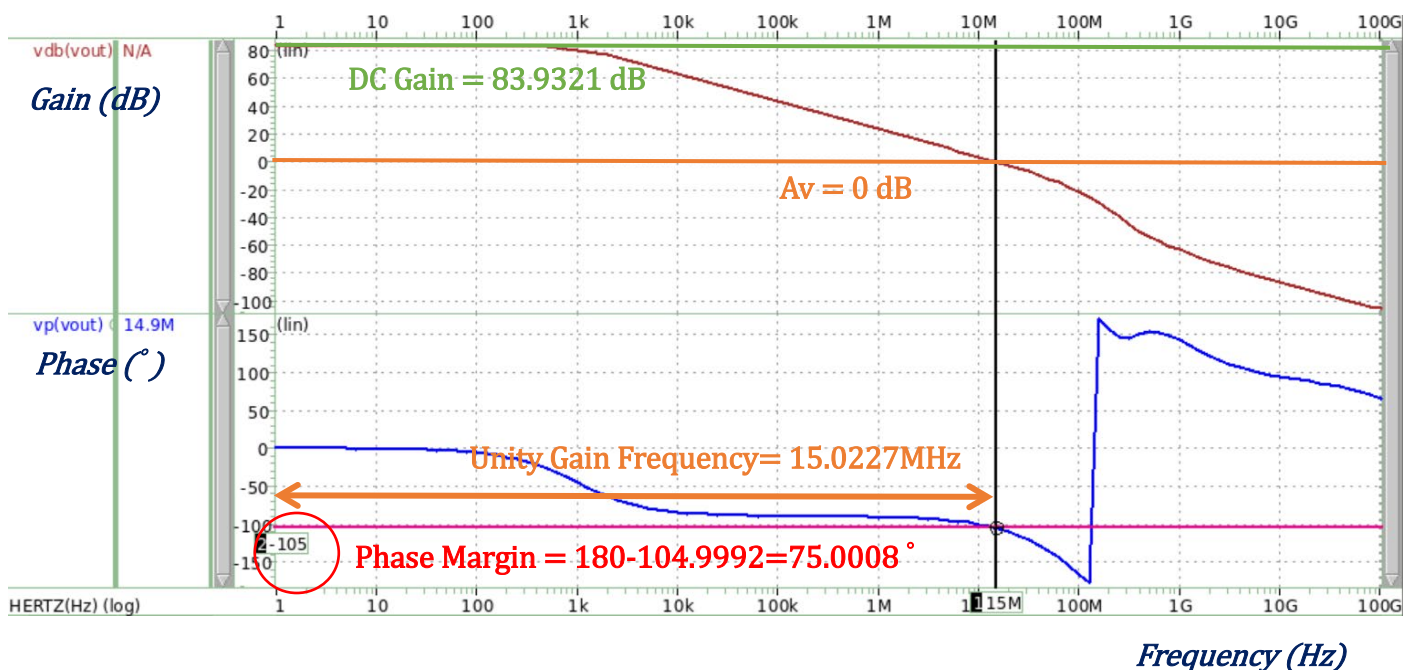
$g_{m1}$	$g_{m8}$	$g_{mb8}$	$g_{m6}$	$g_{mb6}$
58.8852u	12.9644u	1.8616u	10.2296u	2.6613u
$r_{o1}$	$r_{o10}$	$r_{o8}$	$r_{o6}$	$r_{o4}$
5903877.79	13008976.2	5408671.07	16729821.7	6519283.06

$$\begin{aligned}
 |A_v| &= 58.8852u * \{(12.9644u + 1.8616u) * 5408671.07 * (5903877.79 \parallel 13008976.2) \\
 &\quad \parallel (10.2296u + 2.6613u) * 16729821.7 * 6519283.06\} \\
 &= 15569.32348 \frac{V}{V} = 15.56932348k \frac{V}{V}
 \end{aligned}$$

	Simulation	Hand Calculation
Value (V/V)	15716.5	15569.32348
Error	0.945%	

從手算結果可以看到與模擬值差不多，有點誤差的原因可能在於公式模型的些微差異。

### (c) Frequency Response [1]



## (d) Frequency Response [2]

Pole1=971.014 Hz

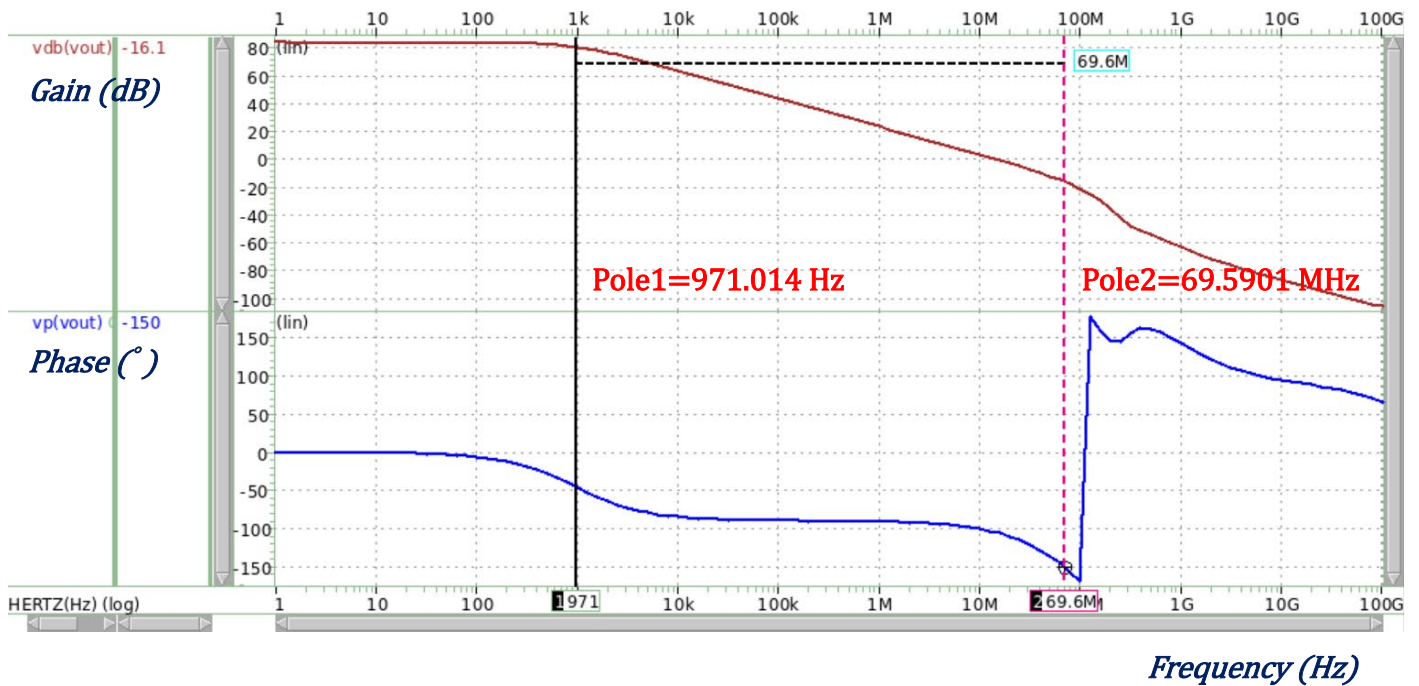
Pole2=69.5901MHz

\*\*\*\*\*  
\*\*\*\*\* pole/zero analysis

input = 0:vip            output = v(vout)

poles (rad/sec)		poles ( hertz)	
real	imag	real	imag
-6.10106k	0.	-971.014	0.
-437.247x	0.	-69.5901x	0.
-453.434x	0.	-72.1662x	0.
-650.693x	1.02299g	-103.561x	162.813x
-650.693x	-1.02299g	-103.561x	-162.813x
-702.370x	0.	-111.786x	0.
-1.25642g	0.	-199.965x	0.

zeros (rad/sec)		zeros ( hertz)	
real	imag	real	imag
-437.511x	0.	-69.6320x	0.
-456.607x	1.84446g	-72.6713x	293.555x
-456.607x	-1.84446g	-72.6713x	-293.555x
-686.303x	0.	-109.229x	0.
-1.25632g	0.	-199.950x	0.



## (e) Total Harmonic Distortion

fourier components of transient response v(vout)  
dc component = 1.2750

harmonic no	frequency (hz)	fourier component	normalized component	phase (deg)	normalized phase (deg)
1	1.0000x	121.9160m	1.0000	179.1815	0.
2	2.0000x	125.8360u	1.0322m	-103.3533	-282.5348
3	3.0000x	101.4525u	832.1510u	-98.6668	-277.8484
4	4.0000x	63.7202u	522.6568u	-90.9562	-270.1378
5	5.0000x	50.4302u	413.6475u	-87.1339	-266.3155
6	6.0000x	42.7202u	350.4069u	-90.9209	-270.1024
7	7.0000x	37.3974u	306.7474u	-88.0579	-267.2394
8	8.0000x	32.1953u	264.0781u	-88.1730	-267.3545
9	9.0000x	29.1999u	239.5086u	-87.0840	-266.2655

total harmonic distortion = 0.159564 percent

## (f) FoM

$$\text{FoM} = \frac{\text{current} \times \text{THD}}{\text{Gain} \times \text{Unity gain freq}} * 1000 = \frac{7.5393 \times 0.159564}{83.9321 \times 15.0227} * 1000 \approx 0.954$$

## (g) Discussion for improvements of FoM

### Design Flow

在設計時，我第一個調的是 M0、M1 與 M2，也就是 Folded 的部分，這部分主要著重的點在於貢獻的電流大小須留意，且在 M1、M2 都調到飽和的情況下 M0 的 size 不能太大以免進入線性區。我假設 Vx 點為 M1、M2 與 M0 連接的點電壓

$$I_0 = \frac{1}{2} k_p \left( \frac{W}{L} \right)_0 (V_{DD} - V_B - |V_{th0}|)^2$$
$$I_1 = \frac{1}{2} k_p \left( \frac{W}{L} \right)_1 (V_X - V_{in} - |V_{th1}|)^2$$
$$I_2 = \frac{1}{2} k_p \left( \frac{W}{L} \right)_2 (V_X - V_{ip} - |V_{th2}|)^2$$

由上述三個式子，因為 VDD 為 1.8V 且假設 Vth0 為 0.4V 就代表 VB 必須小於 1.4V 才不會 cut-off，同理在第二第三式中，Vx 必須大於 Vin, Vip+Vth 大約等於 1.3V，最終再由 M0 進入飽和區的條件  $1.8 - V_x \geq 1.8 - V_B - 0.4$ ，可以得到  $V_B \geq V_x - 0.4 = 1.3 - 0.4 = 0.9V$ ，因此最後可以判定選擇的 VB 區間在 0.9V 至 1.4V 之間。另外，gm1 作為 gain 的參數之一，我讓 M0 成為主電流源，增加 gm1 而後提升增益的大小。

接下來我使用對稱性的手法調 M3 至 M10 的尺寸，但在這邊我著重的是 VBN1、VBN2 與 VBP1，我認為這三個參數的好壞能輕易的影響電晶體是否能進入飽和區，在這邊第一個調的是作為主電流控制的 M9、10，我在測試時隨便設定參數發現在線性區中，此時 VBN1 我微調下降，且將兩顆電晶體的 L 增加讓 Vthn 上升，進而使 M9、M10 進入飽和區。再來，M3 至 M8 因為有 wide swing 特殊連接節點的關係必須一次考慮這六顆電晶體的效應，在調整過程中，M3、M4、M7、M8 常常因為 Vout 與 M6、M8 之間的節點電壓(定為 Va)控制不好而進入 linear 或是 subthreshold 區域，此時考慮 Va 在 M3 與 M4 中做為閘級因為要進入 saturation 不能太大，因此連帶影響 M8 的 drain 電壓不能太大，但在將 VBN2 拉高至 1.2V 附近且 VBP1 降低至 0.8 附近時發現 Va 點可以有效的控制讓 M3、M4、M7、M8 回到 saturation 區域，而微調 VBP1 後也可以讓 M6、M7 輕易的進入飽和區。

再來討論的是如何達到增益的規格，首先從公式來看，讓 M1、M6 與 M8 的 gm 增加可以提升 gain，而提升 gm1 可以達到顯著的效果，因此將大部分的電流都指定由 Folded 的部分產生，且高過 cascode 的電流許多。

關於 Phase Margin 的部分，可以通過把 pole1 向前拉或是將 pole2 向後拉，觀察得知 pole2 主要是由 M7 與 M9 之間的節點產生，值約為  $(-gm7/C)$ ，C 為節點總電容，所以要將 pole2 往後調整勢必要增加 gm7 或是降低 C，而增加 gm7 受到電流不能太大的限制，因此降低 C 的策略為佳，可以通過取小一點的 M1、M7、M9 尺寸讓寄生電容降低，讓 phase margin 增加。



再來要討論 unity gain frequency 如何增加，由波形圖可以看到若 dominant pole 也就是 pole1 若變大可以讓掉到  $A_v=0$  的頻率更大一些，因此要調整讓 pole1 變大，要將 M5、M6、M7、M8 的尺寸變小，而通道長度 L 下降代表電阻也變小，寄生電容值跟著下降的同時也讓 dominant pole 的位置向後移，進而增加 unity gain frequency。

### FoM improvement

由 FoM 公式可以首先看到 gain 愈大愈好，因此在前面推導可以得知將 Folded 電路的電流增加有利於 gm1 上升讓整體 gain 增加，另外，因為電流愈小愈好，因此在 cascode 的電流我讓他小到大約為 1uA 的大小，而 Folded 部分的電流約為 6uA 左右。再來，觀察到 VBN1 的些微上升可以增加 unity gain frequency 與 phase margin，我配合將 M9、M10 的 W 條小並且增加他們的 L 重新降低 unity gain frequency 與 phase margin 至規格邊界，可以大幅提升電路線性度，降低 THD，而 THD 在 VBP1 的前後微小區間也可能存在一個 minimum 值，因此微調測試 VBP1 值找到此區間最低的 THD 值。另外，在調整 FoM 時，我都會將 phase margin 壓在邊界值 75 度，確保電流都是壓在可調範圍的最低值，而在 phase margin 大於 75 度時，除了代表電流可再經過調整降低外，也代表有空間調整 M5~M8 的尺寸變大讓 THD 降低，但因為尺寸變大同時 L 增加輸出電阻也增加，因此寄生電容值上升同時也會讓 unity gain frequency 降低，因此在上述這些 criteria 中取得 trade-off 的最佳化是非常重要的。

	Specification	This work
VDD	1.8V	
CL	600f	
Total current (uA)	Open for design	7.5393
DC gain (dB)	> 65	83.9321
Input common mode voltage	0.9V	
Output common mode voltage	Open for design	1.1610V
Unity gain frequency (MHz)	> 15	15.0227
Phase margin (°)	> 75	75.0008
THD (%)	< 0.85	0.159564
FoM	As small as possible	0.954