



清大電機實作專題成展「初審」

組別資料

組別：A394

領域：系統領域

指導教授：黃錫瑜

組員名單：陳立珩、林士登

題目：可實現快速鎖定的全數位分數比乘頻延遲鎖定迴路設計

A Fast-Locking All Digital Fractional-Ratio Multiplying DLL Design

報告與海報綜合審查

簡評：

- 1.此作品為基於[1]的還原版，主要為功能的建置與組合，並完成 cell-based 電路設計的基本流程，與基本功能的檢查，最後與[1]的表現進行比較，較無明顯創新之處。
- 2.建議多強調創新和貢獻的部份

初審結果

初審分數：79