

A Fast-Locking All-Digital Fractional-Ratio Multiplying DLL

可實現快速鎖定的全數位分數比乘頻延遲鎖定迴路設計

組別：A394

指導教授：黃錫瑜教授

組員姓名：林士登、陳立珩

摘要

在現今的晶片設計架構系統愈來愈複雜的情況下，用來穩定系統的時序電路也變得日益重要。傳統的高速時脈鎖相迴路（PLL）雖然長期作為支持電路穩定的存在，但其固有的抖動表現和較長的鎖定時間限制了其他更為先進的應用。這促使研究者尋找替代方案，全數位乘法延遲鎖定迴路（MDLL）因此應運而生，其卓越的抖動性能及快速的鎖定能力，使其在高性能系統中逐漸取代鎖相迴路，但這種電路運作方式卻存在其它非理想特性。

本專題的重點在於還原一種創新的全數位分數比乘頻延遲鎖定迴路（FMDLL），這一新型架構解決了MDLL系統中存在的諸多挑戰，特別是在實現端對端裝置的頻率合成上。FMDLL 藉由三個模式操作控制邏輯和創新的相位檢測結構，以數位方式精確控制時序，從而實現更精細的頻率調整和更迅速的反應時間，以消除內部非理想的相位差。FMDLL採用的是一種新穎的選擇邏輯，結合了高效的相位檢測器與和諧波鎖定檢測器，以保證即使在複雜的頻率轉換條件下也能維持穩定的時鐘輸出。此外，利用二進制搜索算法的逐漸逼近暫存器（SAR），大幅縮短了鎖定過程，提高了系統整體的響應速度。

總結而言，本專題使用 TSMC 90 奈米 CLN90G 製程的標準元件庫，利用 Cell Based Design Flow 設計方法試圖還原研究文獻 [1] 所提出的新型 FMDLL，可提供電路 N/M ($N > M$) 的乘頻倍率，考量到現有製程技術與電路複雜度，排除特定 N 值對除頻器的不穩定性以及許多不同 N 、 M 值但重複的分數比，因此設計時規格參考文獻 [1] 設定為 $M[1:0] = \{1, 2, 3\}$ 、 $N[3:0] = \{1, 4, 5, 8, 10\}$ ，不僅在抖動控制和鎖定時間上優於傳統技術，還在滿足動態頻率調節和精密頻率合成需求上開闢了新的可能。

1. Background

動態頻率調節為基礎的電源管理在低功耗處理器和記憶體設計中的關鍵元素，而使用數位晶片時脈產生器或乘頻器時，能提供具有快速重新同步和去偏能力的多變系統時脈頻率。最近，已引入能提供頻率乘法的循環或乘法延遲鎖定迴路（MDLL），它們比相位鎖定迴路（PLL）提供更優越的抖動性能。一個典型的 MDLL 通過定期開啟環形延遲線並注入乾淨的參考輸入時脈訊號邊緣來減少抖動累積。但缺點是在於傳統的 MDLL 只能提供整數比（ $=N$ ）的頻率乘法。為了解決這個問題並擴展其應用，研究文獻提出了一種能提供分數比（ $=N/M$ ）頻率乘法的新架構全數位分數比乘頻延遲鎖定迴路（FMDLL）。

2. Purpose

在上學期修畢「時序電路設計與應用」這門課後，已經對基礎的 PLL 與 DLL 有基本的認識，也在課堂中學習 Cell-based Design Flow 流程實作，經過閱讀文獻 [1] 之後，發現時序電路當中也存在著許多時序訊號的問題，隨著時間的推移，更先進的乘頻電路 FMDLL 也隨之誕生，我們希望透過還原研究 [1] 中的電路架構，並將電路中一些延遲架構改為適合我們使用的製程，來學習到當代更進步的技術與應用。

本研究之全數位分數比乘頻延遲鎖定迴路整體架構如 Fig.2-1 所示，整個電路包含了四大區塊的上層模組，分別是一個三對一多工器 (3-to-1 Multiplexer)、一個數位控制延遲導線 (Digital Control Delay Line)、一個相位追蹤控制器 (Phase Tracking Controller) 與一個乘頻控制器 (Frequency Multiplying Controller)，架構中的導線與街角名稱於 Table 2-1 說明。

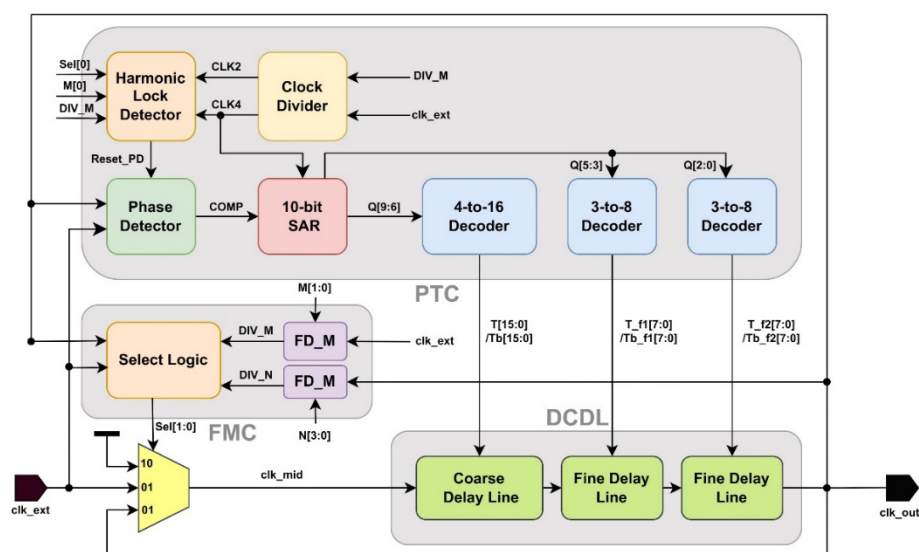


Fig.2-1 全數位分數比乘頻延遲鎖定迴路整體架構圖(FMDLL)

Table 2-1
FMDLL 導線與接腳的命名與功能

Wire & Pin	Function	Wire & Pin	Function
clk_ext	輸入時脈訊號 (Input)	CLK2	若 M=1 則為 clk_ext 除頻 2 倍之訊號 若 M≠1 則為 DIV_M 除頻 2 倍之訊號
M[1:0]	輸入分母乘頻倍率 (Input)		
N[3:0]	輸入分子乘頻倍率 (Input)	CLK4	若 M=1 則為 clk_ext 除頻 4 倍之訊號 若 M≠1 則為 DIV_M 除頻 4 倍之訊號
clk_mid	經過模式選擇後的時脈訊號		
clk_out	輸出乘頻時脈訊號 (Output)	Reset_PD	判斷是否和諧波鎖定需重整波型之訊號
Sel[1:0]	模式選擇輸出訊號	COMP	比較 clk_ext 與 clk_out 相位之訊號
Q[9:0]	延遲控制碼 (二進制碼)	T/Tb[15:0]	由 Q[9:6] 轉換之溫度計碼 / T 之反相
DIV_N	clk_out 除頻 N 倍之訊號	T_f1/Tb_f1[7:0]	由 Q[5:3] 轉換之溫度計碼 / T_f1 之反相
DIV_M	clk_ext 除頻 M 倍之訊號	T_f2/Tb_f2[7:0]	由 Q[2:0] 轉換之溫度計碼 / T_f2 之反相

3. Research Method

3.1. Phase Tracking Controller (PTC)

PTC 如 Fig.2-1 之架構使用 10-bit SAR 去實現二元搜尋演算法之電路，以方便尋找適合的延遲控制碼 Q[9:0] 控制輸出乘頻訊號之週期，相較於線性搜尋法可以達到更高的頻率和更低的鎖定時間，而此 SAR 與 CLK₄ 信號同步。N[2:0] 信號用於可輸入的乘法因子，而 M[1:0] 信號用於可輸入的除法因子，這種基於 SAR 的二元搜尋演算法只需要 4×k×M 個 reference clock (k 為 Q 的位元數) 週期來進行鎖定。當二元搜尋演算法完成後，SAR 輸出的 Q[9:0] 傳給解碼器轉譯生成溫度計碼 (Thermometer Code)，給 Delay Line 做使用，同時在封閉迴路持續追蹤 PVT 和環境變化，並且減少 jitter。

這裡使用的相位偵測器 (Phase Detector) 偵測 CLK_{EXT} 的 (M+1) 次正緣觸發上升是領先還是落後於 CLK_{OUT} 的 (N+1) 次正緣觸發上升來產生相位比較訊號 COMP。若 CLK_{EXT} 的 (M+1) 次上升領先於 CLK_{OUT} 的 (N+1) 次上升，相位偵測器會產生一個 Lag 訊號，令 COMP 為 High，此時需要將延遲時間縮短使 CLK_{OUT} 訊號更容易趕上 CLK_{EXT} 訊號；若 CLK_{EXT} 的 (M+1) 次上升落後於 CLK_{OUT} 的 (N+1) 次上升，相位偵測器會產生一個 Lead 訊號，令 COMP 為 Low，此時需要將延遲時間增長使 CLK_{EXT} 訊號更容易趕上 CLK_{OUT} 訊號。

3.2. Harmonic Lock Detector (HLD)

儘管使用以 SAR 建構的 FMDLL 可以帶來更快的鎖定時間，但存在著風險，如果數位延遲導線 (DCDL) 的延遲過大，則 FMDLL 容易鎖定到 CLK_{OUT} 的上升邊緣，導致錯誤的 N/M 和非期望的輸出頻率，為了避免此錯誤鎖定問題，在 PTC 中設計一個 Harmonic Lock Detector (HLD) 來偵測錯誤並改善。Fig.3-1 為 Harmonic Lock Detector 之架構。

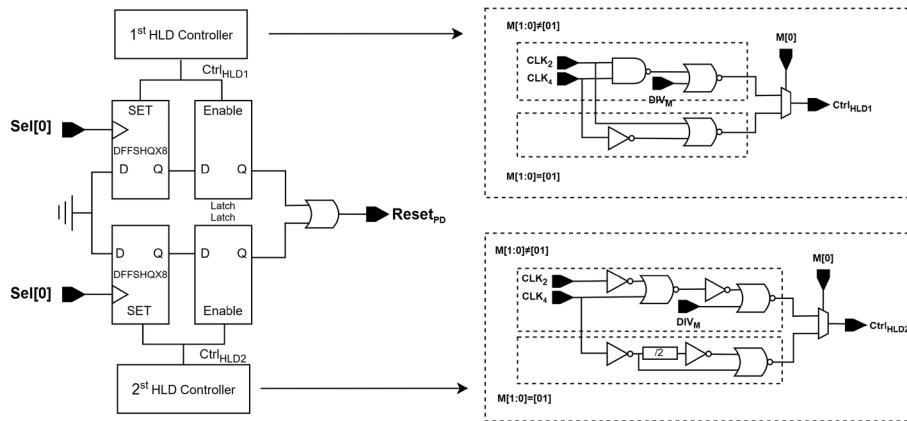


Fig.3-1 和諧波鎖定偵測器 (HLD) 內部電路

3.3. Select Logic

Fig.3-2 左圖中的 ΔT 為 $N/M=8/3$ 要達到鎖定條件所需的 DCDL 延遲，此延遲時間比輸入的 CLK_{EXT} 週期還要長。當 FMDLL 開始運作時，首先會進入 RO (Ring Oscillator) 模式。如果一開始 DCDL 的延遲時間太短，當 DIV_N 下降到 Low，此時 DIV_M 為 High，進入 SI (Supply Injection) 模式。在 SI 模式時，此時多工器會輸入 High 進延遲路徑，直到第 M 個 CLK_{EXT} 抵達，此行為可大幅增加延遲時間。在 CLK_{EXT} 抵達後， DIV_M 會變成 Low，進入 RI (Reference injection) 模式，此模式可以消除在 RO 震盪中所累積的 jitter。當第 $M+1$ 個 CLK_{EXT} 抵達後， DIV_M 會再次回到 High，重新進入 RO 模式。在 PTC 中的 10-bits SAR 會根據 PD 比較 CLK_{EXT} 和 CLK_{OUT} 的領先落後情形增加或減少 Q 值，Fig.3-2 右圖說明當 DCDL 延遲不斷增加，第 $M+1$ 個 CLK_{EXT} 的升起對齊第 $N+1$ 個 CLK_{OUT} 的升起，代表完成 N/M 的頻率乘法。

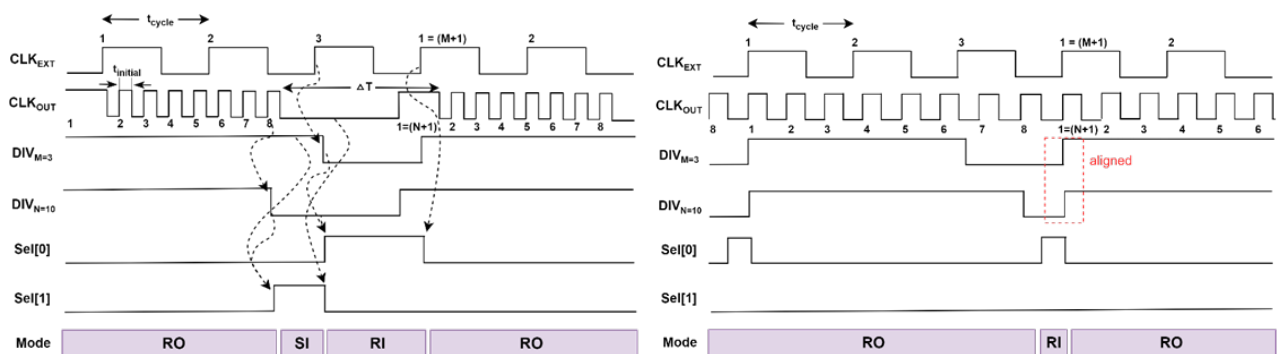


Fig.3-2 詳細模式切換來達成 $N/M=8/3$ 的頻率 (左) / $N/M=8/3$ 的頻率鎖定後的情形 (右)

3.4. Digital Control Delay Line (DCDL)

Fig.3-3 圖說明了此 FMDLL 使用的 DCDL 延遲架構。CDL (Coarse Delay Line) 由 16 個 DDC (Digital Delay Cell) 所組成，而每個 DDC 是由四個 NAND 邏輯閘和些許的 Buffer 構成，控制訊號為溫度計碼 $T[15:0] / Tb[15:0]$ ，當 $Q[9:6]$ 越大，訊號需要經過更多的 NAND 邏輯閘，產生更大的延遲。而我們使用的 FDL (Fine Delay Line) 與 CDL 架構基本一致，且由 FDE (Fine Delay Element) 組成，而 FDE 與 DDC 不同的地方是少了 Buffer，所以產生的延遲會比較小，而控制訊號為溫度計碼 $T_f1[7:0] / Tb_f1[7:0]$ 與 $T_f2[7:0] / Tb_f2[7:0]$ 決定。

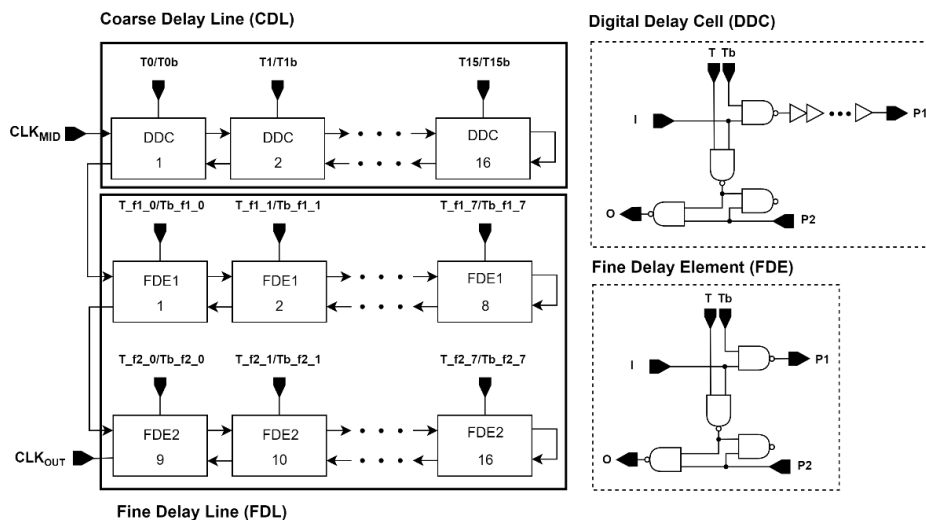


Fig.3-3 DCDL延遲導線

4. Experimental Results

Post-layout simulation:

($N/M=10/3$, $T_{clk_ext} = 30ns$)

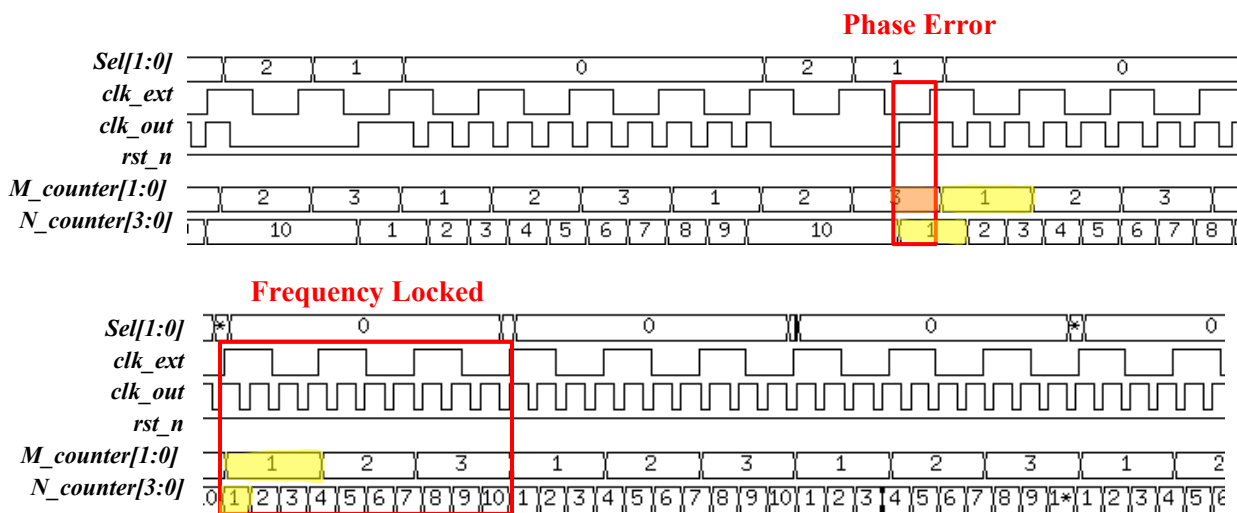


Fig.4-1 $f_{clk_out} = (10/3) \times f_{clk_ext}$ 尚未鎖定 (上) / $f_{clk_out} = (10/3) \times f_{clk_ext}$ 頻率已鎖定 (下)

Table 4-1
Maximum & Minimum Overall Frequency Range

	Input Frequency Range (MHz)	Output Frequency Range (MHz)
Pre-Layout	10.00~88.50	59.95~173.61
Post-Layout	1.00~50.00	4.00~114.32

Table 4-2
MDLL Performance Comparison In Paper Reference [1]

	[1] TCAS-I	Our Work
Architecture	All Digital	All Digital
Technology	TSMC 65nm	TSMC 90nm
Supply (V)	1.0	1.0
Output Freq. (GHz)	0.7 - 2.0	0.004 - 0.114
Multiplication Factor [N] / Division Factor [M]	N={1, 4, 5, 8, 10} M={1, 2, 3}	N={1, 4, 5, 8, 10} M={1, 2, 3}
Peak-to-Peak jitter (ps) @x-GHz	22 @2-GHz (1.1% UI)	250.60 @0.111-GHz (0.83% UI)
RMS jitter (ps) @x-GHz	2.859 @2-GHz (0.14% UI)	73.90 @0.111-GHz (0.25% UI)
Power (mW) @x-GHz	3.31 @1-GHz	0.20049972 @0.111-GHz
Chip Area (mm²)	0.019	0.0360491

(UI : unit interval, one clock cycle time, **UI of [1]** : 2ns, **UI of our work** : 30ns / The jitter types above are period jitter)

由上表分析總結我們設計 FMDLL 之性能，首先，還原文獻架構時，因為我們所設計 DCDL 延遲較大，因此最後輸出頻率範圍 4 - 114 MHz 不如文獻 [1] 之輸出頻率 0.7 - 2.0 GHz 來的高。從抖動量 (jitter) 可以分析，由於我們輸出時脈訊號週期較大，所以抖動量相對的會比較大，但是參考文獻 [2] 算出抖動量相對輸入訊號週期後發現，整體抖動量與 UI 的比例在我們的設計與文獻中的設計是差不多的。最後可以觀察到因為我們所設計的最大輸出時脈頻率較小，因此平均功耗相對會比較小。

5. Conclusion

此次專題主要以實現論文 [1] 以全數位分數比延遲鎖定迴路 FMDLL 為主題改良並設計出數位電路架構，利用全新的模式選擇 (Select Logic)、和諧波鎖定偵測器 (HLD)、相位偵測器 (PD) 與逐漸逼近暫存器 (SAR) 來達到快速鎖定與微小的時鐘偏差。此 SAR-based FMDLL 使用 TSMC 90nm CMOS 製程來設計，並設定乘頻常數規格 $N = \{1, 4, 5, 8, 10\}$ 以及 $M = \{1, 2, 3\}$ ，此 FMDLL 能在 $4 \times k \times M$ (k 為 Q 控制碼的位元數) 個週期內達到快速鎖定。

在此學期專題結束前，藉由重新組織 RTL 電路的 Verilog code 與優化內部時序特性，我們的目標會放在得到更高的輸出頻率與更精細的延遲調整結構，最後希望輸出頻率能一步一步接近 GHz 之規模。

此 FMDLL 擁有低電壓以及低功耗的優點，且簡易的電路架構與在不同製程下的設計便利性使得晶片上產生時脈訊號的應用更受歡迎，而在製程愈來愈精細、電路愈來愈複雜的情況下，低時鐘偏差、大範圍操作頻率與頻率調節精細度也逐漸成為電路中不可疏漏的性能指標，在應用上可以說是越來越重要。

6. Reference

- [1] Jongsun Kim, and Sangwoo Han, "A Fast-Locking All-Digital Multiplying DLL for Fractional-Ratio Dynamic Frequency Scaling" IEEE TRANSACTIONS ON CIRCUITS AND SYSTEMS—II: EXPRESS BRIEFS, VOL. 65, NO. 3, MARCH 2018
- [2] Shi-Yu Huang, "Timing Circuit Design and Applications", Department of Electrical Engineering, National Tsing Hua University, Hsinchu, Taiwan, 2023.
- [3] Shi-Yu Huang, "Cell-based IC Design and Implementation", Department of Electrical Engineering, National Tsing Hua University, Hsinchu, Taiwan, 2023.

7. 心得

在這次的專題研究上學習到了不少東西，從前端 Verilog 的撰寫、合成電路到後端的 Physical Layout，每一步都有很多第一次接觸到的東西，過程中我們利用自己所學及專業能力去設計出解決問題的方法，例如從波形中不斷修改錯誤、解決 Timing Violation 和毛刺 (Glitch) 問題以及 Standard Cell 的選擇等等，我們逐漸掌握電路設計的流程，相信未來也將更有自信地面對未知挑戰，因為我們有能力從錯誤中學習成長和找到解答。

最後很感謝黃錫瑜教授提供我們機會與實驗室資源，我們不只是在學術上更了解時序電路這塊領域，更多的是從教授平時的提醒中學會自發性解決問題、不斷嘗試再嘗試的精神和與同儕或前輩在處理任何事情上的態度與方法。也很謝謝實驗室張書瑜學長與周郁欣學姊在專題研究過程中的建議和支持，並常常抽空開導我們解決問題的方向，還幫助我們申請 TSRI 資源供給我們使用，讓我們能夠專題中進行的更順利，相信這次寶貴的實作經驗對於我們來說是很好的養分，在未來的研究上，能夠保持好的心態和獨自解決問題的能力。