

CFET 結構微縮與矽鍺比例對電性的影響與模擬

Simulation of CFET Structure Scaling and SiGe Fraction on Electrical Properties

專題學生：林士登
指導教授：吳永俊 教授
清華大學工程與系統科學系
2024 年 6 月 21 日

摘要：

此專題研究主題為使用 TCAD 工具模擬在不同通道尺寸與不同摻雜材料比例對 CFET 互補式場效電晶體的電性之影響。利用 TCAD 繪製垂直堆疊之 N 型與 P 型電晶體 [4]，使用單金屬共享閘極的結構將 NFET 與 PFET 連接在一起形成 N1CFET 結構減少製成複雜性及提升元件性能。本研究大致分為兩專案，第一個專案改變通道長度，觀察在通道微縮之下短通道效應對各項電性（如 V_{th} 、SS、DIBL、 I_{on} 以及 I_{off} ）之模擬與分析；第二個專案為改變通道矽鍺材料比例以觀察上述電性，並以上述觀察為基準去分析得知矽鍺比例對 PFET 影響較大，且在通過能帶分析之後也得到相似結果。最後，單金屬共享閘極 CFET 通過矽鍺比例調整閥值電壓後，顯示出良好的電壓傳輸特性曲線，也表明了閥值電壓在材料比例控制下的可調性。

關鍵詞：互補式場效應電晶體 (CFET)，TCAD 模擬，短通道效應，矽鍺，閥值電壓調整

1. 前言

CFET 電晶體有別於其他結構的電晶體，將 NFET 與 PFET 垂直堆疊達到 layout 面積的大幅縮減，同時整體的堆疊密度也相較 N/PFET 水平排列的場效電晶體增加了許多，在閱讀相關 IEEE 與 MDPI 文獻後，發現尺寸的微縮造成在有限的空間下 CFET 的閘極無法填充足夠的功函數金屬 (WFM)，這將會導致電晶體無法在正常運作下達到足夠大的閥值電壓，而閘極長度的微縮與 CFET 垂直高度的限制也會造成 WFM 調整的限制，以至於無法達到原始預期的表現。

研究現有文獻發現在 CFET 堆疊結構下，要保持元件的良率以及降低製成複雜度可以使用單金屬共享閘極 [1]，也就是僅使用一種 WFM 來填充極連接所有閘極。第一，在高度縮小的晶體管結構中，使用單金屬共享閘極可以節省空間，避免了需要多層不同功函數金屬的情況；第二，他可以減少不同金屬之間的界面缺陷，從而提高元件的穩定性和可靠性。

基於以上討論之 CFET 的單金屬閘極結構，模擬專案一，長度微縮分析及初步了解短通道效應對於電

性之影響，並在了解完初步的簡單電性分析後，模擬專案二，改變矽鍺的比例除了討論對電性影響之外，另外分析鍺含量對於閥值電壓的可調性。通過模擬和確定了在不同通道長度下，使用單金屬閘極和 Ge 含量調整方法可以顯著提高 CFET 的性能和穩定性。以下介紹將量測之電性之算法與意義。

電性指標簡介

$$I. \quad SS = \frac{dV_G}{d(\log I_D)}, \text{ 單位 mV/dec}$$

SS (Subthreshold Swing) 代表汲極電流變化十倍所需要的閘極電壓變化量，可評估閘極電壓控制輸出汲極電流效率的基準，SS 小代表開關速率快，元件愈理想。

$$II. \quad DIBL = -\frac{V_{th}^{DD} - V_{th}^{low}}{V_d^{DD} - V_d^{low}}, \text{ 單位 mV/V}$$

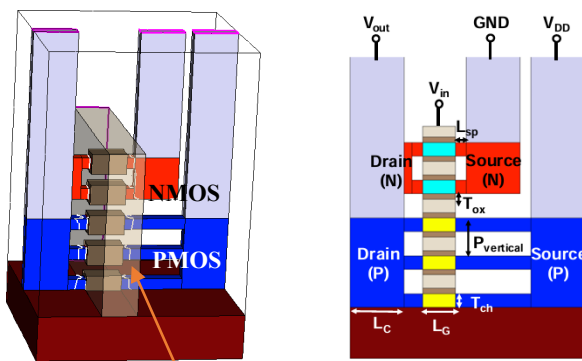
DIBL (Drain Induced Barrier Lowering) 為汲極電壓引起的源極位能障降低，當通道長度縮小，電壓 V_{DS} 增加，使得汲極與源極的空乏區靠近時，通道中的電力線可以從汲極穿越道源極，並導致

源極位能障高度降低，造成源極注入到通道的電子數量增加，導致汲極電流增加，通道長度越短，DIBL 越大，代表越嚴重。

- III. I_{on} , On Current, 單位 mA, 是元件導通狀態下，即閘極電壓超過閾值電壓後電晶體的汲極電流。
- IV. I_{off} , Off Current, 單位 mA, 是元件在關閉狀態下，即閘極電壓小於閾值電壓時的汲極電流。
- V. 閾值電壓 V_{th} , Threshold Voltage, 單位 V, 是讓元件導通所必須施加在閘極電壓上的最低電壓。

2. 元件結構及模擬參數

圖一為利用 TCAD 繪製 CFET 單金屬共享閘極之 3D 結構以及剖面圖結構，可以看到結構圖中使用垂直單金屬將兩個 NFET 的通道與 PFET 的三個通道和最底部的 SOI 基底串接起來。另外，兩個專案的模擬參數在表一列出。



Single Metal Shared Gate

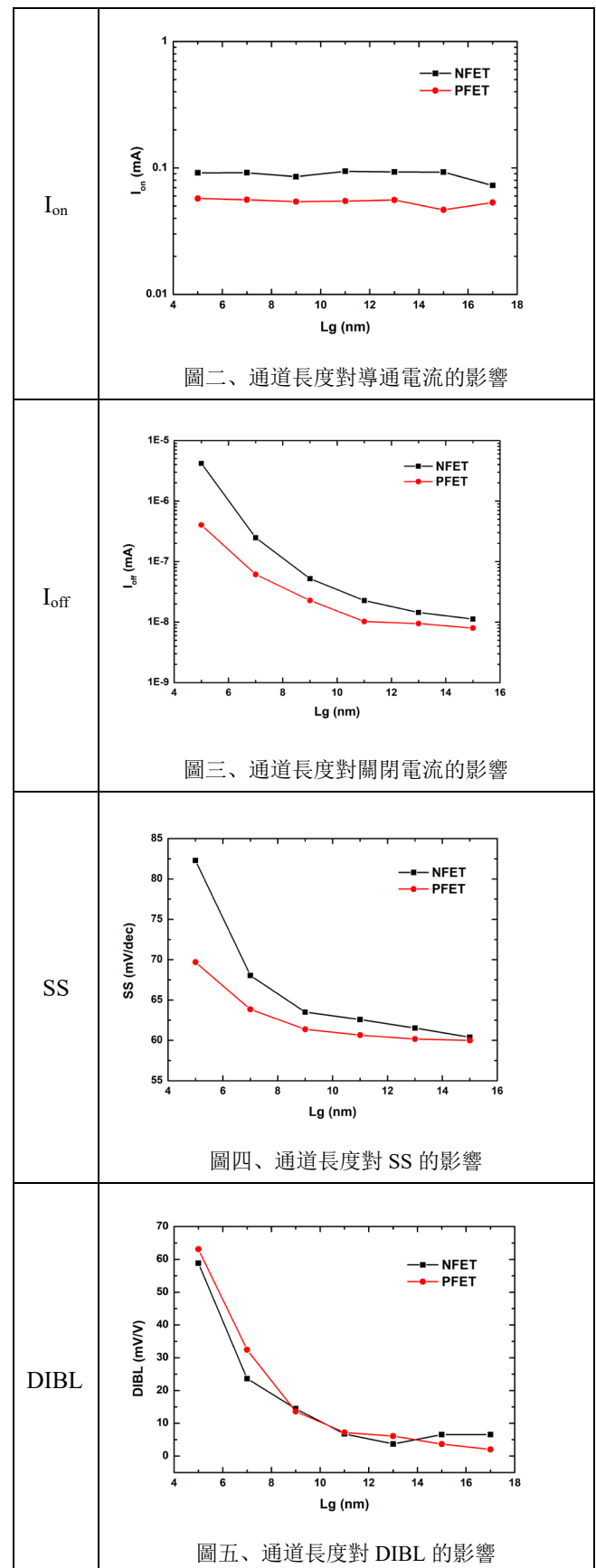
圖一、CFET 結構及剖面圖

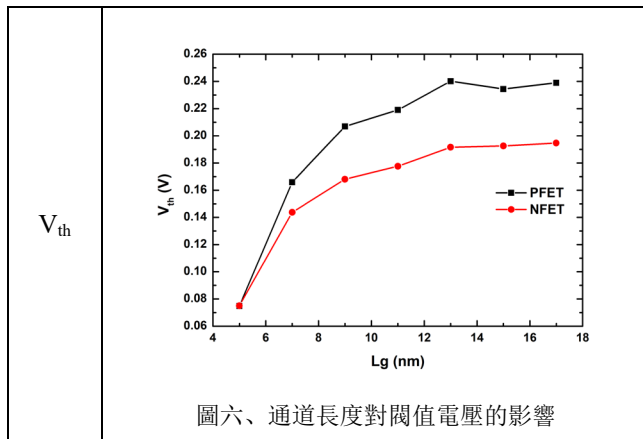
參數	專案一[微縮]	專案二[矽鍺比例]
通道寬度	6 nm	
通道厚度	5 nm	
閘極氧化層厚度	2 nm	
通道垂直距離	14 nm	
Spacer 長度	4 nm	
S/D contact 長度	20 nm	
S/D 摻雜濃度	10^{20} cm^{-3}	
通道摻雜濃度	10^{16} cm^{-3}	
Si _{1-x} Ge _x 比例 (x)	0.2	0/0.1/0.2/0.3/0.4/0.5
通道長度 (nm)	5/7/9/11/13/15/17	12

表一、模擬參數

3. 模擬結果分析與討論

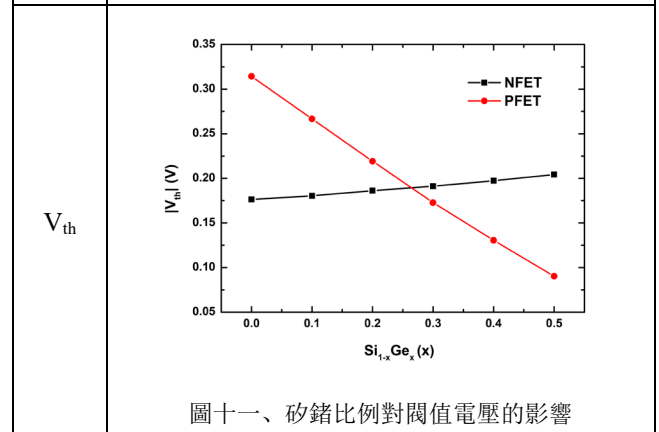
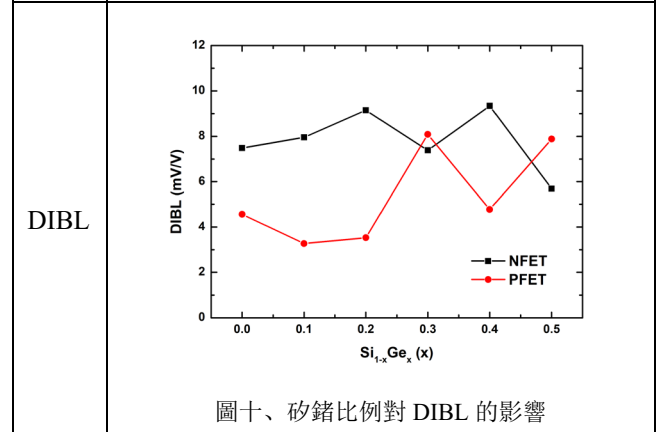
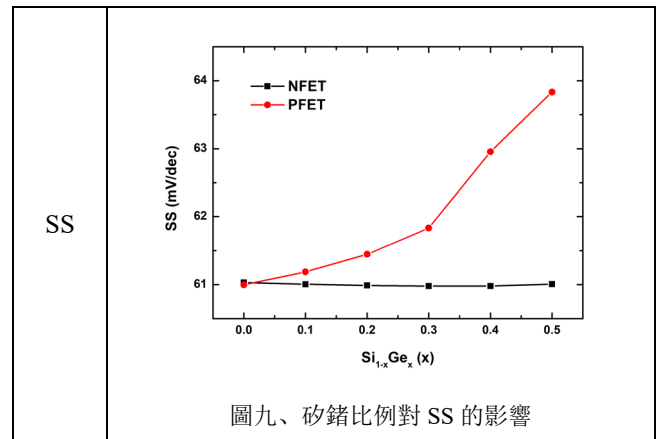
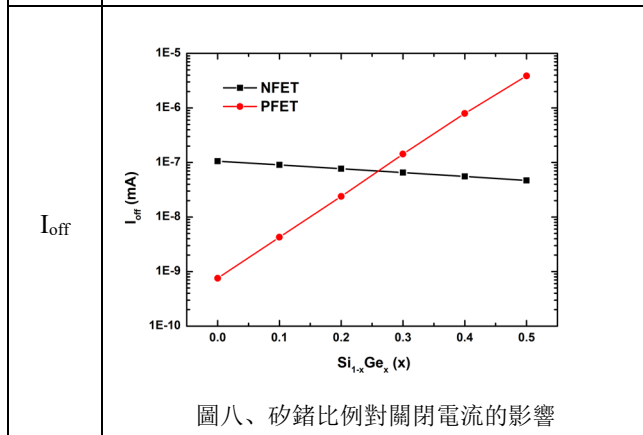
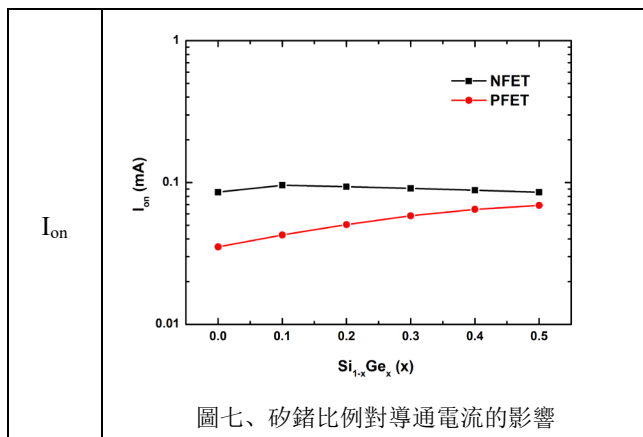
專案一、通道長度微縮 (V_{DD} 設定 1V)





由專案一模擬結果可知，當元件微縮時，短通道效應越來越顯著，無論是漏電流、開關速度或是閘極對電流的控制能力都越來越差，且導通電流不會增加，而從圖中可以發現當通道長度由 7 奈米降至 5 奈米，關閉電流 I_{off} 、開關速度指標 SS 及 DIBL 都會急速上升，代表短通道效應已經大到元件無法負荷。且因為通道長度縮短，導致反轉層只需要更少的閘極電壓就會形成，因此閾值電壓降低。

專案二之一、調整矽鍺比例 (V_{DD} 設定 1V)

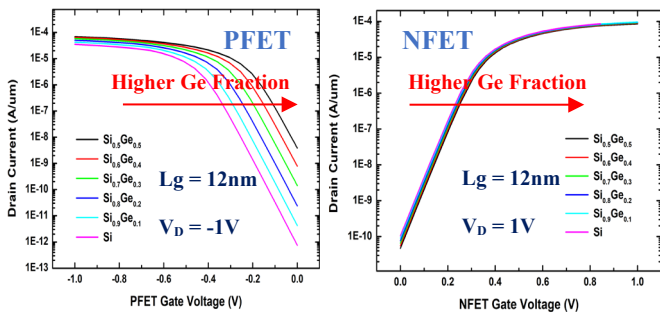


由專案二第一部分模擬結果可觀察到 NFET 在各個方面幾乎都對矽鍺比例較不敏感，但當矽鍺比例上升可以看到 I_{on} 與 I_{off} 有稍微下降的趨勢，這可能是因為合金散射 (Alloy Scattering) 的原理，因為在矽鍺合金中，會隨機遇到來自不同大小的矽原子與鍺原子的原子位能，而位能障方向和大小之不連續，導致兩者接觸點之能帶結構發生變形，使得加入鍺原子反而稍微降低了遷移率，造成元件需要更大的閘極電壓以形成反轉層，而導致閾值電壓加大。而另一方面，在 PFET 中，上述 NFET 之行為不明顯，可以觀察到加入

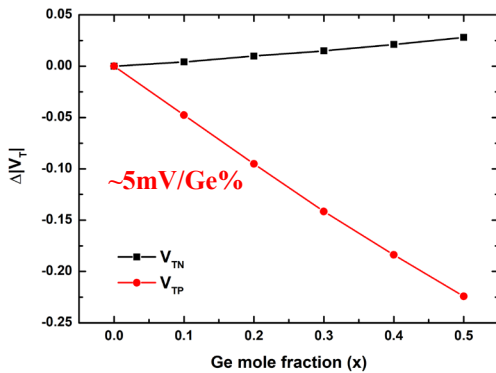
鎔的導通電流稍稍上升，但關閉電流上升的比例非常多，因此雖然加入鎔可以提高遷移率，但是漏電問題相對嚴重。在 SS 部分的隨著鎔比例上升而增加，而閾值電壓在加入鎔後提升遷移率，造成元件形成反轉層的閾值電壓降低。

專案二之二、加入鎔對於閾值電壓的可調性 [1][3]

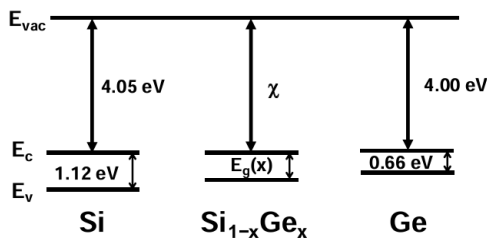
由上部分之矽鎔比例對閾值電壓變化的關係可以觀察到在 N/PFET 中之影響，在這部分由圖十二 ID-VG 曲線更進一步的分析。矽鎔材料的鎔比例從 0 變化到 0.5 時，PFET 和 NFET 的 ID-VG 曲線均右移。然而，相比之下，PFET 的閾值電壓變化更顯著，而 NFET 的變化則相對較小。將曲線圖畫出來後，接著將閾值電壓的偏移量量化在圖十三作圖觀察並分析。



圖十二、P/NFET 在 $V_D = \pm 1V$ 時的 ID-VG 曲線



圖十三、不同鎔比例 P/NFET 的閾值電壓變化量



圖十四、矽、鎔與矽鎔之能帶圖 [1][2]

由上圖十三可以觀察到 PFET 的閾值電壓變化約為每增加 1% 鎔含量降低 5mV，而 NFET 基本上不變，這強化了圖十二中的觀察結果。這些定量分析展示了通過控制矽鎔通道中的鎔含量，可以有效地調整 PFET 的閾值電壓，而對 NFET 的影響較小。而以上的機制可以從圖十四的能帶圖解釋，隨著鎔含量增加，矽鎔通道的能帶帶隙逐漸減小，這導致了閾值電壓的降低。這與圖十三中的定量分析結果相一致，證明了能帶結構變化是導致閾值電壓調整的主要機制。

4. 結論

此專題使用 TCAD 模擬單金屬共享閘極 CFET 結構之通道長度與矽鎔比例對於電性的影響，專案一模擬結果顯示結構微縮造成短通道效應使得電性趨於不穩定，專案二的模擬結果顯示改變鎔比例對於 PFET 之影響較 NFET 還大，分析觀察閾值電壓偏移比率發現與鎔含量存在定量關係，因此可以藉由選定適合矽鎔比例的簡單方式，以閾值電壓為基準來調整電性之間的取捨，提升 CFET 元件整體的可靠度及穩定性。

5. 參考文獻

- [1] C.-J. Sun, C.-H. Wu, Y.-J. Yao, S.-W. Lin, S.-C. Yan, Y.-W. Lin, and Y.-C. Wu, "Threshold Voltage Adjustment by Varying Ge Content in SiGe p-Channel for Single Metal Shared Gate Complementary FET (CFET)," *Nanomaterials*, vol. 12, no. 3712, pp. 1-10, Oct. 2022. DOI: 10.3390/nano12203712.
- [2] Levinshtein, M.E.; Rumyantsev, S.L.; Michael, S.S. *Properties of Advanced Semiconductor Materials GaN, AlN, SiC, BN, SiC, SiGe*; John Wiley & Sons, Inc.: New York, NY, USA, 2001; pp. 149-185.
- [3] Lee, C.H.; Mochizuki, S.; Southwick, R.G.; Li, J.; Miao, X.; Bao, R.; Ando, T.; Galatage, R.; Siddiqui, S.; Labelle, C.; et al. A comparative study of strain and Ge content in $Si_{1-x}Ge_x$ channel using planar FETs, FinFETs, and strained relaxed buffer layer FinFETs. In *Proceedings of the 2017 IEEE International Electron Devices Meeting (IEDM)*, San Francisco, CA, USA, 2-6 December 2017; pp. 1-4.
- [4] Ritzenthaler, R.; Mertens, H.; Pena, V.; Santoro, G.; Chasin, A.; Kenis, K.; Devriendt, K.; Mannaert, G.; Dekkers, H.; Dangol, A.; et al. Vertically Stacked Gate-All-Around Si Nanowire CMOS Transistors with Reduced Vertical Nanowires Separation, New Work Function Metal Gate Solutions, and DC/AC Performance Optimization. In *Proceedings of the 2018 IEEE International Electron Devices Meeting (IEDM)*, San Francisco, CA, USA, 1-5 December 2018; pp. 1-4.