

规格

一个双核哈佛架构的**CPU**，两个**CPU**核可以被单独控制或上电。时钟频率的调节范围为 **80 MHz** 到 **240 MHz**。所有的片上存储器、片外存储器以及外设都分布在两个**CPU**的数据总线和／或指令总线上。具备**WIFI与BLE4.2**协议栈，因此非常适合开发物联网产品。

地址空间

对称地址映射

- 数据总线与指令总线分别有**4 GB (32-bit)** 地址空间
- **1296 KB** 片上存储器地址空间
- **19704 KB** 片外存储器地址空间
- **512 KB** 外设地址空间
- 部分片上存储器与片外存储器既能被数据总线也能被指令总线访问
- **328 KB DMA** 地址空间

片上存储器

- **448 KB Internal ROM**
- **520 KB Internal SRAM**
- **8 KB RTC FAST Memory**
- **8 KB RTC SLOW Memory**

片外存储器

片外**SPI** 存储器可作为片外存储器被映射到可用的地址空间。部分片上存储器可用作片外存储器的**Cache**。

- 最大支持**16 MB** 片外**SPI Flash**
- 最大支持**8 MB** 片外**SPI SRAM**
- 外设
 - **41** 个外设模块
 - **DMA**
 - **13** 个具有**DMA** 功能的模块