VLSI

Verilog實作combinational 16-bit adder/subtractor

電機111乙

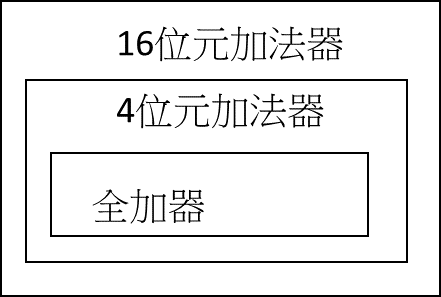
許躍薾

E24074724

一、原理設計

架構:

加減功能:



二、模擬結果

