

Implémentation d'algo « radar » sur FPGA VERSAL, en utilisant les AIE ML

Contacts entreprise

JEULIN Franck franck.jeulin@fr.thalesgroup.com;

Contexte

THALES Avionics développe de nombreuses fonctions intégrées dans des FPGAs. Ces fonctions étant souvent critiques, le code est généralement écrit manuellement afin d'en maîtriser le comportement et la conformité aux normes et standard aéronautiques. Toutefois, le principe de la modélisation fonctionnelle à l'aide d'outils comme Simulink, et de la génération automatique de code associée, offre des atouts potentiellement non négligeables dans les domaines du traitement du signal et du traitement de l'image. Utiliser ces outils impliquerait toutefois un effort conséquent de qualification, afin d'apporter les preuves nécessaires et le niveau de confiance requis pour l'aéronautique. La génération automatique de code est encore peu utilisée dans nos développements FPGA/ASIC, mais elle prend une large place dans les développements logiciels.

Les FPGA VERSAL d'AMD possèdent, en plus de la logique programmable classique, des processeurs vectoriels (nommés AIE), permettant d'accélérer massivement les calculs vectoriels, et un NoC configurable. Ce type d'architecture est particulièrement adapté pour le traitement massivement parallèle. La suite d'outils d'AMD permet de générer du code RTL (pour la partie programmable) et du logiciel (pour les AIEs) à partir de modèles Matlab/Simulink adaptés.

Objectifs du projet

Ce projet vise à évaluer, par la pratique, l'intérêt technique à utiliser Matlab/Simulink pour implémenter efficacement une partie très calculatoire d'un algorithme « orienté traitement radar » (partie FFT) en exploitant de façon efficace les ressources d'un FPGA VERSAL AI-ML. ***Le travail ne consiste pas à comprendre l'algorithme, mais à l'implémenter efficacement sur la cible, et maîtriser la chaîne outillée d'utilisation des AIE.***

Dans le cadre de ce projet, le travail consistera à :

- Installer les outils et licences d'évaluation en amont
- Prendre en main les outils Matlab/Simulink, les outils d'AMD (ModelComposer, VITIS), et la carte FPGA
- Repartir d'un modèle Matlab/Simulink existant (issu d'un stage précédent), et adapter/optimiser le modèle si nécessaire
- Simuler le modèle à l'aide de ModelComposer
- Implémenter, déboguer, et vérifier le code généré sur FPGA VERSAL VE 2302, à l'aide d'une carte d'évaluation VD100 d'ALINX

Points d'attention :

- Anticiper l'installation des licences d'évaluation (si nécessaire)
- Compatibilité à respecter entre versions de Matlab, Vitis, et OS
- Commencer à mettre en œuvre la carte sur des design examples exploitant les AIE
- Anticiper la méthode de définition des données d'entrée, et le moyen d'observation du résultat

Attendus de fin de projet

Démonstration, Bilan de projet (Difficultés rencontrées, réussites, ...), Analyse critique de la chaîne outillée (Matlab/Simulink/Vitis) pour ce type de fonctions (productivité, maturité de l'outil, performance, ressources utilisées, effort de prise en main de l'outil, contraintes dans la modélisation Simulink, Lisibilité et tracabilité du code généré, Besoin de codage Matlab/VHDL, ...)

Une carte VD100 (ALYNX) sera mise à disposition par Thales.
Les PCs et licences d'évaluation seront mis à disposition par l'école.