

# INFORME DE LABORATORIO

**Autores:** *Angee Lorena Ocampo Ramírez, Oscar Andrés Gutiérrez Rivadeneira*

*Laboratorio de Electrónica Digital 2  
Departamento de Ingeniería Electrónica y de Telecomunicaciones  
Universidad de Antioquia*

## Resumen

En la presente práctica se busca implementar una Unidad Aritmética Lógica que contiene las operaciones de suma, resta, And y Or; esto se lleva a cabo por medio de un análisis basado en los conceptos adquiridos durante las sesiones de teoría y práctica, para, posteriormente, desarrollar el diseño mediante el lenguaje de descripción de hardware SystemVerilog, que brinda herramientas como el simulador ModelSim, para la evaluación del comportamiento del diseño antes de su implementación. **Palabras clave:** ALU, Compuertas lógicas, FPGA, Sumador, System Verilog

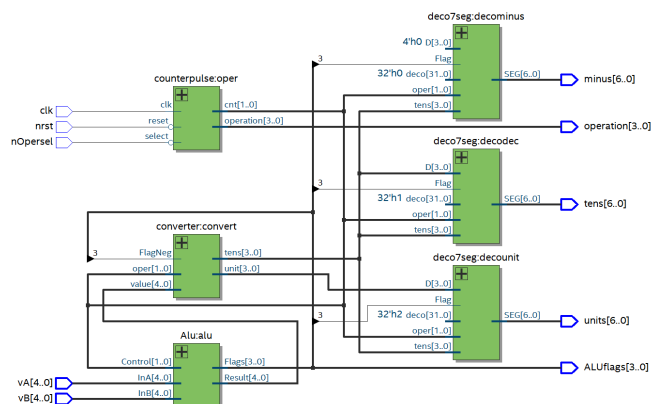


Figura 0-1: Diagrama de bloques

## Diseño y procedimiento

A continuación se procede a describir el análisis realizado para la ejecución de la presente práctica, también, se mostrará el diseño desarrollado y la simulación del mismo.

### Diseño:

En un comienzo se identificó que eran necesarios seis módulos aparte de la entidad principal para el diseño requerido. La conexión de los mismos se encuentra en la vista de la figura 0-1.

El primero de estos módulos era el llamado **counterpulse** el cual se encargaba de indicar a la ALU el cambio de operación; es importante mencionar, que este módulo tiene instanciado otra entidad que recibe el nombre de pulse, el cual se encarga de generar un solo pulso por cada vez que se presione el botón de cambio de operación, ejerciendo un control en el cambio de la misma. El módulo **counterpulse** es secuencial debido a que solo realiza el cambio de operación con los flancos de subida de reloj. El segundo módulo es la ALU (ver imagen 0-2), la cual realiza todas las operaciones solicitadas (suma, resta, AND y OR), y por medio de un MUX determina cuál es la operación que debe ir a la salida. Además, por medio de un circuito definido por compuertas, puede determinar la salida ALUFlags. Vale aclarar que, este módulo tiene un Fulladder integrado, con el cual se realizan las operaciones de suma y resta, en caso de resta se ingresa el valor en complemento a2 y en caso de suma el valor se entrega tal cual ingresa.

