

Curso de Graduação em Engenharia Eletrônica - Faculdade Gama - Universidade de Brasília

Prática de Eletrônica Digital 1. Código: FGA0071.

Professor: Henrique Marra Taira Menegaz

e-mail: henriquemenegaz@unb.br

Curso de Graduação em Engenharia Eletrônica - Faculdade Gama - Universidade de Brasília

Prática de Eletrônica Digital 1. Código: FGA0071.

Professor: Henrique Marra Taira Menegaz

e-mail: henriquemenegaz@unb.br

EXPERIMENTO DE PROTOBOARD

1 REGRAS DE APRESENTAÇÃO

Este experimento deve ser apresentado presencialmente ao professor em sala de aula, **nos horários das aulas, somente**. O prazo final de apresentação será a aula seguinte à aula deste experimento.

Não há necessidade de apresentação de pré-relatório nem de relatório. No entanto, só será pontuado o que estiver operando corretamente.

2 NOTA

O experimento receberá nota entre 0 e 10 pontos.

3 PROJETO

Implemente, na protoboard, um registrador universal com o CI 74194. A Figura 1 apresenta o esquemático desse CI e a Tabela 1 a sua tabela funcional. A entrada MR é o CLEAR (pino 1), CP é a entrada de *clock* (pino 11), DN são quatro entradas de dados para carregamento paralelo (pinos 3 a 6), S1 e S0 (pinos 10 e 9) são entradas seletoras (escolhem o modo de operação) e DSR e DSL (pinos 2 e 7) são, respectivamente, o bit a ser carregado nos deslocamentos à direita e à esquerda. Esse CI tem seguintes 5 modos de operação:.

1. Reset: Se $MR=0$, então as saídas são colocadas em 0.
2. Hold: Se $MR = 1$ e $S1=S0=0$, as saídas permanecem inalteradas.

3. Deslocamento à esquerda: Se $MR = 1$ e $S1=1$ e $S0=0$, então, no próximo pulso da entrada de clock (CP na Tabela 1), então o valor da saída sofrerá um deslocamento à esquerda de 1 bit e o bit mais à direita receberá o valor de DSL (pino 7).
4. Deslocamento à direita: Se $MR = 1$ e $S1=0$ e $S0=1$, então, no próximo pulso da entrada de clock, então o valor da saída sofrerá um deslocamento à direita de 1 bit e o bit mais à esquerda receberá o valor de DSR (pino 2).
5. Carregamento paralelo: Se $MR = 1$ e $S1=1$ e $S0=1$, então, no próximo pulso da entrada de clock, a saída receberá o valor de Dn (entradas paralelas ABCD, pinos 3 a 6).

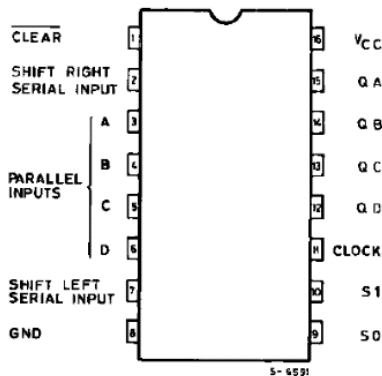


Figura 1. Esquemático do CI 74194.

Tabela 1. Tabela funcional do CI 74194.

Operating mode	Inputs							Outputs			
	CP	MR	S1	S0	DSR	DSL	Dn	Q0	Q1	Q2	Q3
Reset (clear)	X	L	X	X	X	X	X	L	L	L	L
Hold (do nothing)	X	H	l	l	X	X	X	q0	q1	q2	q3
Shift left	↑	H	h	l	X	l	X	q1	q2	q3	L
	↑	H	h	l	X	h	X	q1	q2	q3	H
Shift right	↑	H	l	h	l	X	X	L	q0	q1	q2
	↑	H	l	h	h	X	X	H	q0	q1	q2
Parallel load	↑	H	h	h	X	X	dn	d0	d1	d2	d3

Tabela 2. Tabela funcional com destaque ao deslocamento à esquerda.

Operating mode	Inputs							Outputs			
	CP	MR	S1	S0	DSR	DSL	Dn	Q0	Q1	Q2	Q3
Reset (clear)	X	L	X	X	X	X	X	L	L	L	L
Hold (do nothing)	X	H	l	l	X	X	X	q0	q1	q2	q3
Shift left	↑	H	h	l	X	l	X	q1	q2	q3	L
	↑	H	h	l	X	h	X	q1	q2	q3	H
Shift right	↑	H	l	h	l	X	X	L	q0	q1	q2
	↑	H	l	h	h	X	X	H	q0	q1	q2
Parallel load	↑	H	h	h	X	X	dn	d0	d1	d2	d3

Tabela 3. Tabela funcional com destaque ao deslocamento à esquerda.

Operating mode	Inputs							Outputs			
	CP	MR	S1	S0	DSR	DSL	Dn	Q0	Q1	Q2	Q3
Reset (clear)	X	L	X	X	X	X	X	L	L	L	L
Hold (do nothing)	X	H	l	l	X	X	X	q0	q1	q2	q3
Shift left	↑	H	h	l	X	l	X	q1	q2	q3	L
	↑	H	h	l	X	h	X	q1	q2	q3	H
Shift right	↑	H	l	h	l	X	X	L	q0	q1	q2
	↑	H	l	h	h	X	X	H	q0	q1	q2
Parallel load	↑	H	h	h	X	X	dn	d0	d1	d2	d3

Tabela 4. Tabela funcional com destaque ao carregamento paralelo.

Operating mode	Inputs							Outputs			
	CP	$\overline{\text{MR}}$	S1	S0	DSR	DSL	Dn	Q0	Q1	Q2	Q3
Reset (clear)	X	L	X	X	X	X	X	L	L	L	L
Hold (do nothing)	X	H	l	l	X	X	X	q0	q1	q2	q3
Shift left	\uparrow	H	h	l	X	l	X	q1	q2	q3	L
	\uparrow	H	h	l	X	h	X	q1	q2	q3	H
Shift right	\uparrow	H	l	h	l	X	X	L	q0	q1	q2
	\uparrow	H	l	h	h	X	X	H	q0	q1	q2
Parallel load	\uparrow	H	h	h	X	X	dn	d0	d1	d2	d3

Como o CI 74194 funciona com pulsos, requer-se implementar um circuito gerador de pulsos. Para isso usaremos o timer NE 555, cujo esquemático está mostrado na Figura 2. Esse CI pode ser usado em diversas configuração, mas para a nossa finalidade, usaremos somente a sua configuração astável, esquematizada na Figura 3. A saída deve ser conectada à entrada de *clock* do 74194.

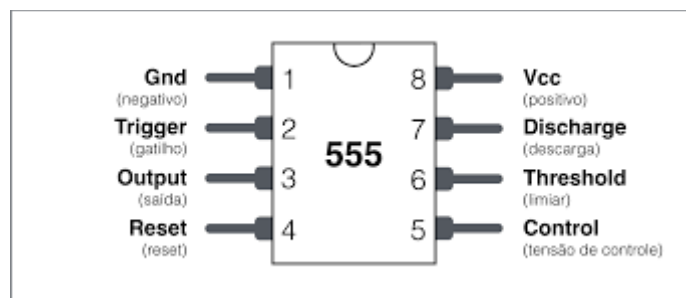


Figura 2. Esquemático do CI NE 555.

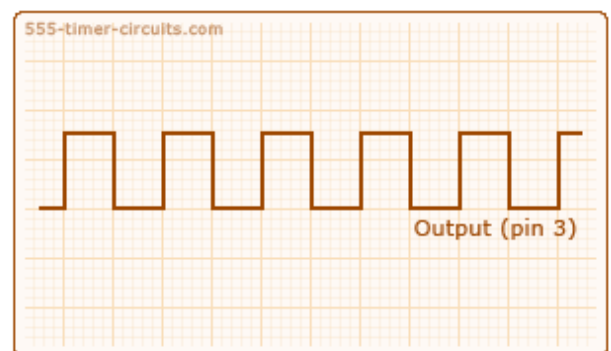
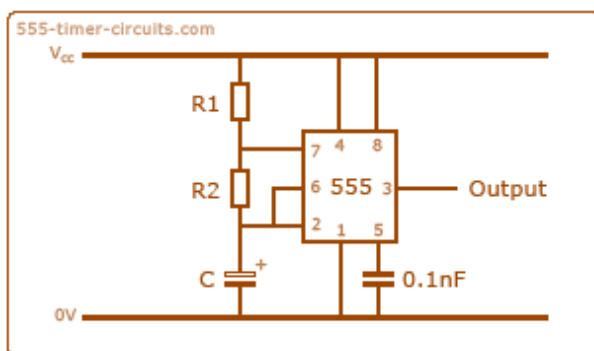


Figura 3. Esquemático do NE 555 em configuração astável.

Siga as seguintes instruções para a montagem desse circuito:

1. Conecte LEDs ligados a resistores adequados (p.e. $220\ \Omega$) e às saídas do 74194.
2. Utilize chaves apenas para as entradas seletoras S1 e S0 do 74194.
3. Para as entradas de dados do 74194 (A, B, C, D, DSL e DSR) e o CLEAR, utilize fios ligados diretamente aos níveis 0 ou 1. Com isso, evitamos utilizar muitas chaves e poluir o circuito demasiadamente.
4. Para o circuito da Figura 3, utilize $R1 = 10k\Omega$, $R2 = 160k\Omega$ e $C = 2,2\mu F$;

A pontuação será da seguinte maneira:

1. Correta implementação do gerador de pulsos: 5 pts.
2. Correta implementação do registrador universal: 5 pts.

4 BIBLIOGRAFIA

- Thomas L. Floyd, Sistemas Digitais: Fundamentos e Aplicações, 9ª edição, Bookman, 2007.
- Mordka, SZAJNBERG. Eletrônica Digital - Teoria, Componentes e Aplicações. Grupo GEN, 2014.