



Nuevas Experiencias Plataforma OpenSPARC

Daniela Delgado Galeano – Angelica M. Loaiza Loaiza – Jenny L. Arango | Yensy H. Gomez Villegas | Universidad Tecnologica De Pereira

Curiosidad

¿hay alguna novedad en la arquitectura openSPAR?

Desarrollo

- En el año 2014 realizaron una investigacion donde implementa un circuito integrado en tres dimensiones en el microprocesador openSPARC T2 con el fin de optimizar los recursos de energía.

Introduccion

Al pasar el tiempo cada vez es más evidente el desarrollo de la tecnología, por medio de este artículo se busca dar a conocer de un proyecto llamado openSPARC, una sociedad de código abierto para realizar contribuciones a los micro procesadores UltraSPARC T1 y T2, el cual en el año 2014 realizaron una investigación acerca de un circuito integrado tridimensional junto con sus beneficios y potencial por medio de la metodología de recursos de diseños para la reducción de energía mediante un microprocesador de gran escala openSPARC T2.

OpenSPARC

openSPARC se compone de:

Aquitectura SPARC

- Esta basada en un juego de instrucciones que se caracteriza por trabajar con ventanas de registros que es eficiente tanto en el rendimiento de compiladores como la reducción de instrucciones.

OpenSPARC

- Microprocesadores:
- ultraSPARC T1
- ultraSPARC T2

UltraSPARC T2

- Microprocesador de ocho núcleos, y cada núcleo es capaz de manejar ocho hilos simultáneamente. Así, el procesador es capaz de procesar hasta 64 hilos simultáneos

Aporte cientico

iniciaron trabajando con openSPARC que cuenta con una base de datos de 8 núcleos de 64 bits, con estas especificaciones deciden construir un formato de archivo de base de datos, donde se discutió cómo iniciar y organizar el circuito en 3D para la reducción.

los circuitos 3D representa mejoras en el medio las tecnologías de circuitos integrados dejando atrás a los tradicionales circuitos CMOS y 2D que fueron también implementados en microprocesadores, los circuitos 3D ofrece mayor velocidad de propagación de señal y mejorando también la reducción de costos en de fabricación.

Comparaciones

	2D	3D (core/cache)	3D (core/core)
footprint (mm^2)	71.1	38.4 (-46.0%)	38.4 (-46.0%)
# cells ($\times 10^6$)	7.39	7.21 (-2.4%)	7.26 (-1.8%)
# buffers ($\times 10^6$)	2.89	2.42 (-16.3%)	2.45 (-15.2%)
Wirelength (m)	343.0	326.0 (-5.0%)	324.5 (-5.4%)
Total power (W)	9.107	8.171 (-10.3%)	8.273 (-9.1%)
Cell power (W)	1.779	1.502 (-15.6%)	1.537 (-13.6%)
Net power (W)	4.499	4.122 (-8.4%)	4.131 (-8.2%)
Leakage power (W)	2.828	2.547 (-9.9%)	2.605 (-7.9%)

Resultados

- Con la tabla anterior se busca especificar las diferencias que hay entre los circuitos de 2 y 3 dimensiones en base una frecuencia de 500 MHZ se da notar las diferencias con respecto al diseño del circuito 2D.
- La tabla se muestra que hay un 75,3% que representa la reducción de hilos en el núcleo y el buffer que es un compensador de energía y reducción de núcleos que los que platea el circuito en 2D.

Beneficios

- El desarrollo de esta idea brinda un buen sistema de rendimiento y optimización de recursos de ahorro de energía.
- Ofrece mayor velocidad de propagación de señal y reducción de costos en la fabricación.

Conclusión

- En este artículo se plantea el avance de un sistema con buen rendimiento y optimización de recursos de energía, demostrando los beneficios de este tipo de circuitos implementados en un microprocesador openSPARC T2 llegando a un ahorro total de 20,3% de energía en comparación de circuitos 2d o CMOS, también se busca explicar y dar a entender que trata esta plataforma, sus atributos y el potencial que ofrece.

Referencias

- [1] B. Black et al. La microarquitectura de apilamiento de datos (3D). En Proc.Annual Int. Symp. Microarquitectura de 2006.
- [2] U. Kang et al. 8 Gb 3-D DDR3 DRAM Uso de la tecnología Through-Silicon-Via. En IEEE J. Circuitos de Estado Sólido, 2010.
- [3] AS León, et al., "Un alto rendimiento 32-Thread procesador SPARC de ahorro de energía," IEEE Journal of Solid-State Circuits, vol. 42, No. 1, enero de 2007.
- [4] G. Katti et al. Modelado Eléctrico y Caracterización de A través de Silicio vía ICs Tridimensionales. En IEEE Trans. en electrones Dispositivos, 2010.
- [5] M. Shah, et al, "UltraSPARC™ T2: Un altamente rosca, ahorro de energia, SPARC SOC", IEEE asiático. Circuitos de Estado Sólido Conf, noviembre de 2007.