

Documentação do Projeto Final de Circuitos Lógicos (2024.1)

3ª Entrega

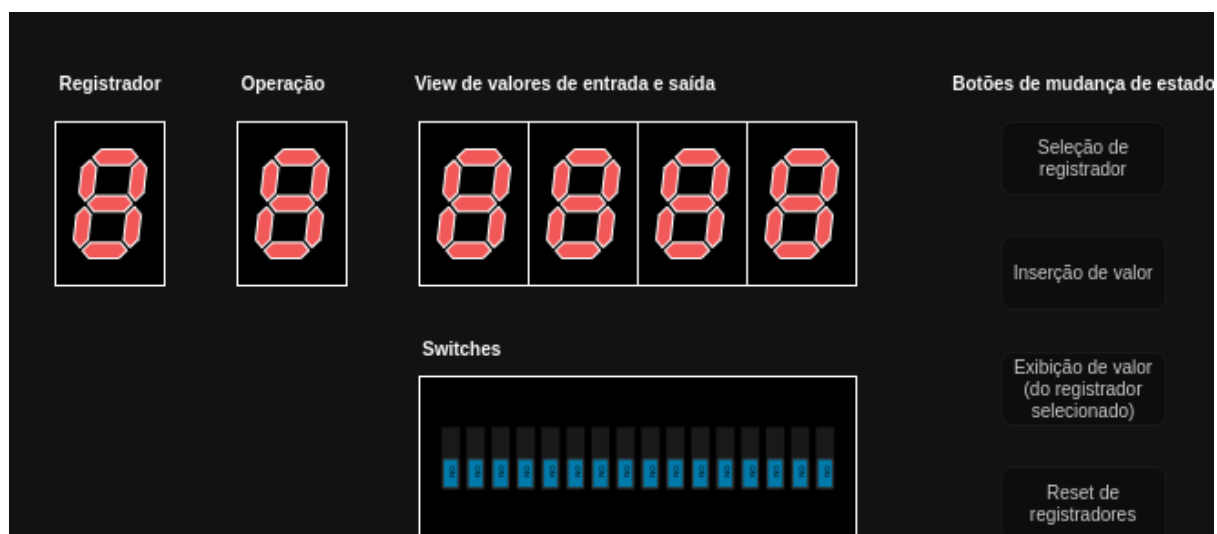
Discentes: Ângelo Raphael Campelo de Araújo Barbosa; José Eduardo Monteiro dos Santos

Docente: Edgard de Faria Correa

A terceira entrega do projeto consiste no projeto e implementação na linguagem de descrição de hardware VHDL de um banco de registradores com 8 registradores de 16 bits e de uma pequena interface que permita operações de seleção de registrador, inserção de valor, e visualização de valor em displays de 7 segmentos na placa DE2-115.

Os valores inseridos devem ser indicados por até 16 switches de entrada que representam 1 bit cada e lidos e salvos de forma sequencial.

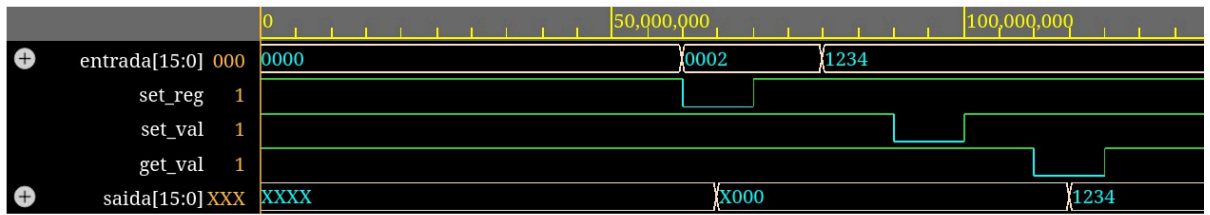
- Diagrama



- Plano de simulação

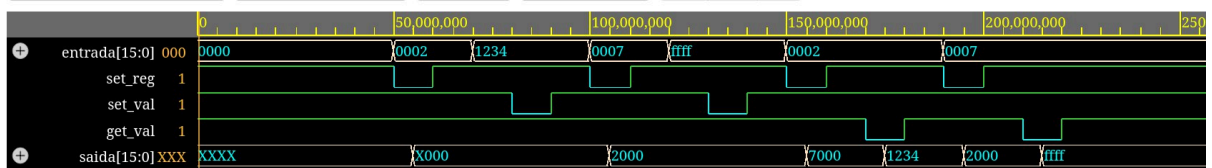
1º Simulação

Set Reg -> Set Val -> Get Val



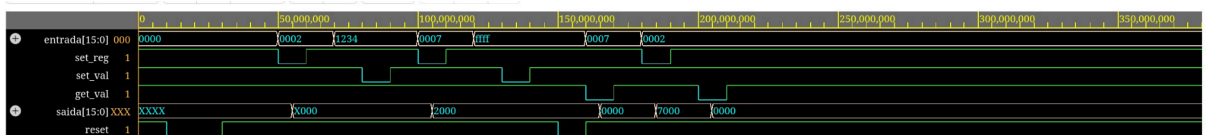
2ª Simulação

(Set_reg A -> Set_val A -> Set_reg B -> Set_val B -> Get_val A -> Get_val B)



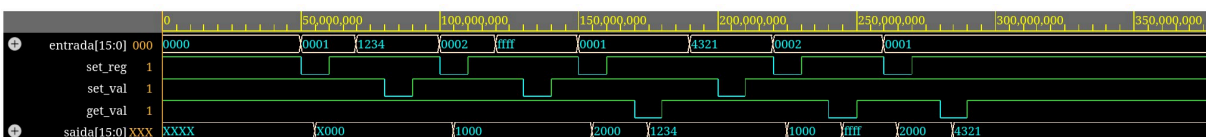
3ª Simulação

(Set_reg 2 -> Set_val 0x1234 -> Set_reg 7 -> set_val 0xffff -> reset 1 -> set_reg 2 -> get_val -> set_reg 7 -> get_val)



4ª Simulação

(set_reg 0x001 -> set_val "0x1234" -> set_reg 0x002 -> set_val "0xFFFF" -> set_reg "0x001" -> get_val -> set_val 0x4321 -> set_reg "0x002" -> get_val -> set_reg "0x001" -> get_val)



Nota: Na placa Altera-DE2-115 o display de segmento e o botão assume valor lógico alto em 0.

A saída de todos os testes correspondeu com a saída esperada.

Bibliografia:

1. Mapeamento de segmentos-portas: Table 4-4 Pin Assignments for 7-segment Displays, p. 37
(https://www.terasic.com.tw/attachment/archive/502/DE2_115_User_manual.pdf)