

Documentação do Projeto Final de Circuitos Lógicos (2024.1)

2ª Entrega

Discentes: Ângelo Raphael Campelo de Araújo Barbosa; José Eduardo Monteiro dos Santos

Docente: Edgard de Faria Correa

A segunda entrega do projeto consiste no projeto e implementação na linguagem de descrição de hardware VHDL de uma Unidade Lógica Aritmética (ULA) de 16 bits e de uma pequena interface que exiba suas operações em displays de 7 segmentos na placa DE2-115

Os operandos e o operador devem ser indicados por até 16 switches de entrada que representam 1 bit cada e lidos e salvos de forma sequencial. O resultado da operação deve ser apresentado em base hexadecimal pelos displays.

Simulação

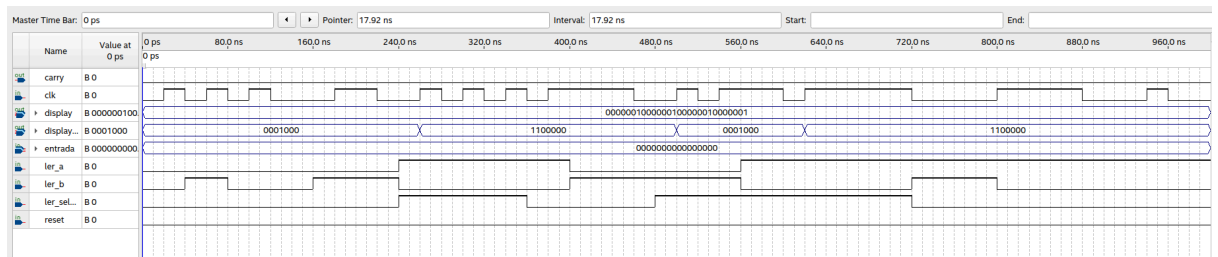
- Plano de simulação

	Operando A 100	Operando B 100	Operador Soma (+)	Resultado 200
	3D46	459E	Soma (+)	AF17
	109B	DA85	Soma (+)	EB20
	0C14	7677	Soma (+)	828B
	815D	5292	Soma (+)	D3EF

Nota: Na placa Altera-DE2-115 um display de segmento liga no 1 e desliga no 0

A saída de todos os testes correspondeu com a saída esperada.

- Quartus



- [Simulação na placa \(clique para acessar o vídeo\)](#)

Bibliografia:

1. Mapeamento de segmentos-portas: Table 4-4 Pin Assignments for 7-segment Displays, p. 37
(https://www.terasic.com.tw/attachment/archive/502/DE2_115_User_manual.pdf)
2. Material de orientação - (FPGA Seven-segment-display by using Altera DE2-115 board with practice and implementation. Waqas Saeed, Prof Luca Valcarengi)
(<https://www.fpga4student.com/2017/09/vhdl-code-for-seven-segment-display.html>)