Documentação do Projeto Final de Circuitos Lógicos (2024.1)

Discentes: Ângelo Raphael Campelo de Araújo Barbosa; José Eduardo Monteiro dos Santos

Docente: Edgard de Faria Correa

A primeira entrega do projeto consiste na conversão de uma entrada binária para hexadecimal e sua devida exibição através de um display de 7 segmentos na placa DE2-115.

O número binário é indicado através de 4 switches de entrada, que são mapeados e processados por um conversor escrito na linguagem de descrição de hardware VHDL para então transmitir ao display a configuração correspondente de segmentos ligados para exibi-lo.

- Diagrama de conexões



Simulação

- Plano de simulação

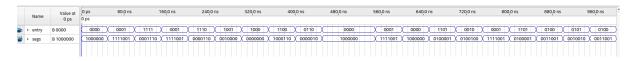
Dígito	Entrada	A	В	С	D	Е	F	G
0	0000	0	0	0	0	0	0	1

1	0001	1	0	0	1	1	1	1
2	0010	0	0	1	0	0	1	0
3	0011	0	0	0	0	1	1	0
4	0100	1	0	0	1	1	0	0
5	0101	0	1	0	0	1	0	0
6	0110	0	1	0	0	0	0	0
7	0111	0	0	0	1	1	1	1
8	1000	0	0	0	0	0	0	0
9	1001	0	0	0	0	1	0	0
A	1010	0	0	0	1	0	0	0
b	1011	1	1	0	0	0	0	0
C	1100	0	1	1	0	0	0	1
d	1101	1	0	0	0	0	1	0
Е	1110	0	1	1	0	0	0	0
F	1111	0	1	1	1	0	0	0

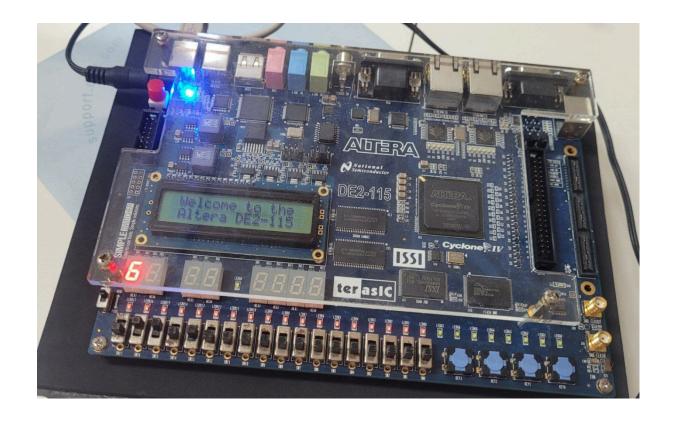
Nota: Na placa Altera-DE2-115 um display de segmento liga no 1 e desliga no 0

A saída de todos os testes correspondeu com a saída esperada.

- Quartus



- Placa DE2-115



Bibliografia:

- Mapeamento de segmentos-portas: Table 4-4 Pin Assignments for 7-segment Displays, p. 37 (<u>https://www.terasic.com.tw/attachment/archive/502/DE2_115_User_manual.pdf</u>)
- 2. Material de orientação (FPGA Seven-segment-display by using Altera DE2-115 board with practice and implementation. Waqas Saeed, Prof Luca Valcarenghi)

 (https://www.irjmets.com/uploadedfiles/paper/volume3/issue_5_may_2021/9932/1628083399.pdf)