
Circuitos Electrónicos (Plan 2010)

Laboratorio de Circuitos Electrónicos (Plan 94)

Descripción del proyecto

Curso 2012-2013

Transmisión digital de datos en serie mediante modulación FSK

Álvaro de Guzmán Fernández

Juan Manuel Montero

ÍNDICE GENERAL

1. INTRODUCCIÓN	3
2. DESCRIPCIÓN GENERAL	4
2.1 Esquema general del prototipo	4
2.2 Esquema detallado: emisor	5
2.3 Esquema detallado: receptor	5
2.4 La secuencia digital a transmitir	6
3. REALIZACIÓN DEL PROTOTIPO	7
3.1 Descomposición en módulos analógicos y digitales	7
3.2 Forma de trabajar en la asignatura	7
3.3 Montaje	7
4. FUNCIONAMIENTO DETALLADO	9
4.1 EL EMISOR	9
4.1.1 Generador de reloj de bit	10
4.1.2 Registro de desplazamiento y generación de trama	10
4.1.3 Osciladores de portadoras	11
4.1.4 Multiplexor analógico (selección de portadora y apertura del canal)	12
4.1.5 Adaptación al canal	13
4.1.6 Canal de comunicación	13
4.2 LA MODULACIÓN FSK	14
4.3 EL RECEPTOR	18
4.3.1 Esquema general del demodulador FSK	18
4.3.2 Filtro paso bajo / paso alto	18
4.3.3 Amplificador y rectificador	19
4.3.4 Filtro RC paso bajo	20
4.3.5 Comparador	20
4.3.6 Multiplexor digital	21
4.3.7 Circuito de sincronismo, captura de la secuencia y visualización	22
4.3.8 Montaje del autómatas	25
4.3.9 El generador de reloj	25
4.4 MONTAJE DEL PROTOTIPO	27
4.4.1 Montaje del circuito por etapas:	27
4.4.2 Medidas que deben realizarse sobre el circuito:	28
4.4.3 Realización de diagramas de Bode:	29
4.4.4 Utilización del osciloscopio:	30
5. Especificaciones del sistema	31
6. Memoria	32
7. Mejoras	34
7.1 Utilización de dos pulsadores para introducir las cifras octales y visualización mediante LEDs (dificultad baja):	34
7.2 Utilización de dos pulsadores para introducir las cifras octales y visualización mediante displays (dificultad media):	34
7.3 Generación y transmisión de un bit de paridad (dificultad alta):	35
7.4 Comprobación de la paridad en caso que se haya implementado la mejora 7.3 (dificultad media)	35
7.5 Uso de esquemas circuitales alternativos a los propuestos	36
7.6 Implementación en circuitos programables (dificultad muy alta)	36
7.7 Simulación con PSPICE (1 PUNTO) (dificultad alta)	36
7.8 Montaje en PCB (1,5 PUNTOS) (dificultad muy alta)	37
8. DESARROLLO RECOMENDADO	38
ANEXO I: El circuito integrado temporizador NE555	41
Referencias	44

1. INTRODUCCIÓN

El objetivo de esta asignatura consiste en que el alumno amplíe y consolide de una manera práctica los conocimientos adquiridos en las asignaturas de segundo curso de Electrónica Analógica y Digital. Para ello se utilizará un método **PBL (“Project based learning”, aprendizaje basado en proyectos)** que consistirá en el desarrollo de un prototipo a partir de unas especificaciones iniciales.

Esta tarea se lleva a cabo mediante **evaluación continua** y comprende varias fases:

- Por un lado, se impartirán unas clases magistrales donde se suministra la información básica sobre el proyecto a realizar.
- Existirán unas sesiones prácticas en un aula docente con medios para el desarrollo del proyecto propuesto. Dicho proyecto será realizado por parejas de alumnos.
- Además, deberá seguir las instrucciones aquí incluidas, que implicarán diversas fases de diseño, análisis, montaje y medida de los circuitos o subsistemas propuestos. Igualmente se hará especial énfasis en que los alumnos adquieran una visión práctica de los problemas con los que se encuentra el diseño de circuitos analógicos y digitales en las implementaciones de prototipos reales de laboratorio.
- También existirán tutorías diarias en el aula docente de la asignatura durante el desarrollo de las sesiones de prácticas

El resultado del trabajo realizado **deberá quedar reflejado en una memoria escrita** que contenga los detalles del proceso, así como los resultados obtenidos y todas aquellas cuestiones específicas que se indiquen en el enunciado (ver Apartado 6).

Como documentación adicional, está disponible el libro Aspectos Prácticos de Diseño y Medida en Laboratorios de Electrónica [6], que podrá adquirir en el Servicio de Publicaciones de la Escuela, donde encontrará recomendaciones, criterios de diseño y comentarios de interés de carácter general, y cuyo contenido podrá ser objeto de pregunta en los exámenes orales.

El proyecto propuesto contiene las **especificaciones mínimas** que deben cumplir los circuitos realizados. Adicionalmente, se presentarán sugerencias de **mejoras opcionales**, dejando a los alumnos la libertad de añadir nuevas mejoras y montajes alternativos (ver Apartado 7). Podrá encontrar éste y otros documentos relacionados, así como información actualizada sobre la asignatura, en: <http://lcel.die.upm.es>

En particular, lea el documento que contiene la normativa de aplicación a la asignatura. Además en este curso también habrá que tener en cuenta las siguientes consideraciones:

1. **Cada pareja deberá disponer de un cuaderno de prácticas**, donde dibujará los esquemas de los circuitos, detallará los cálculos y justificaciones realizados, tomará nota de todas las medidas efectuadas en el Laboratorio y, en general, recogerá cuantas observaciones e incidencias tengan lugar durante el desarrollo de la Práctica. Este cuaderno **será de gran utilidad a la hora de escribir las memorias**.

2. **Se realizarán dos pruebas (exámenes) a lo largo del curso**, que serán las que determinen la nota final de los alumnos. Tenga en cuenta que aunque los turnos de prácticas se realizan por parejas, la nota será individual para cada alumno.

Para cualquier consulta, puede dirigirse al coordinador de la asignatura, Álvaro de Guzmán Fernández (despacho B-107, guzman@die.upm.es).

2. DESCRIPCIÓN GENERAL

La modulación FSK (*Frequency Shift Keying*), se emplea en la transmisión de datos digitales a través de una línea de comunicaciones. Básicamente consiste en la generación de una señal senoidal de diferente frecuencia (portadora) en función de los datos digitales que quieran transmitirse. Dicha señal, es posteriormente amplificada y adaptada en impedancia al canal de comunicación por el que vaya a ser emitida. Este tipo de modulación (u otros) se emplean cuando las características del canal de comunicaciones hacen inadecuada la transmisión de la señal en banda base.

De esta manera, la modulación FSK más sencilla (que será el objeto de este proyecto) consiste en la generación de una portadora de frecuencia f_1 cuando el bit a transmitir sea un "0", y una portadora de frecuencia f_2 cuando el bit sea un "1". Existen esquemas más complejos donde se emplean 4,8,16 o incluso más frecuencias, las cuales se seleccionan mediante grupos de 2,3,4 o más bits respectivamente.

Por lo tanto, los datos digitales son transmitidos secuencialmente (en serie). Esto hace que la elección de las frecuencias f_1 y f_2 deba hacerse en función de la capacidad del canal, de la tasa binaria con la que llegan los datos al emisor y de la capacidad del receptor para discriminar ambas frecuencias.

El objetivo de este trabajo será desarrollar un prototipo compuesto por dos módulos: emisor y receptor. El emisor generará una secuencia de bits que posteriormente modulará en FSK y transmitirá a través de una línea. El receptor deberá demodular dicha señal FSK y recuperar la secuencia binaria original.

2.1 Esquema general del prototipo

El esquema general del prototipo que se va a desarrollar se encuentra detallado a continuación en la Figura 1.

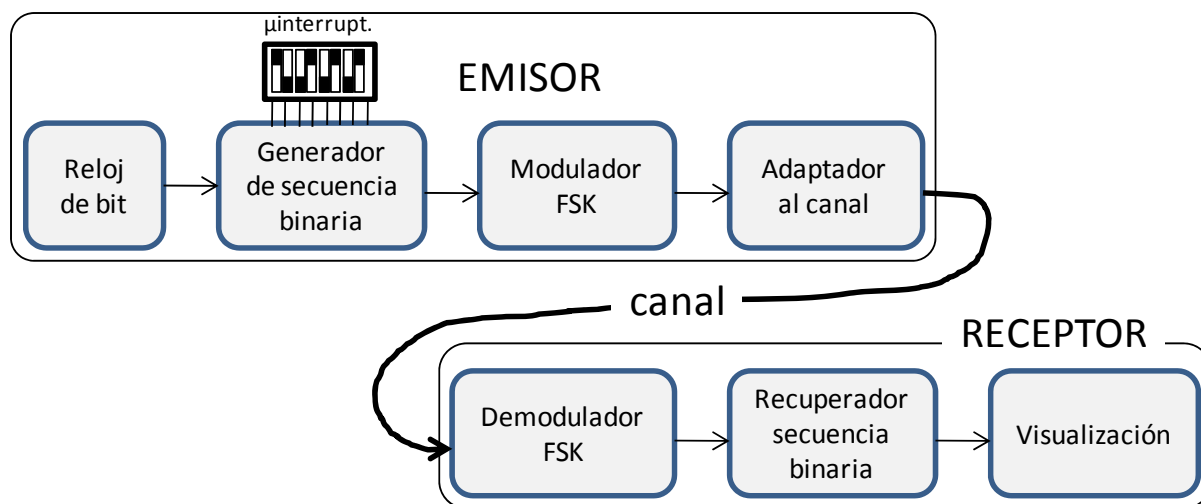


Figura 1 Esquema general del proyecto que deberá realizarse

El emisor está compuesto por el generador de secuencia binaria, que está controlado por unos microinterruptores (para seleccionar dicha secuencia) y un reloj que determina la tasa binaria. También incluye un modulador que genera la señal FSK y un circuito de adaptación al canal (que en nuestro caso será un cable).

El receptor contiene un demodulador FSK, que extrae los bits a partir de las frecuencias transmitidas. Dichos bits son enviados a un circuito regenerador de la secuencia binaria, el cual deberá ser capaz de recuperar el reloj original a partir de esta secuencia. Por último, en el módulo de visualización se presenta la información binaria en una forma de fácil lectura para el usuario.

2.2 Esquema detallado: emisor

Una descripción más detallada del emisor se muestra a continuación en la Figura 2. El elemento central sobre el que está construido el generador de secuencia binaria se trata de un registro de desplazamiento **paralelo/serie** con entrada de **carga/desplazamiento**. El circuito se mantiene normalmente en el modo de carga, por lo que la señal a su salida será constante. Durante el tiempo que se mantiene presionado un pulsador, el registro conmuta al modo desplazamiento y los bits correspondientes a la secuencia van sucediéndose a la salida según la tasa binaria impuesta por el reloj de bit.

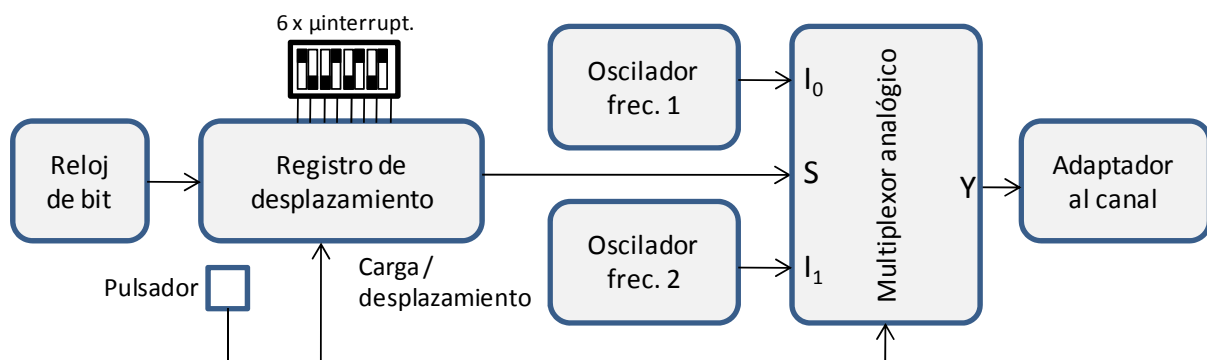


Figura 2 Esquema detallado del emisor

Por otro lado, el modulador FSK está compuesto por dos osciladores que generan las dos portadoras f_1 y f_2 y un multiplexor analógico. Este último transmite a su salida (Y) la señal presente en una de las dos entradas (I_0 o I_1), en función de unas señales de control. También deberá mantener la línea a masa mientras no se transmite ningún dato, dejando pasar las portadoras f_1 o f_2 en el caso de transmitirse una secuencia.

El adaptador al canal realizará un filtrado antes de transmitir la señal a través del canal empleado (en este caso un cable).

2.3 Esquema detallado: receptor

El receptor se detalla en la Figura 3. El demodulador FSK está formado por dos filtros: paso alto y paso bajo en paralelo que separan las frecuencias correspondientes a las dos portadoras. Un circuito de decisión se encarga de discriminar si la señal entrante por el canal se corresponde con un valor lógico "0" o "1".

Una vez que la secuencia binaria aparece a la salida del circuito de decisión, es necesario volver a capturarla mediante un registro de desplazamiento **serie/paralelo**, complementario al existente en el emisor. Para ello se emplea el circuito de sincronización, el cual debe ser capaz de detectar la llegada de una nueva secuencia y generar un reloj en sincronía con el del emisor. Este reloj se empleará para cargar la secuencia en el citado registro. Una vez que la secuencia se encuentra completa en el registro de desplazamiento se presentará al usuario mediante el circuito de visualización, el cual también está controlado por el circuito de sincronización tal como se ve en la figura.

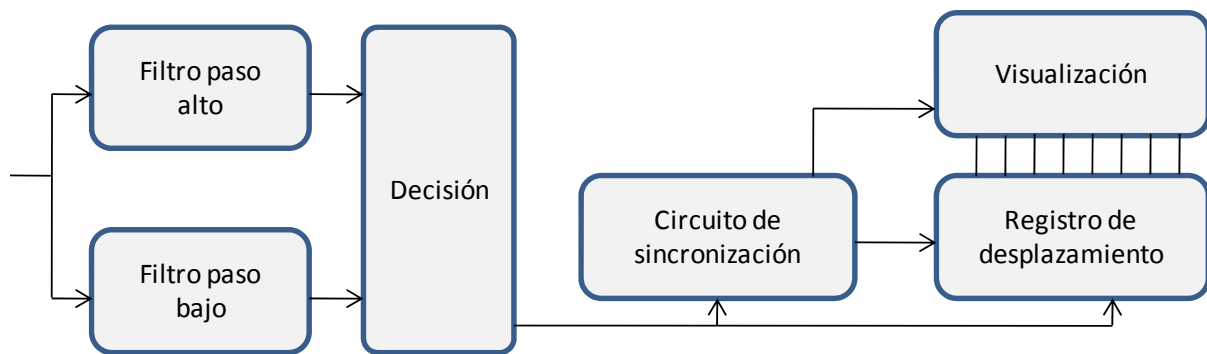


Figura 3 Esquema detallado del receptor

2.4 La secuencia digital a transmitir

En condiciones estáticas, cuando no se está transmitiendo ninguna secuencia digital, el canal deberá encontrarse siempre a masa ($V=0V$). La secuencia digital, denominada técnicamente **trama**, estará formada por 7 bits. El primer bit que se transmite por la línea, se trata de un bit de inicio y deberá tener obligatoriamente el valor lógico "1". Este bit será empleado posteriormente en el receptor para detectar la llegada de una nueva trama. Los 6 bits restantes son los datos transmitidos ($B0..B5$) y se irán sucediendo de forma secuencial tras el bit de inicio. El reloj de bit que determina la tasa binaria tendrá una frecuencia de **1 KHz**, lo que establece la longitud de cada bit en **1 ms**.

Los valores de los 6 bits de datos deberán ser introducidos mediante los microinterruptores que aparecen en la Figura 2. Las formas de onda correspondientes al reloj de bits y a la trama transmitida se muestran en la Figura 4.

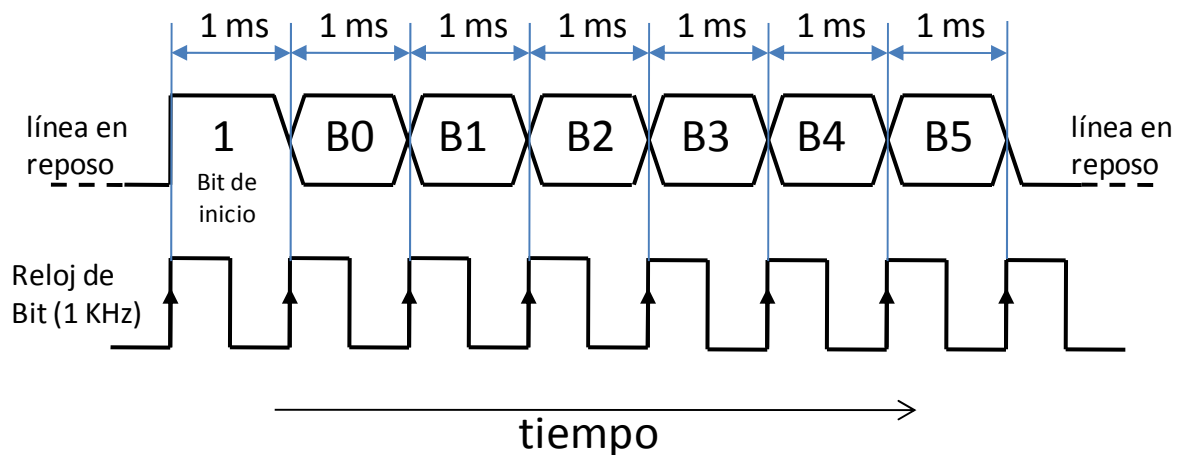


Figura 4 Formas de onda de la trama generada en el emisor y el reloj de bits

En este proyecto, se interpretarán los valores de los bits de datos como dos cifras octales (expresadas con 3 bits cada una). La cifra menos significativa estará formada por los bits $B2, B1$ y $B0$ en este orden. La cifra más significativa estará formada por los bits $B5, B4$ y $B3$ en este orden:

EJEMPLO DE TRAMA: **1011100**

DESCRIPCIÓN: **1** (Bit de inicio), **011** (cifra octal = 6), **100** (cifra octal = 1).

NOTA: El canal solamente deberá estar abierto (distinto de 0V) exclusivamente durante la transmisión de estos 7 bits.

3. REALIZACIÓN DEL PROTOTIPO

3.1 Descomposición en módulos analógicos y digitales

La descomposición de este proyecto en módulos analógicos y digitales se recoge a continuación en la siguiente tabla:

	Subsistema analógico	Subsistema digital
EMISOR	Reloj de bit Modulador FSK Adaptador al canal	Generador de secuencia binaria
RECEPTOR	Demodulador FSK	Recuperador de secuencia binaria Visualización

En la parte digital se utilizará en todo caso **lógica CMOS** (circuitos de la serie **74HCXXXX**) alimentada entre 0 y 5 V. Para la parte analógica se emplearán **amplificadores operacionales** del tipo **TL082** alimentados con tensión simétrica de **+5 y -5 V**.

3.2 Forma de trabajar en la asignatura

Los créditos asignados a esta asignatura se encuentran repartidos entre horas prácticas en el aula docente y trabajo personal del alumno. A este respecto, tenga en cuenta que cada semana dispone de 4 horas prácticas en el aula docente. Estas horas deben dedicarse principalmente a realizar medidas, obtener capturas de pantalla del osciloscopio para la redacción de la memoria final y resolver posibles problemas que vayan surgiendo durante el desarrollo del prototipo. **NO SE RECOMIENDA** utilizar el tiempo en el aula para diseñar los circuitos o realizar los montajes de los mismos. Dichos diseños y montajes deben hacerse fuera del aula en las horas de trabajo personal.

No obstante, para cualquier duda referente al diseño o el montaje del circuito, puede acudir a cualquiera de los profesores de la asignatura.

Aproveche el tiempo en el aula para aprender a utilizar los equipos de laboratorio, realizar medidas y resolver problemas. Sea crítico y trate de buscar soluciones acotando el problema que pueda surgir. Revise las líneas de alimentación de los integrados y examine los módulos por separado.

En especial, ponga cuidado en la instalación de **condensadores de desacoplo** (**ver apartado 3.3**)

3.3 Montaje

El prototipo **deberá ser montado en dos placas de inserción separadas**. Una contendrá exclusivamente el emisor y la otra exclusivamente el receptor. La alimentación se realizará mediante la fuente de alimentación del laboratorio **en modo simétrico con +5 y -5 V**. Esta alimentación será común para el emisor y el receptor aunque para minimizar problemas de ruido deberán llevarse bananas independientes desde las bornas de la fuente de alimentación hacia el emisor y el receptor respectivamente (topología de alimentación en estrella). Vea la Figura 5 para mayor aclaración. **Solamente se permite el cruce de un cable de una placa a otra (canal de comunicación)**

Además de la citada topología en estrella, se utilizarán condensadores de desacoplo en ambas placas de inserción para reducir el ruido que pueda producirse en los circuitos de conmutación. Estos condensadores son fundamentales para el correcto funcionamiento de la práctica. Se utilizarán 3 en cada una de las alimentaciones: 100 μ F, 100 nF y 100 pF para cada uno de los intervalos de frecuencia (bajas, medias y altas respectivamente). Tenga especial cuidado con la polaridad de los condensadores electrolíticos en el caso de 100 μ F.

Por otro lado, tanto en emisor como en receptor es recomendable añadir dos LEDs (rojo y verde) junto con dos resistencias, conectados a cada una de las líneas de alimentación (+5 y -5) para saber que dichas líneas están funcionando correctamente y que no hay cortocircuitos. En caso de producirse alguno, el LED correspondiente a esa alimentación se apagará advirtiéndolo del hecho. Observe la Figura 6 para la correcta conexión de estos elementos. Repetimos que debe prestar especial atención a la polaridad de los condensadores electrolíticos.

La justificación de la necesidad de condensadores de desacoplo, así como su función, se describen en detalle en la referencia [6].

Si utiliza cables de colores identificativos para las alimentaciones, le será más sencillo después seguir el curso de los errores de montaje. Se sugiere negro para la masa, rojo para la alimentación positiva (+5) y azul para la negativa (-5).

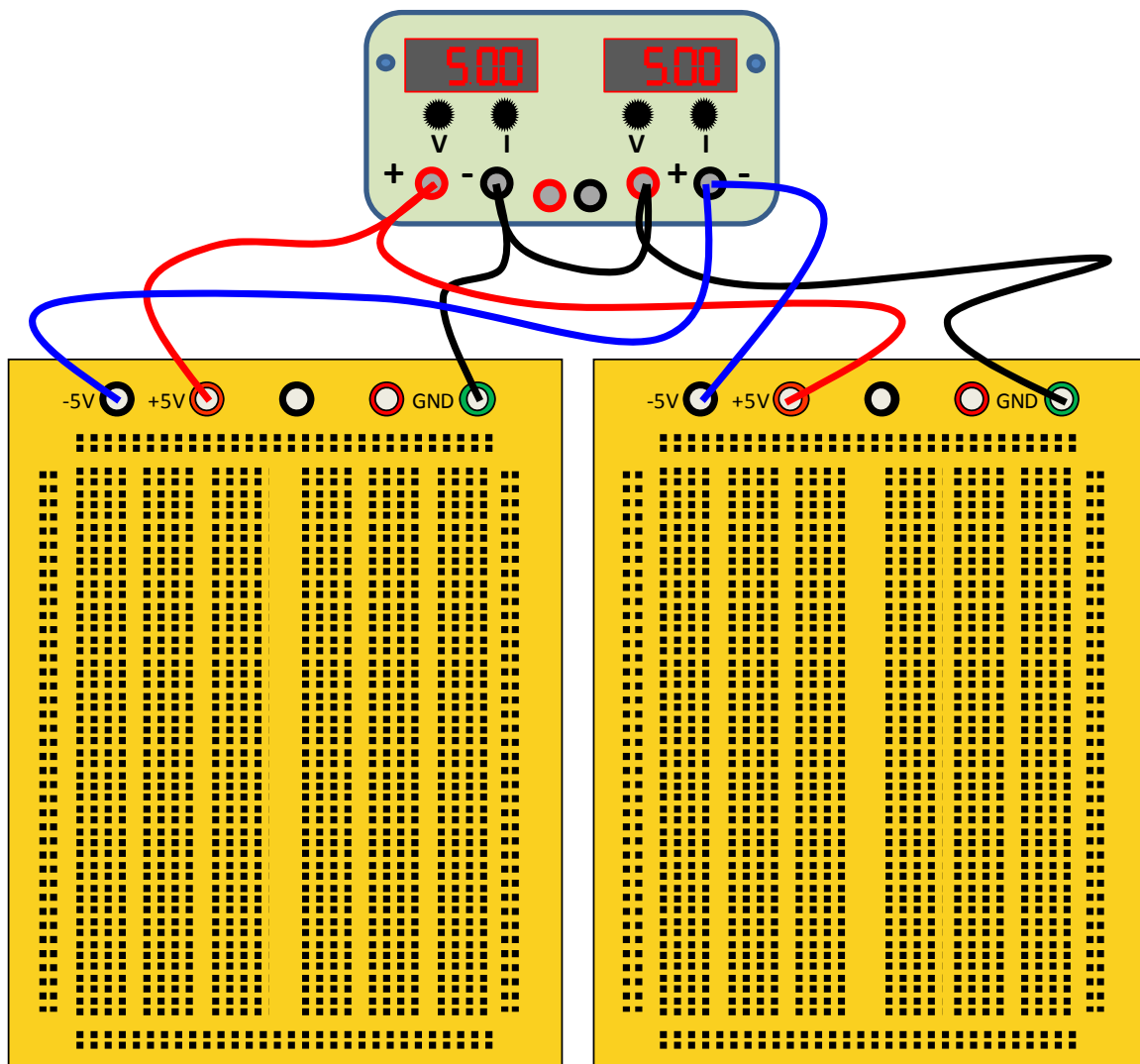


Figura 5 Esquema con las dos placas de inserción separadas y la conexión en estrella de las bornas de alimentación.

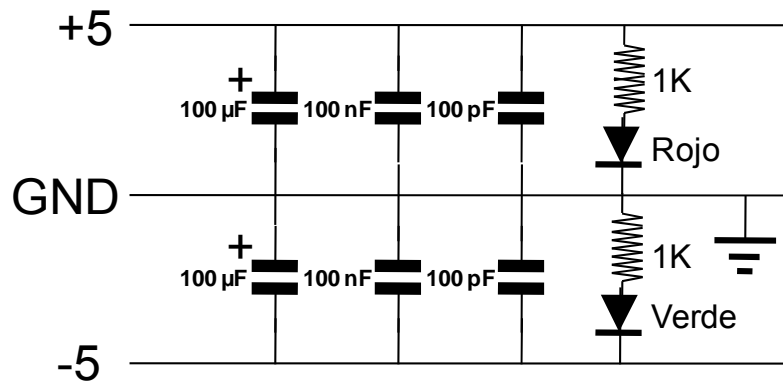


Figura 6 Condensadores de desacoplo y LEDs para la detección rápida de cortocircuitos.
Deben colocarse en cada una de las placas de inserción.

4. FUNCIONAMIENTO DETALLADO

4.1 EL EMISOR

Antes de comenzar a describir las partes que componen este sistema queremos insistir en una serie de cuestiones fundamentales para el correcto desarrollo de la práctica:

- El emisor deberá construirse en una placa separada de la del receptor. Como criterio general, el diseño debería caber en una placa de inserción grande.
- Este circuito recibirá alimentación mediante la fuente del laboratorio a +5 y -5 V en modo simétrico (ponga especial atención en el uso de condensadores de desacoplo como se describe en el apartado 3.3).
- Los amplificadores operacionales se alimentarán con tensión simétrica de -5 y +5V, mientras que los circuitos digitales CMOS se alimentarán entre masa (0) y 5V.
- En los siguientes apartados se va a detallar el diseño de los diferentes módulos que componen el emisor. Tenga en cuenta que en cada caso se resumen los criterios generales de diseño, pero para tener información detallada deberá consultar las referencias indicadas en las referencias al final de este documento.
- Siga siempre las recomendaciones de diseño y asegúrese que un módulo funciona correctamente antes de conectarlo al siguiente. Si piensa que puede realizar alguna simplificación, idea o esquema alternativo, por favor consulte con cualquiera de los profesores de la asignatura antes de abordar su idea. Es posible que proyectos que parecen muy simples se conviertan en una gran dificultad a la hora de llevarlos a la práctica.
- Por último, se recomienda apagar la alimentación antes de realizar cambios sobre el circuito. Muchas veces se producen cortocircuitos durante el movimiento de cables que dan lugar al deterioro de módulos que ya estaban funcionando correctamente.
- Siempre que vaya a utilizar un integrado, descargue y lea su hoja de características hasta que comprenda su funcionamiento correcto.

4.1.1 Generador de reloj de bit

Un generador de reloj es un oscilador de onda rectangular con flancos bien definidos. Para construirlo se empleará un circuito integrado temporizador del tipo **NE555** cuyas especificaciones y criterios de diseño se detallan en el anexo I de este enunciado. El NE555 debe ser configurado en modo multivibrador astable para que genere una señal rectangular de **1 KHz y ciclo de trabajo (DC) entre el 60% y el 70%**. La señal generada por éste, se pasará por un circuito inversor de tipo *Schmitt trigger* **74HC14** para que los flancos aparezcan claramente definidos y funcionen correctamente los circuitos secuenciales conectados a él. (ver Figura 7).

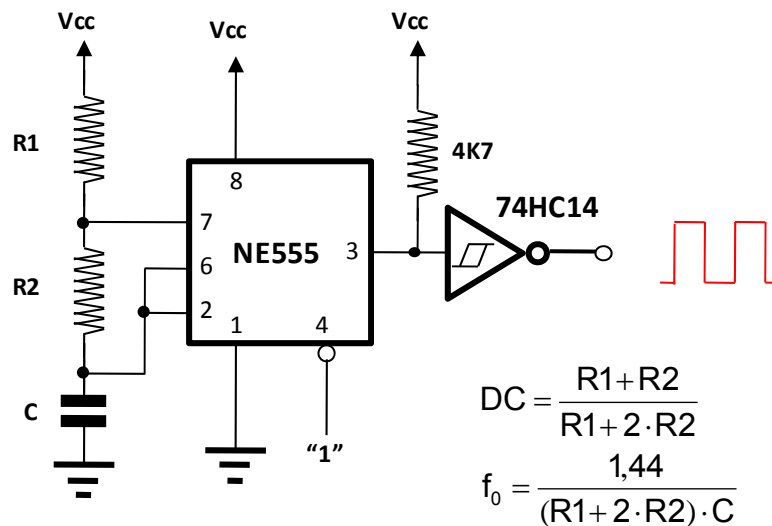


Figura 7 Generador de reloj

4.1.2 Registro de desplazamiento y generación de trama

El registro de desplazamiento se encarga de generar la secuencia digital a transmitir (Figura 8). En este caso utilizaremos un registro paralelo/serie con modo de carga y desplazamiento modelo **74HC165**. La red compuesta por el pulsador, las resistencias R1 y R2, el condensador C y el *Schmitt trigger* constituyen lo que se conoce como “circuito antirrebotes del pulsador”, el cual es fundamental para el correcto funcionamiento de este módulo. Los detalles del cálculo de estos componentes y de su utilidad se encuentran resumidos en la referencia [6].

Mientras el pulsador no está presionado, el valor lógico de la patilla SH/LD es “0”, lo que coloca al 74HC165 en modo carga. Se encuentra por tanto cargando constantemente los datos presentes en los microinterruptores con cada flanco activo de reloj.

Cuando el pulsador se presiona, el registro cambia al modo desplazamiento, en el cual va enviando los datos previamente cargados a través de la salida Q₇ sincronamente con la señal del reloj. Tenga en cuenta que el tiempo que el pulsador está presionado es siempre mucho mayor que el desplazamiento completo de una trama (7 bits = 7 ms) por tanto no pueden quedarse tramas incompletas.

En este caso deberá decidir también los valores lógicos V₁, V₂ y V₃ para que el módulo funcione correctamente. Lea las hojas de características del 74HC165.

La señal obtenida a la salida del circuito antirrebotes (CTRL) también se empleará como señal de control para la apertura del canal en el módulo correspondiente (ver apartado 4.1.4). Permitirá conmutar el canal del valor 0V (masa) en los intervalos de reposo a las correspondientes señales portadoras de la modulación FSK durante la transmisión.

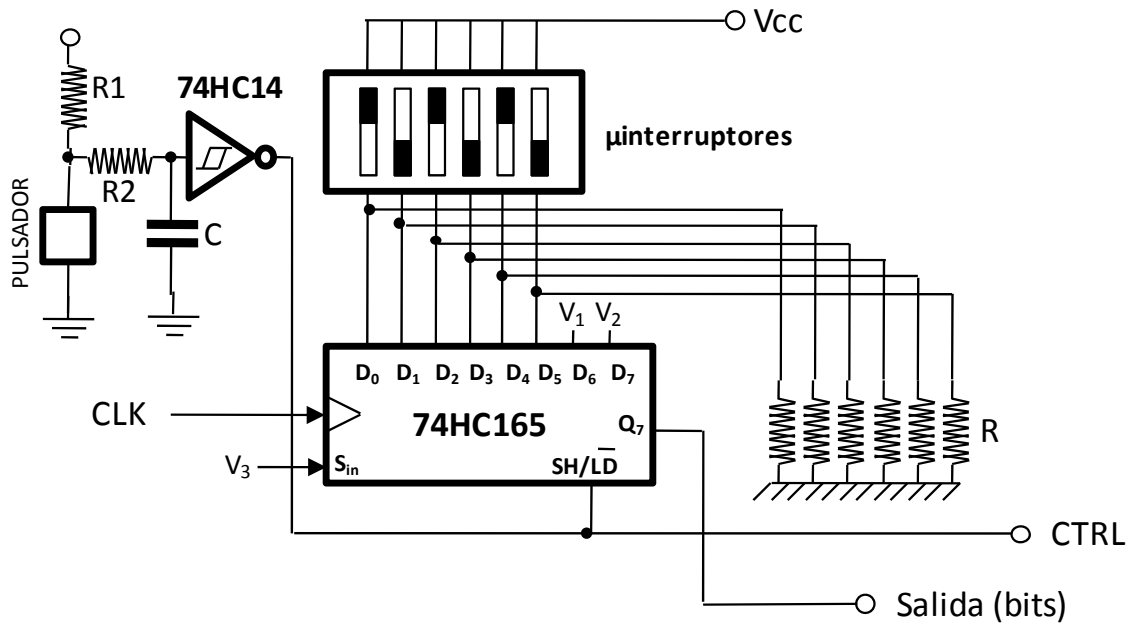


Figura 8 Generación de trama mediante registro de desplazamiento paralelo/serie

4.1.3 Osciladores de portadoras

En este caso utilizaremos una modulación FSK con dos portadoras: **10 KHz para el valor lógico “0” y 50 KHz para el valor lógico “1”**. Deberán generarse por tanto **dos señales senoidales diferentes, de igual amplitud** y con las frecuencias citadas.

Se emplearán dos módulos compuestos por un oscilador en puente de Wien con control de amplitud y un amplificador posterior (Figura 9). Dado que el nivel de señal proporcionado por el oscilador con control de amplitud es difícil de controlar, deberá emplear el amplificador posterior para que ambas portadoras tengan **un nivel de amplitud de 1Vpp**.

Las características y el diseño de este oscilador pueden consultarse en las referencias [3],[4],[5] y [6]. El amplificador posterior está compuesto por una etapa no inversora cuya ganancia se puede establecer a partir de los valores de las resistencias R_f y R_a .

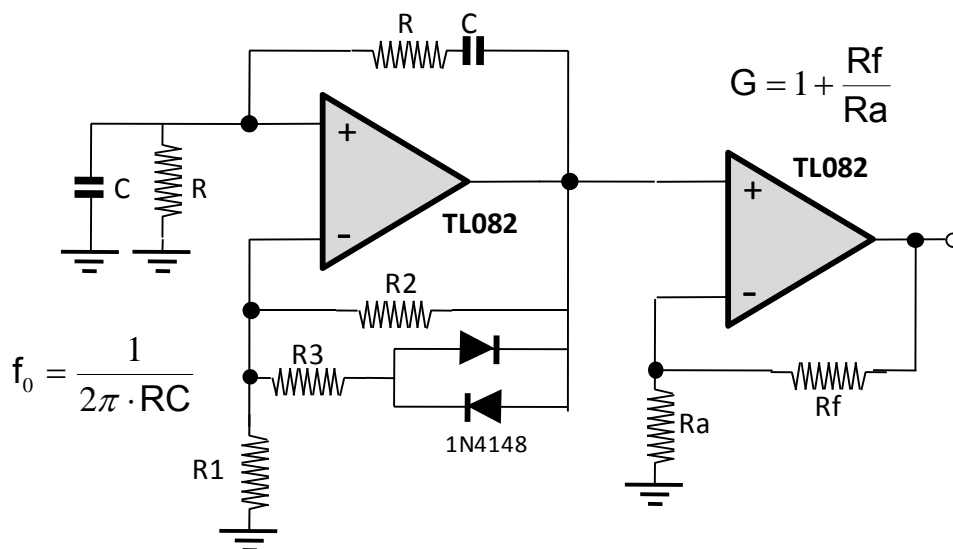


Figura 9 Generador de portadora compuesto por un oscilador en puente de Wien y un amplificador.

4.1.4 Multiplexor analógico (selección de portadora y apertura del canal)

Para este módulo emplearemos el integrado **74HC4052** que contiene dos multiplexores analógicos controlados por las mismas señales de control. Con este dispositivo debemos generar la señal de “canal vacío” (masa) y las portadoras correspondientes a cada bit en el caso que se esté transmitiendo una trama.

Repetimos que el canal solamente debe abrirse (transmitir portadoras) durante el tiempo correspondiente a la duración de la trama (7 bits), debiendo permanecer a masa durante el resto del tiempo. Por lo tanto, si el pulsador se mantiene apretado durante un intervalo largo, el canal deberá abrirse solamente durante 7 ms. Será necesario crear una ventana de tiempo, síncrona con la trama, que se encuentre a “1” durante la transmisión de la misma.

Una posible forma de crear esta ventana temporal, consiste en la utilización de un segundo registro de desplazamiento 74HC165 conectado de tal forma que genere una secuencia de “1” en sincronía con la trama.

La Figura 10 muestra el esquema simplificado de cómo deben conectarse estos dispositivos. Cuando la señal de apertura del canal es “0”, el canal debe ponerse a masa (las entradas 1Y0 y 1Y1 se encuentran conectadas con la salida 1Z independientemente del valor de los bits de trama). Cuando se está transmitiendo una nueva trama, la señal de apertura del canal es “1” durante el intervalo

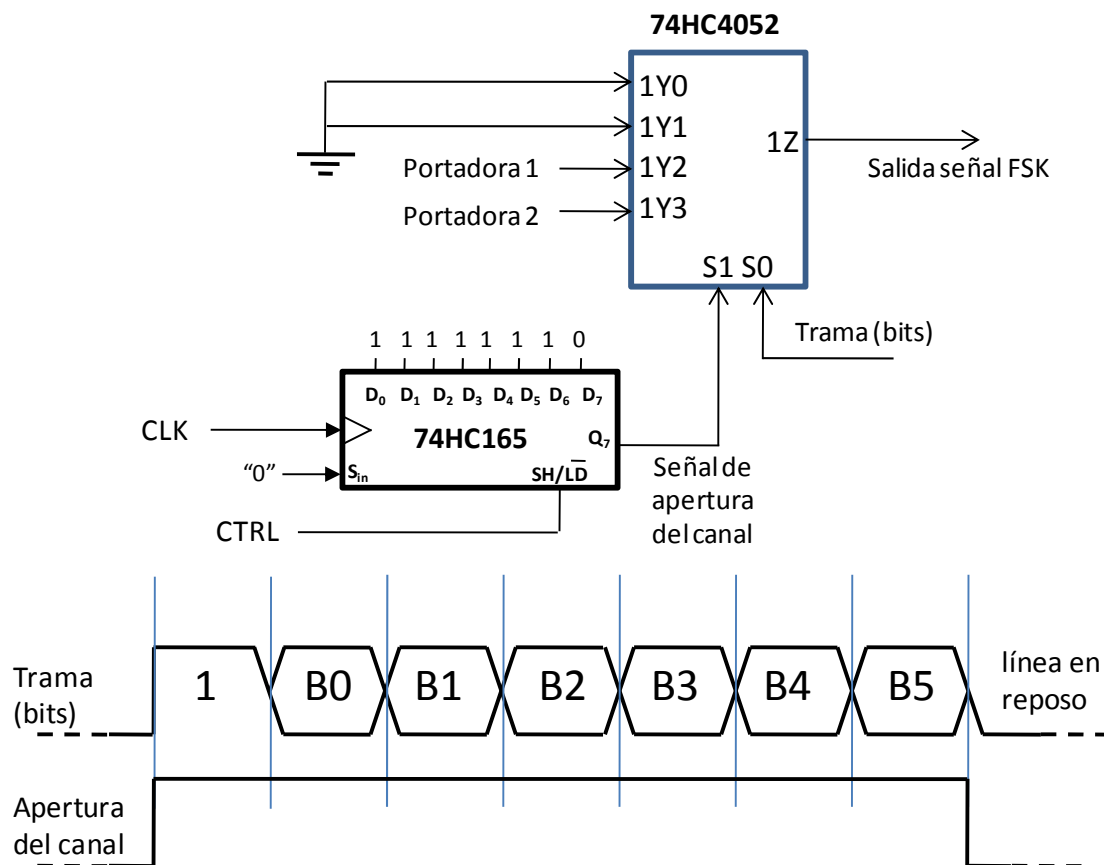


Figura 10 Esquema del modulador FSK mediante un multiplexor analógico y un registro de desplazamiento

NOTA: Tenga en cuenta que todos estos diagramas son esquemas simplificados. Los integrados contienen otras patillas de control no dibujadas (señales de ENABLE, alimentación, etc.) que deberá colocar a sus valores adecuados de tensión para que el prototipo funcione correctamente.

4.1.5 Adaptación al canal

Este bloque tiene como misión limitar en frecuencia la señal transmitida al canal disponible. Idealmente, todas las componentes con frecuencias superiores a la portadora más alta deberían ser eliminadas antes de enviar la señal a la línea. De manera similar, muchos canales de comunicación analógicos no transmiten niveles de continua o componentes de baja frecuencia, por lo que las frecuencias por debajo de la portadora más baja también deberían ser suprimidas.

Como consecuencia, es necesario incluir un filtro limitador de ancho de banda de características adecuadas. En nuestro caso vamos a emplear un **filtro paso banda** de realimentación múltiple (lea las referencias [4] o [5] para una descripción detallada). Este filtro se realiza mediante un amplificador operacional según el esquema que se muestra en la Figura 11.

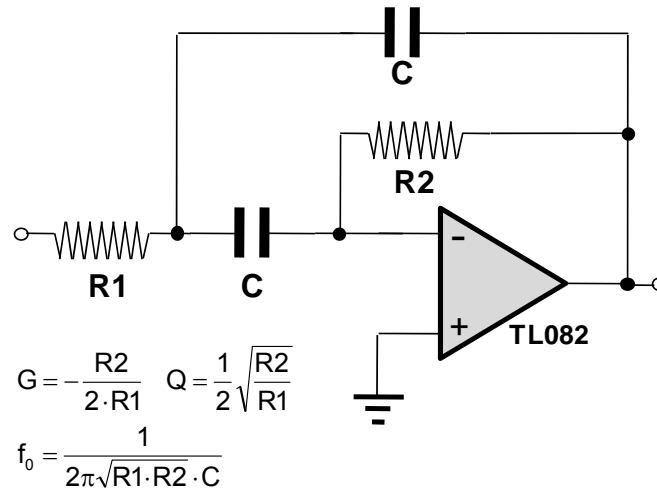


Figura 11 Filtro paso banda de realimentación múltiple de adaptación al canal.

Deberá diseñarse para que la frecuencia central f_0 sea igual a 30 KHz (punto medio entre las portadoras). G es el valor de ganancia en el centro de la banda de paso. El valor de Q indica la selectividad del filtro, de tal modo que el ancho de banda a 3 dB (B) cumple la expresión: $B=f_0/Q$.

Diseñe el filtro para que ambas portadoras se encuentren exactamente en el punto de atenuación 3dB. De esta manera el ancho de banda del filtro (B) coincide con la separación en frecuencia entre ellas.

Tenga en cuenta que los valores de G y de Q están relacionados entre sí, como puede verse en las expresiones. De esta manera, como consecuencia del filtrado, las portadoras verán reducida ligeramente su amplitud.

Este filtro deberá ser convenientemente caracterizado en la memoria tal y como se describe en el apartado 4.3.2

4.1.6 Canal de comunicación

El canal de comunicación que vamos a emplear se trata de un simple cable que debe cruzar desde la placa correspondiente al emisor, a la placa correspondiente al receptor. **Este es el único cable que se permite que cruce entre ambas placas.**

No utilice un cable muy largo, ya que, al no estar apantallado, puede captar mucho ruido de los puestos cercanos o del ambiente. Una longitud de 10 cm. es adecuada.

4.2 LA MODULACIÓN FSK

En este apartado se pretenden resumir los conceptos básicos de Teoría de la Señal que permitan al alumno entender el proceso de demodulación en el receptor.

La trama que se transmite está compuesta por una serie de valores lógicos “0” y “1” representados por valores de tensión 0 y 5V respectivamente. Tomando como ejemplo la trama 1010101, podemos ver en la Figura 12 que su espectro en frecuencia es claramente paso bajo (está compuesto por componentes de baja frecuencia y un nivel de continua).

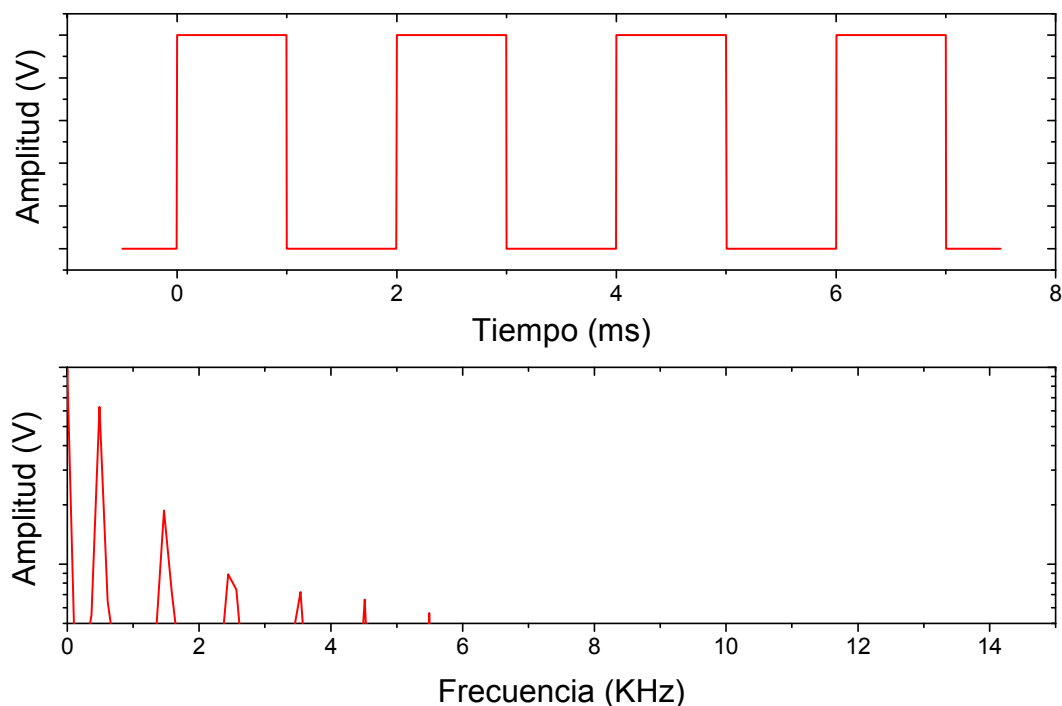


Figura 12 Señal de bits que compone la trama y espectro en frecuencia correspondiente.

Cuando dicha señal se modula en FSK, el espectro inicial se desplaza hacia las frecuencias de las portadoras como consecuencia de la modulación (véase la Figura 13). La componente continua, así como las componentes de baja frecuencia desaparecen. Esta es la señal que se transmite por el canal y que pasa desde el emisor hasta el receptor.

A continuación iremos detallando los pasos necesarios para recuperar la señal original a partir de la modulada, indicando en cada caso el aspecto de las señales en el tiempo y el de su espectro en frecuencias.

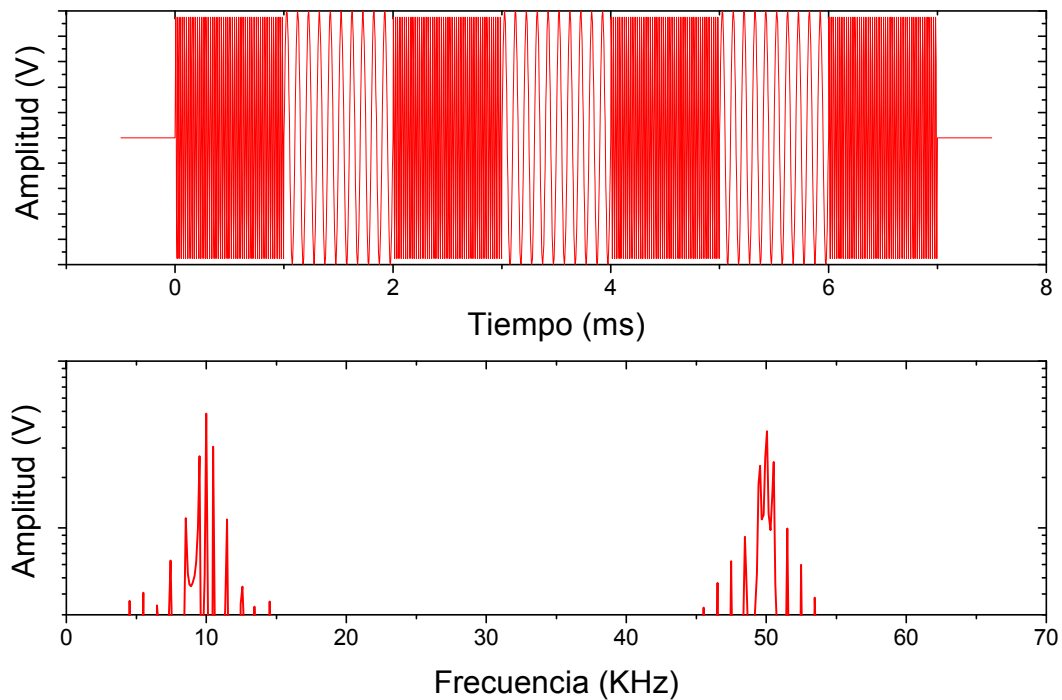


Figura 13 Señal correspondiente a la secuencia 1010101 modulada en FSK con dos portadoras de 10 y 50 KHz para el 0 y el 1 respectivamente. Se muestra también el espectro en frecuencia de esta señal.

El primer paso para la recuperación de la señal de bits consiste en separar cada una de las portadoras mediante filtrado. Para el caso de los “0”, con un filtro paso bajo de segundo orden y frecuencia de corte igual a 10 KHz, se producirá una atenuación de aproximadamente 32 dB en la otra portadora, tal como se puede ver en la Figura 14.

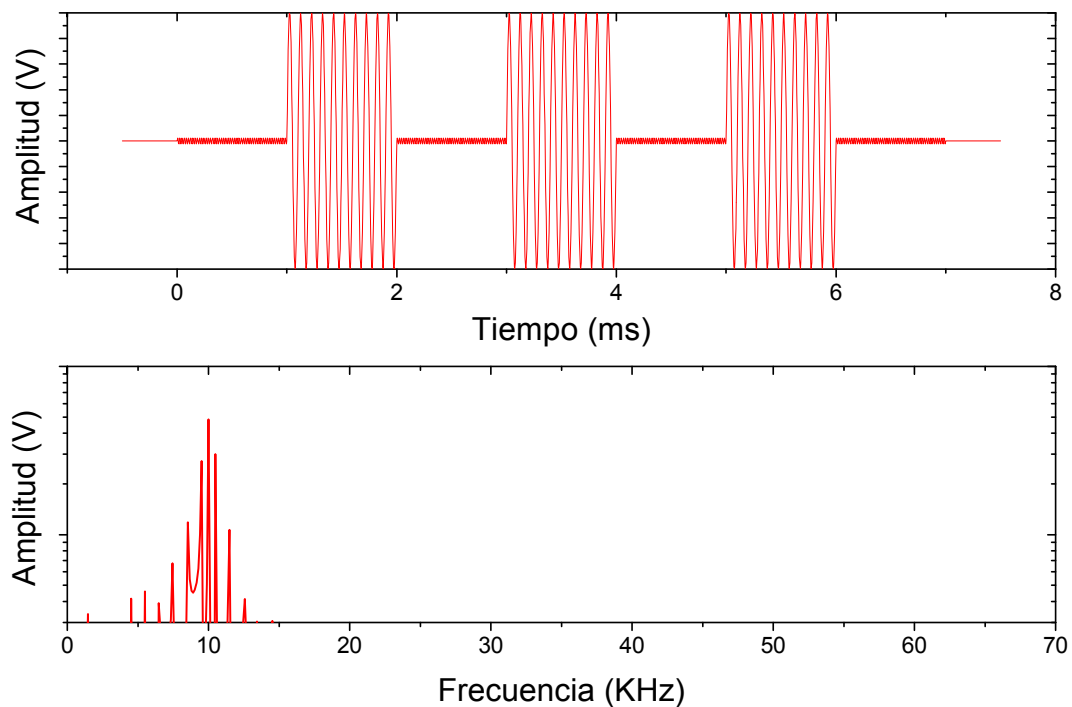


Figura 14 Señal FSK filtrada paso bajo con frecuencia de corte de 10 KHz. Se observa la atenuación sufrida por la portadora de 50 KHz. El espectro en frecuencia presenta componentes principalmente a 10 KHz.

La portadora correspondiente a 50 KHz se obtiene de igual modo, filtrando paso alto con un filtro de orden 2 y frecuencia de corte de 50 KHz. No se indican los detalles de las formas de onda por resultar similares.

En este momento tenemos dos señales diferentes que aparecen a la salida de cada uno de los filtros. Ambas poseen una componente principal en la frecuencia de la portadora, pero todavía es necesario recuperar la señal de bits.

El siguiente paso consiste en rectificar cada una de las señales obtenidas a la salida de los filtros mediante un rectificador de media onda. Tras este proceso, el espectro en frecuencia vuelve a presentar componentes en banda de base correspondientes a los bits además de armónicos correspondientes al doble de la frecuencia de modulación. En la Figura 15 se muestra la señal del filtro paso bajo, correspondiente a la señal de "0", tras su rectificación.

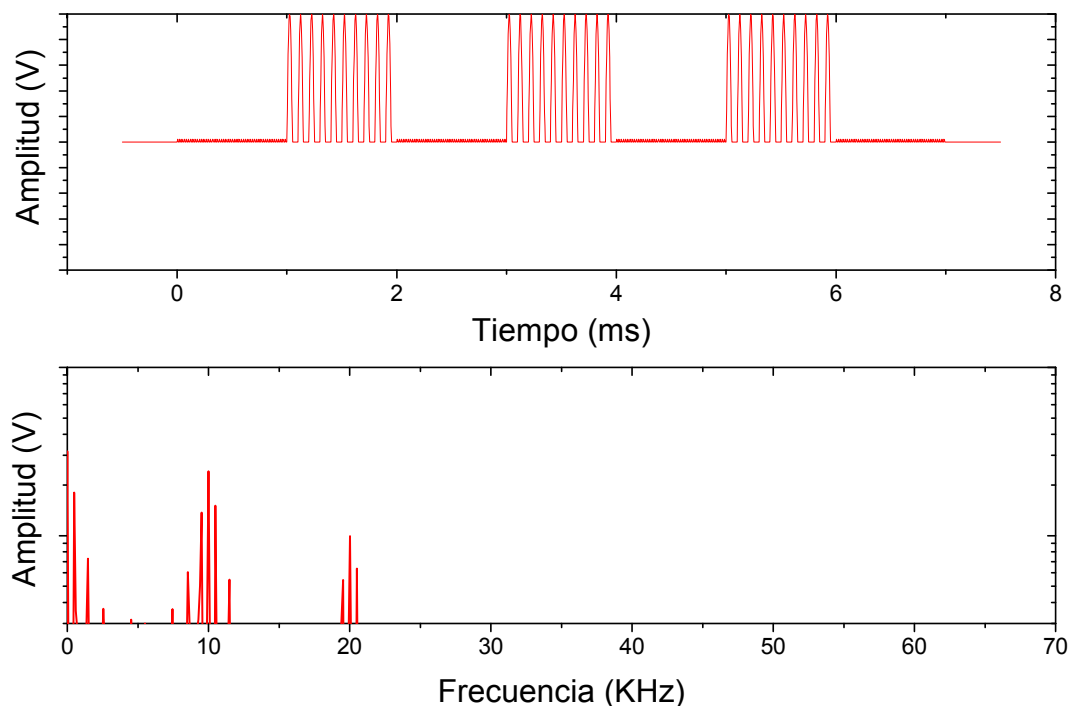


Figura 15 Señal obtenida tras la rectificación de media onda de la señal obtenida tras el filtro paso bajo. También se muestra el espectro en frecuencia correspondiente.

Para recuperar dichos bits es necesario atenuar todas las componentes de alta frecuencia, quedándose exclusivamente con la parte paso bajo del espectro. Esto se realiza mediante un filtro paso bajo de primer orden que atenúe las componentes por encima del ancho de banda original de la señal banda base. No obstante, no será posible eliminar completamente todas las componentes de frecuencia superior a la de corte, por lo que la señal recuperada tendrá flancos exponenciales y un rizado adicional.

Es importante destacar que la elección de la frecuencia de corte de este filtro es un aspecto clave en el diseño del receptor. El compromiso que se establece es que la respuesta exponencial del filtro alcance un valor tan alto como sea posible dentro del intervalo de bit, pero reduciendo al mínimo el rizado residual.

En la Figura 16, se muestra la señal filtrada correspondiente a los "0".

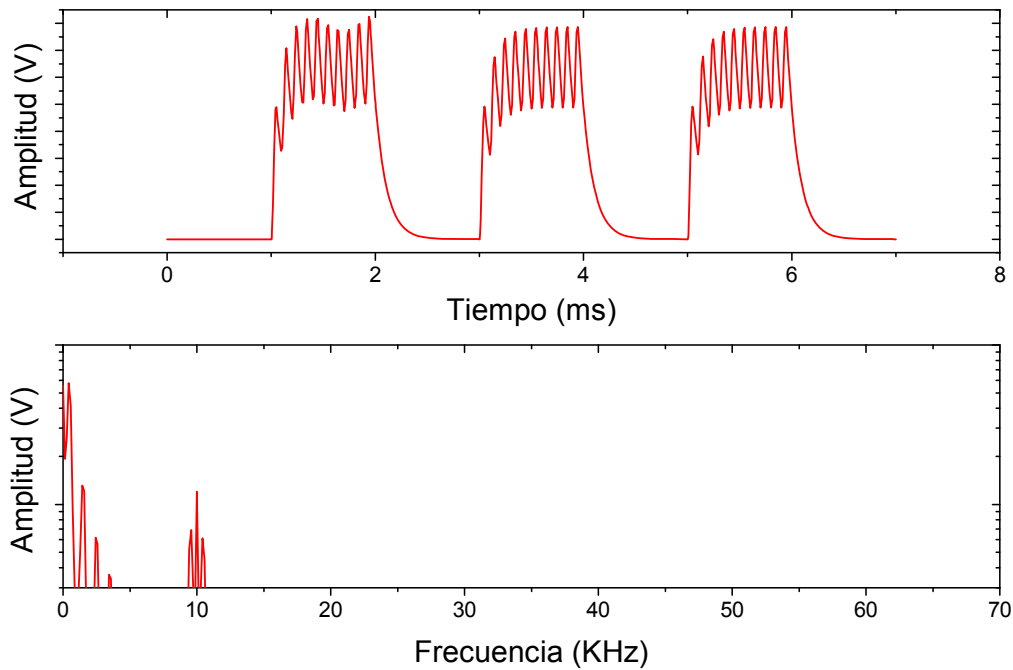


Figura 16 Señal de "0" recuperada tras filtrado paso bajo de la onda rectificada. Se muestra también su espectro en frecuencia.

Por tanto, tras realizar el mismo procedimiento de demodulación con la señal procedente del filtro paso alto, se obtienen dos señales complementarias: una correspondiente a los "1" y otra correspondiente a los "0". La Figura 17 podría ser un ejemplo de las formas de onda obtenidas al final de ambas cadenas.

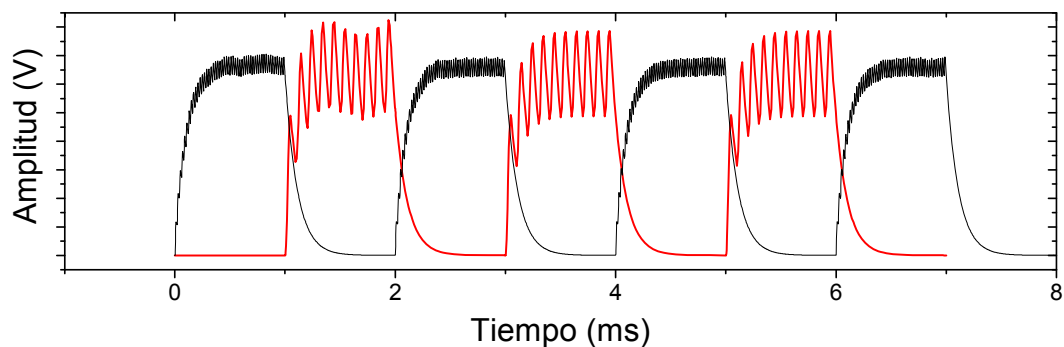


Figura 17 Formas de onda obtenidas a la salida de la cadena de demodulación para los "0" (señal dibujada en rojo) y los "1" (señal dibujada en negro).

Generalmente, las señales obtenidas a la salida del demodulador no tienen amplitud suficiente para ser utilizadas en un circuito digital. Además, los flancos exponenciales no son apropiados para la aplicación que se propone en esta práctica. Es necesario convertir estos bits en una señal digital cuadrada.

Por último, a partir de estas dos señales debe obtenerse una única señal que se corresponda con la secuencia original transmitida. Estas últimas etapas serán descritas a continuación en el apartado 4.3.

4.3 EL RECEPTOR

Al igual que en el caso del emisor, antes de comenzar a describir las partes que componen este sistema queremos insistir en una serie de cuestiones fundamentales para el correcto desarrollo de la práctica:

- El receptor deberá construirse en una placa separada de la del emisor. Como criterio general, el diseño debería caber en una placa de inserción grande.
- Este circuito recibirá alimentación mediante la fuente del laboratorio a +5 y -5 V en modo simétrico (ponga especial atención en el uso de condensadores de desacoplo como se describe en el apartado 3.3).
- Los amplificadores operacionales se alimentarán con tensión simétrica de -5 y +5V, mientras que los circuitos digitales CMOS se alimentarán entre masa (0) y 5V.
- En los siguientes apartados se va a detallar el diseño de los diferentes módulos que componen el receptor. Tenga en cuenta que en cada caso se resumen los criterios generales de diseño, pero para tener información detallada deberá consultar las referencias indicadas al final de este documento.

4.3.1 Esquema general del demodulador FSK

Ahora que conocemos los detalles de la demodulación, podemos realizar un esquema de bloques más detallado de los componentes de dicho circuito.

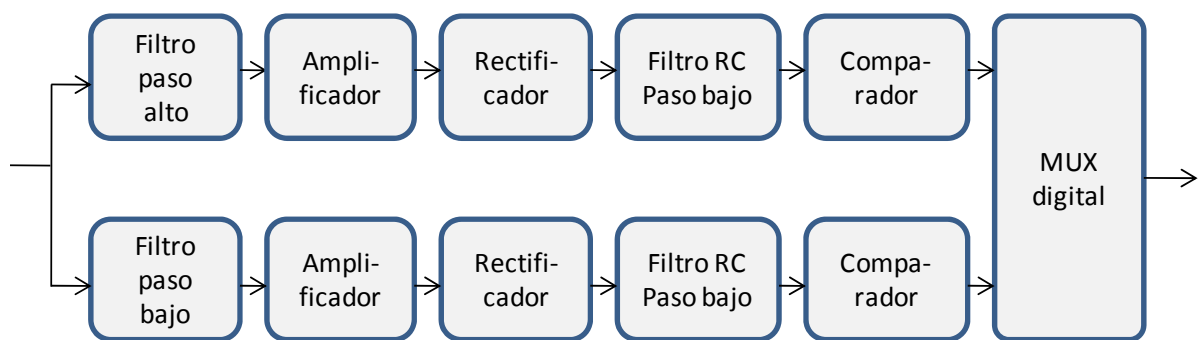


Figura 18 Esquema general del demodulador FSK correspondiente al receptor.

En la Figura 18 se puede ver este diagrama de bloques, que comprende las etapas descritas en el apartado 4.2 junto con alguna etapa adicional. A continuación pasaremos a describir en detalle cada una de ellas. Tenga en cuenta que deberá realizar dos cadenas paralelas con módulos independientes para los “1” y los “0”.

4.3.2 Filtro paso bajo / paso alto

Los filtros iniciales a la entrada del receptor deberán ser de orden 2 (2 polos) para poder discriminar adecuadamente las frecuencias correspondientes. Para ello se construirán según un esquema de filtro **Sallen-Key** (ver referencia 5) cuya ganancia, factor de calidad y frecuencia de corte pueden ser diseñadas en función de los componentes del mismo.

El esquema de estos filtros se presenta en la Figura 19. Para su correcto diseño deberá tener en cuenta que la frecuencia de corte (frecuencia donde la ganancia del filtro cae 3 dB) coincide con el valor f_0 solamente en el caso en que $Q = 1/\sqrt{2}$. La secuencia de diseño deberá ser entonces la siguiente:

1. Calcule la ganancia que hace que el filtro tenga una $Q = 1/\sqrt{2}$
2. A continuación elija unos valores para R1 y R2 que permitan conseguir dicha ganancia.
3. Por último, escoja valores para R y C que sitúen la f_0 en el valor de frecuencia de corte que necesite.

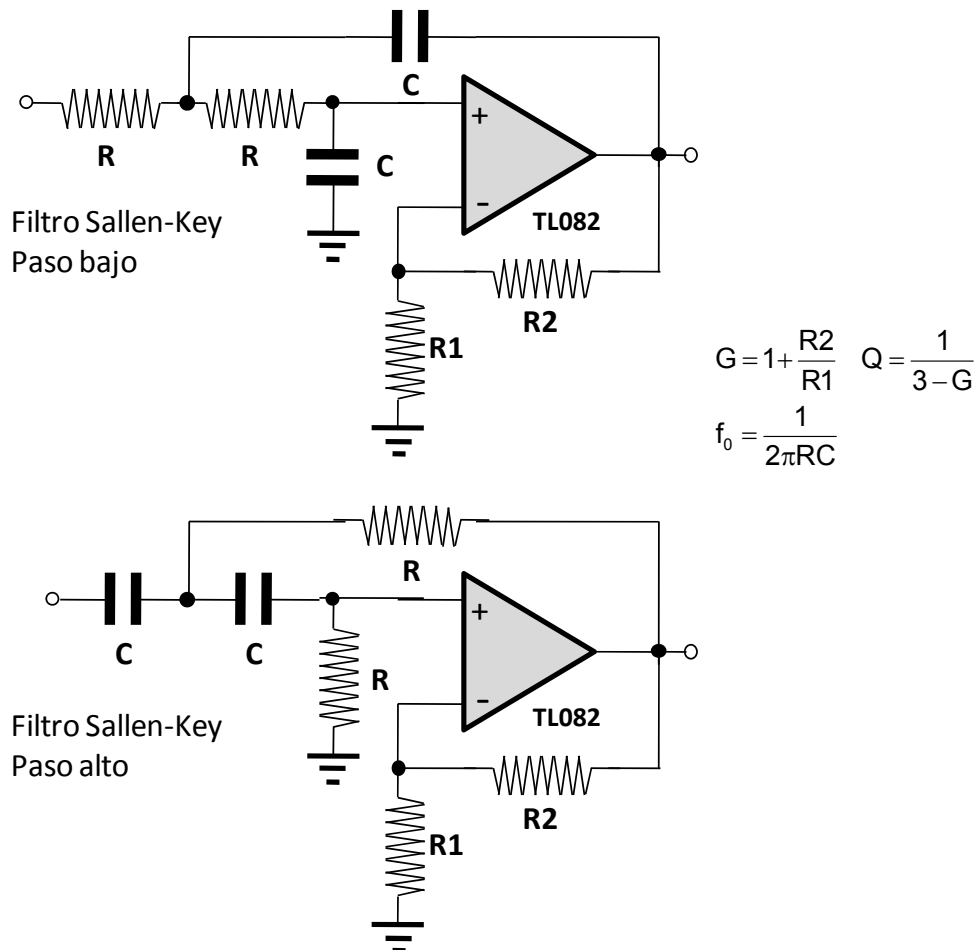


Figura 19 Filtros de dos polos de Sallen-Key, paso bajo y paso alto.

NOTA: Deberá llevarse a cabo la caracterización detallada de ambos filtros Sallen-Key, la cual deberá figurar en la memoria final.

4.3.3 Amplificador y rectificador

Para rectificar la señal obtenida tras los filtros emplearemos un diodo **1N4148**. Sin embargo, para que la rectificación se produzca de forma adecuada es necesario que la señal tenga un nivel de amplitud superior a la tensión de conducción del diodo (aproximadamente 0,6 V). Para elevar el nivel de señal utilizaremos un amplificador no inversor construido con un operacional TL082 y a continuación colocaremos la etapa rectificadora. Diseñe el amplificador para que en su salida (sin el diodo), se obtengan 6Vpp de intensidad.

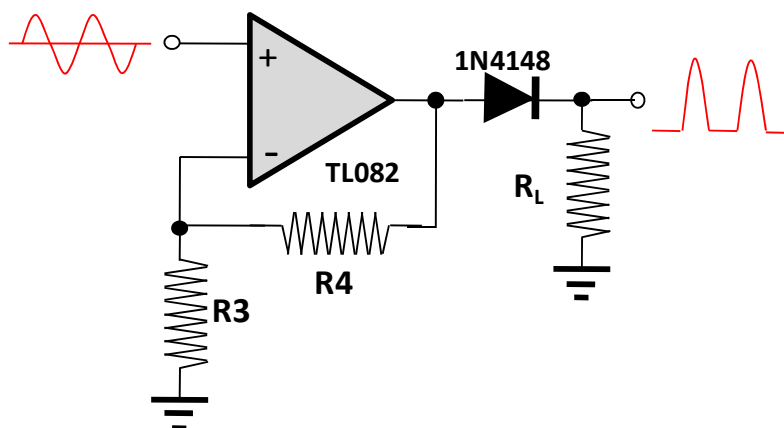


Figura 20 Amplificador y rectificador de media onda

El rectificador que se muestra en la Figura 20 posee una resistencia de carga a su salida indicada como R_L . Dicha resistencia cierra el bucle de corriente del diodo y es fundamental para el funcionamiento del circuito. Para medir la salida del rectificador deberá colocar dicha resistencia de carga (un valor de 1 K Ω es suficiente).

4.3.4 Filtro RC paso bajo

El filtro paso bajo se construirá según un esquema RC de un solo polo. La frecuencia de corte deberá elegirse adecuadamente para extraer la banda base, atenuando lo más posible las componentes debidas a la portadora. La Figura 21 muestra el diagrama eléctrico, así como la ecuación de diseño para este filtro. Cuando monte este filtro, no elimine la resistencia R_L . Seleccione además un valor para R por lo menos 10 veces superior a R_L para que esta última no afecte demasiado a la frecuencia de corte calculada para el filtro.

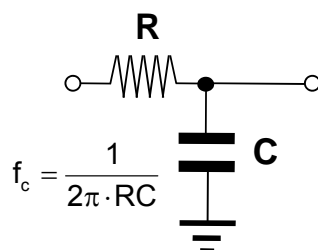


Figura 21 Filtro paso bajo RC de un polo.

Recuerde que la frecuencia de corte de este filtro deberá ser diseñada adecuadamente. Valores muy altos de dicha frecuencia harán que el rizado sea muy grande, mientras que valores muy bajos harán que las caídas exponenciales sean tan largas en el tiempo que no pueda distinguirse un bit de otro.

4.3.5 Comparador

El comparador nos permite obtener una señal digital a partir de la señal obtenida tras el filtro paso bajo. Es la etapa que separa físicamente la parte analógica de la digital.

Generalmente la señal que se obtiene tras el filtro no tiene amplitud suficiente para ser utilizada en un circuito digital. Además, los flancos exponenciales no son apropiados para la aplicación que se propone en esta práctica. Es necesario convertir estos bits en una señal digital cuadrada.

Para ello vamos a utilizar un comparador del tipo **LM311** (vea Figura 22). Este circuito actúa como un operacional en bucle abierto, es decir, cuando la tensión en V^+ supera a la tensión en V^- entrega $+V_{cc}$ a la salida. Cuando sucede lo contrario entrega 0V. **Es imprescindible colocar una resistencia de pull up de 1K entre V_{cc} y la salida del LM311 para que funcione correctamente.**

Se seleccionará una tensión umbral como la que se ve dibujada en el centro de la gráfica de la figura. El comparador convertirá entonces la señal con flancos exponenciales en una señal digital similar a la original transmitida por el emisor (cuadrada en la figura). La tensión umbral **debe obtenerla con un potenciómetro de 50K** conectado entre V_{cc} y masa.

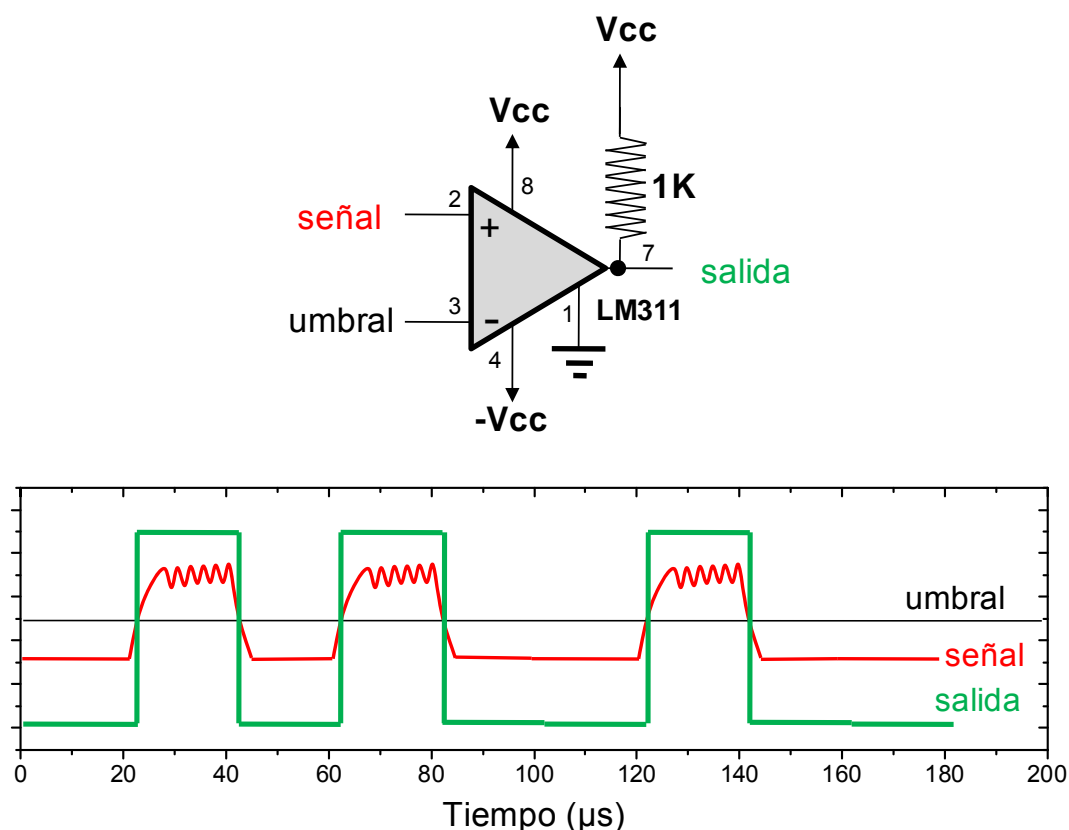


Figura 22 Circuito comparador LM311 y esquema del proceso de comparación.

4.3.6 Multiplexor digital

Finalmente, necesitamos obtener una sola señal de bits a partir de las dos señales independientes de "0" y "1". Podría pensarse que la señal de "1" es suficiente para obtener una reproducción de la secuencia original, sin embargo, si tenemos en cuenta que en el canal pueden aparecer ruidos o señales aleatorias inesperadas, sería posible que en algún caso se recibiesen datos erróneos. Se obtiene una mejor selectividad si se consideran ambas señales ("0" y "1") para reproducir la secuencia original. Esta es la ventaja de la modulación FSK frente a otros sistemas de modulación.

Por tanto, solamente se considerará que se ha recibido un "0" cuando la señal de "0" está activa y la señal de "1" inactiva, y viceversa. Esto se puede conseguir utilizando un multiplexor digital del tipo **74HC153** donde se conectan las señales "0" y "1" a sus entradas de control. Ver la Figura 23 para los detalles.

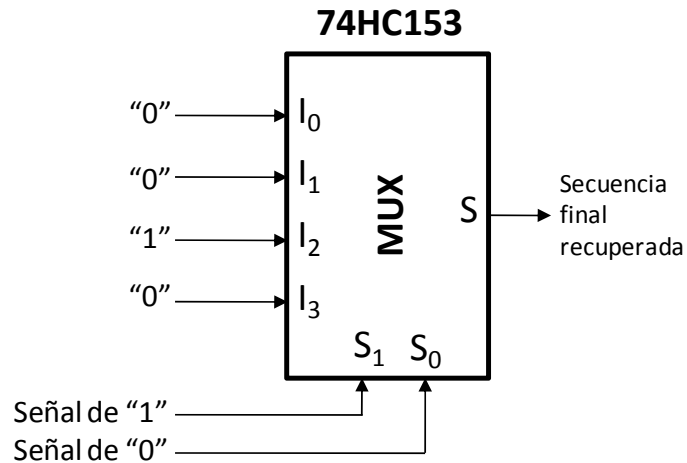


Figura 23 Multiplexor digital que recupera la secuencia final a partir de las dos señales demoduladas.

NOTA: Se recuerda que los circuitos digitales pueden tener otras patillas de control y alimentación que deben ser correctamente conectadas. Lea las hojas de características del dispositivo.

4.3.7 Circuito de sincronismo, captura de la secuencia y visualización

A la salida del multiplexor digital tenemos una secuencia de bits que se corresponde con la secuencia original. No obstante, la longitud de dichos bits puede estar afectada por las constantes de tiempo introducidas por los filtros. Además, pueden existir “glitches” (rebotes rápidos entre 0 y 1) al principio o al final de los bits si no se ajustan exactamente los dos comparadores de cada rama (ver Figura 24).

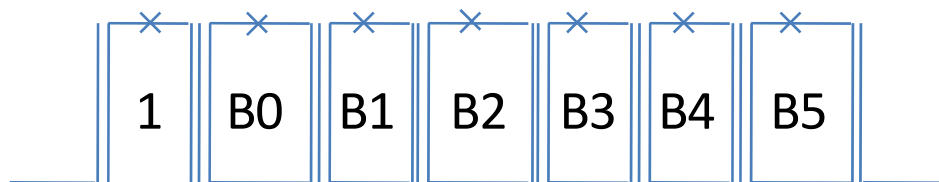


Figura 24 Señal recuperada. Se observan posibles rebotes al principio de cada bit, así como diferente longitud en los “0” y “1” debidas a los retardos introducidos por los filtros. La zona estable se marca con “X”

Por lo tanto, para capturar correctamente los bits en el registro de desplazamiento debemos asegurarnos que lo hacemos en el momento en el que son estables. En este caso, la zona más estable es el centro de cada bit. El objeto del circuito de sincronismo consiste en recuperar la secuencia original creando un reloj que tenga 8 flancos activos (se desplazará la secuencia hasta que el bit de inicio alcance la posición Q_7 , por eso son necesarios 8 flancos) y que capture los bits en el centro aproximado de los mismos.

Para ello utilizaremos un **autómata de MOORE** que proporcione la temporización adecuada entre los distintos elementos (vea Figura 25):

- Generador de reloj, que deberá generar 8 flancos activos
- Registro de desplazamiento, que deberá capturar la señal
- Sistema de visualización que deberá capturar la secuencia una vez completa mediante un LATCH y mostrarla de forma estable en dos displays de 7 segmentos.

Dicho autómata estará controlado mediante **un reloj independiente** que funcionará a una frecuencia de **10 KHz**. Su esquema será similar al mostrado en la Figura 7.

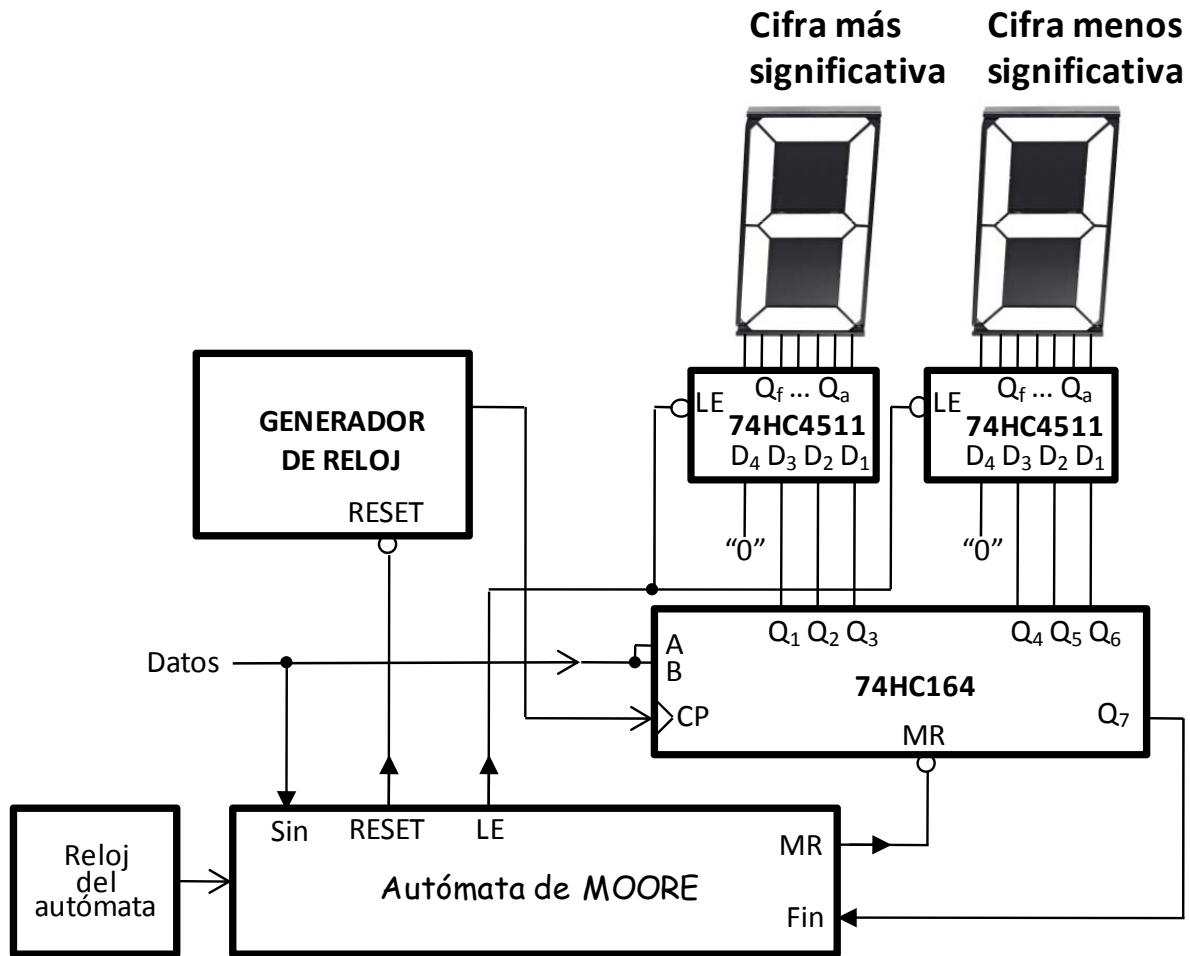


Figura 25 Autómata de MOORE utilizado para controlar la sincronización en la captura de los bits

NOTA: Tenga en cuenta que es posible que necesite leer varias veces este apartado hasta que comprenda el funcionamiento general del esquema de captura de bits del receptor. En particular preste atención a las hojas de características de los distintos componentes y recuerde que es necesario conectar algunas patillas adicionales que no se muestran en el esquema simplificado anterior.

El sistema de captura de bits se centra en el uso de un registro de desplazamiento serie/paralelo **74HC164** complementario del utilizado en el emisor. Para realizar la captura se utilizará un generador de reloj que produzca 8 flancos activos en el centro aproximado de los bits. Para ello dicho generador introducirá un **retardo inicial aprovechando el transitorio de arranque del integrado NE555**. Lea el apartado 4.3.9. y el apéndice I para mayor detalle. Ajuste el transitorio para conseguir capturar los bits aproximadamente en el centro.

Cuando el bit de inicio de la secuencia alcance la posición Q_7 , la secuencia completa se encontrará almacenada en el registro. En este momento el autómata detendrá el generador de reloj y producirá un pulso en la entrada LE de los integrados **74HC4511**. Dichos integrados son decodificadores de BCD a 7 segmentos con un latch interno. Al cargar la información correspondiente a las cifras octales, aparecerán éstas representadas en los displays. **Es necesario colocar unas resistencias entre el 74HC4511 y los displays para limitar la corriente. Lea las especificaciones.**

Por tanto, las entradas al autómata serán: la señal de bits del demodulador (Sin), y la señal de la patilla Q_7 (señal de fin de secuencia, Fin). Las salidas del autómata serán: RESET (que activa y desactiva el reloj de captura), LE (que activa la captura de la secuencia en el latch interno del 4511) y MR (que permite poner a 0 el registro de desplazamiento antes de la recepción de una trama).

El diagrama de estados que deberá seguir el autómata diseñado, junto con el cronograma de funcionamiento se muestran a continuación en la Figura 26.

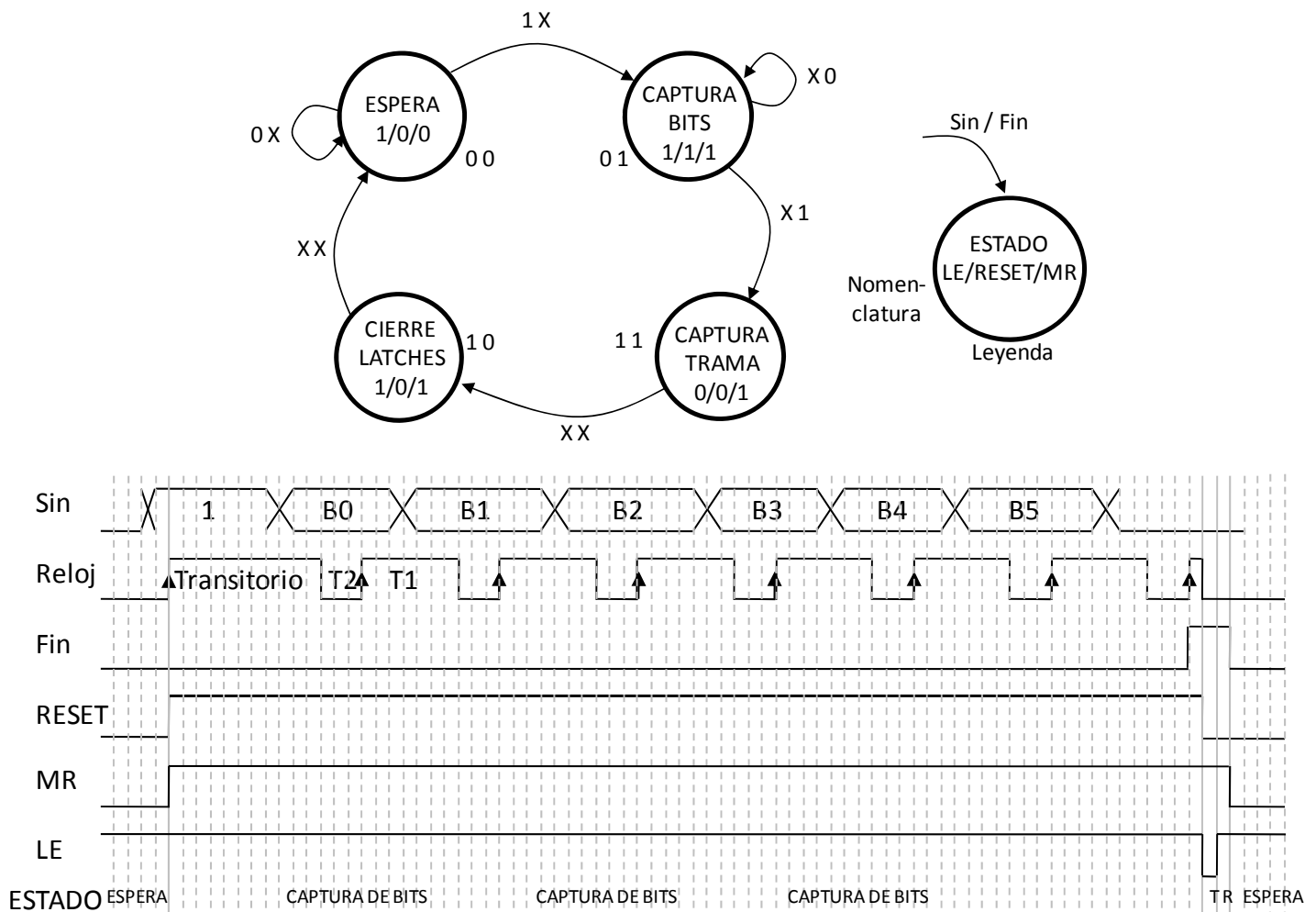


Figura 26 Diagrama de estados del autómata de sincronización junto con el cronograma correspondiente a las señales de entrada y salida del mismo. Las líneas verticales se corresponden con el reloj del autómata.

El autómata posee 4 estados:

ESPERA: es un estado donde el generador de reloj está desactivado, el registro de desplazamiento está puesto a 0 y los latches de los decodificadores están cerrados. Mientras la señal de entrada (Sin) sea "0" se mantiene en este estado.

CAPTURA BITS: Se conmuta a este estado cuando la señal de entrada presenta un "1" (inicio de nueva trama). Durante este ciclo, el reloj está activado, produciendo flancos que desplazan los bits en el registro. Además, la señal de puesta a 0 del registro está desactivada y los latches siguen cerrados. Se mantiene en este estado mientras la señal Fin sea "0".

CAPTURA TRAMA: (T en la figura). Se entra en este estado cuando el bit de inicio ha llegado al lugar Q7 (señal Fin). En este momento la trama completa se encuentra en el registro. Por tanto se interrumpe el generador de reloj y se abren los latches para capturar la trama.

CIERRE LATCHES: (R en la figura). Un ciclo de reloj de autómata más tarde, se cierran nuevamente los latches, manteniendo el registro de desplazamiento con la trama cargada. Así se evita cerrar los latches al mismo tiempo que se pone a 0 el registro, lo cual daría lugar a situaciones indefinidas.

Por último se vuelve al estado de **ESPERA** incondicionalmente.

4.3.8 Montaje del autómata

Para simplificar el montaje del autómata se recomienda utilizar la nomenclatura de estados que aparece en la Figura 26. De esta manera dicho autómata puede construirse utilizando solamente tres integrados:

- Un integrado que contiene 2 flip-flop tipo D (**74HC74**).
- Un integrado que contiene 4 puertas OR (**74HC32**)
- Un integrado que contiene 4 puertas AND (**74HC08**)

Los flip-flop tipo D tienen salidas Q y Q', por lo que pueden utilizarse las salidas negadas directamente sin necesidad de emplear inversores. También poseen entradas de Preset y Clear para dar un valor inicial al integrado. Configure dichas entradas para que al conectar la alimentación del sistema se comience en el estado de ESPERA. Esto debe hacerse mediante circuitos de inicialización (ver referencia [6]).

Simplifique mediante diagramas de Karnaugh las funciones lógicas para las diferentes variables y construya el autómata de acuerdo a las expresiones obtenidas. Sea ordenado y vaya realizando el cableado apuntando claramente en el cuaderno las expresiones lógicas obtenidas en cada salida de los integrados.

Se recuerda nuevamente que todos los integrados empleados deben ser correctamente alimentados entre Vcc y masa.

Para depurar su funcionamiento, hágalo de forma individual (desconectado de las entradas y salidas reales), colocando los valores Sin y Fin a valores lógicos conocidos y dejando conectado el reloj del autómata. Por ejemplo, se detalla a continuación un posible esquema de depuración:

- Estando el autómata en el estado 00 (ESPERA), conecte la señal de entrada Sin a "0". Asegúrese que se mantiene en dicho estado independientemente de que la señal Fin se conecte a "0" o "1".
- Estando el autómata en el estado 00 (ESPERA), conecte la señal de entrada Sin a "1" y la señal Fin a "0". Deberá cambiar al estado 01 (CAPTURA BITS).
- Estando el autómata en el estado 01 (CAPTURA BITS), mantenga la señal Fin a "0". Asegúrese que el autómata permanece en dicho estado independientemente de que la señal Sin se conecte a "0" o "1".
- Estando en el estado 01 (CAPTURA BITS), conmute la señal Fin de "0" a "1". En este momento el autómata deberá pasar por los estados 11 (CAPTURA TRAMA), 10 (CIERRE LATCHES) y 00 (ESPERA) en tres ciclos de reloj sucesivos.
- Por último, asegúrese que en cada estado, las señales de salida LE, RESET y MR son correctas.

Para realizar esta depuración es importante utilizar el modo SINGLE del osciloscopio, dado que las transiciones del reloj son muy rápidas.

Una vez que se asegure que el autómata funciona correctamente, entonces puede conectarlo a las líneas reales de entrada y salida.

4.3.9 El generador de reloj

El generador de reloj se construirá a partir de un circuito integrado **NE555** con un esquema modificado respecto al utilizado en la Figura 7. Tenga en cuenta que en este caso, mientras la señal

RESET sea “0”, el reloj deberá proporcionar un valor lógico “0” a la salida. Por tanto será necesario el empleo de 2 inversores de tipo Schmitt Trigger.

NOTA IMPORTANTE:

Por otro lado, cuando el autómata conmuta del estado **ESPERA** al estado **CAPTURA BITS**, la señal **MR** (que pone a 0 el registro de desplazamiento) se desactiva al mismo tiempo que la señal **RESET** (que activa el reloj, produciendo el primer flanco activo **CP**). Esto puede hacer que el “1” inicial no se capture correctamente.

En este caso es necesario retardar la señal **RESET** intercalando un circuito de carga/descarga RC entre el autómata y el generador de reloj. Ajuste la constante de tiempo ($R_C \cdot C_C$) de dicho circuito para que tenga un valor de **10 μ s**. De esta manera, la patilla 4 del NE555 alcanzará el valor lógico “1” cuando su valor de tensión supere el umbral de conmutación. Por tanto, este circuito producirá un retardo entre el flanco de subida de la señal **RESET** y la aparición del primer flanco activo de reloj, como consecuencia del tiempo de carga del condensador C_C .

Las recomendaciones anteriores se resumen en el esquema que se presenta en la Figura 27.

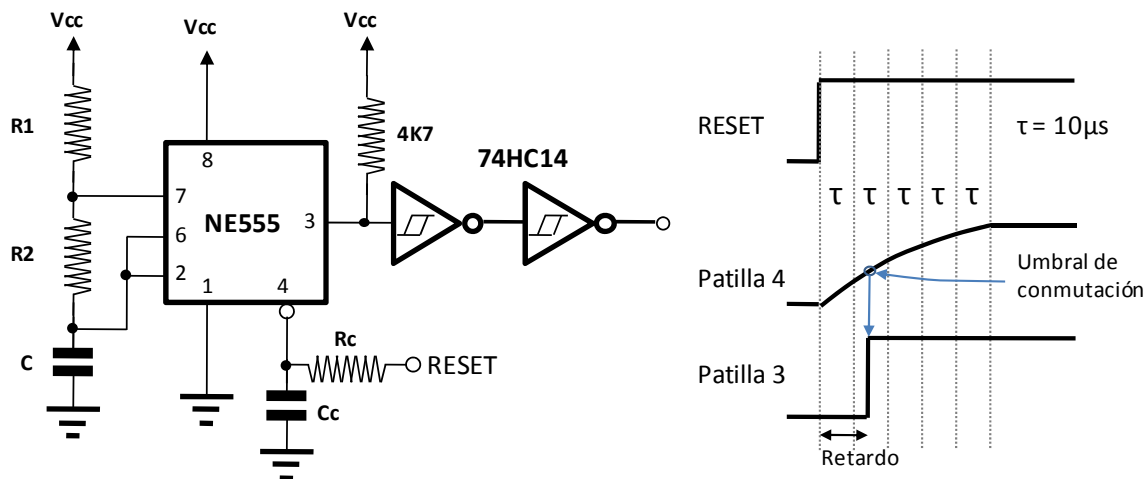


Figura 27 Esquema del generador de reloj para la captura de los bits en el receptor. Se muestra además el cronograma donde se aprecia el retardo entre el flanco de la señal **RESET** y el primer flanco de reloj. La escala de tiempos es aproximada.

Además de todo ello, lea los detalles sobre el transitorio de arranque del NE555 que se muestran en el apéndice I. El transitorio de arranque es fundamental para asegurar la captura de los bits en las zonas estables de los mismos. Tenga en cuenta que el retardo introducido por el circuito RC es muy pequeño y no afecta al cálculo del transitorio de arranque o la frecuencia del generador del reloj.

4.4 MONTAJE DEL PROTOTIPO

Tenga en cuenta las siguientes consideraciones a la hora de montar el prototipo:

- Intente realizar diseños con cables cortos y componentes con patillas cortas lo más próximos a la placa de inserción que sea posible. Evite las patillas largas pues suelen ser una fuente constante de cortocircuitos entre ellas.
- Utilice valores de resistencias por encima de 100 ohm y por debajo de 100 Kohm siempre que sea posible. Valores muy bajos hacen que fluyan altas corrientes que pueden destruir algún componente. Por el contrario valores muy altos tienden a producir ruido en el circuito.
- Como regla general **se prohíbe el uso de potenciómetros**. Solamente en el caso de los comparadores se podrán utilizar como elementos de ajuste. Todas las resistencias deben ser fijas y deberá justificarse adecuadamente su valor.
- Repetimos que los condensadores de desacoplo son fundamentales para el desarrollo del prototipo. No se atenderán cuestiones relacionadas con problemas de funcionamiento del circuito si dichos condensadores no están instalados.

4.4.1 Montaje del circuito por etapas:

La práctica está pensada para ser montada en dos fases. En la primera fase se montarán todas las etapas de ambos circuitos (emisor y receptor) a excepción del modulador FSK y el demodulador FSK, y se probarán de forma conjunta. Para ello deberán unirse físicamente emisor y receptor de la manera que se muestra en la página siguiente en la Figura 28.

En este caso la señal de salida de bits del emisor se conecta directamente a la entrada de datos del circuito de sincronismo en el receptor. De esta manera, a través del cable de conexión circulan señales digitales (bits), en lugar de la señal modulada. En este caso solamente debe cruzar este cable de datos desde el emisor al receptor.

Tenga en cuenta que en la evaluación continua se realizará una prueba en la 5ª sesión de la asignatura donde se valorará el funcionamiento de esta primera fase: emisor digital y receptor digital sin modulación FSK. Lea detenidamente el apartado 6 para saber lo que debe incluir en la memoria.

Más adelante se recomienda un calendario para el desarrollo de la práctica donde se detallan los módulos que deben comprobarse en cada sesión (apartado 8).

Recuerde una vez más que el tiempo de laboratorio debe dedicarse a la medida y resolución de problemas, así como para aprender a manejar la instrumentación del puesto. No utilice las sesiones para realizar cálculos o montar módulos puesto que el tiempo es limitado.

Posteriormente a la realización de la primera prueba en la 5ª sesión, se montarán las etapas de modulación FSK quedando completada la práctica. De esta forma podrá ir probando el circuito por partes, asegurando el funcionamiento de la captura de bits antes de enfrentarse a la parte analógica y la modulación.

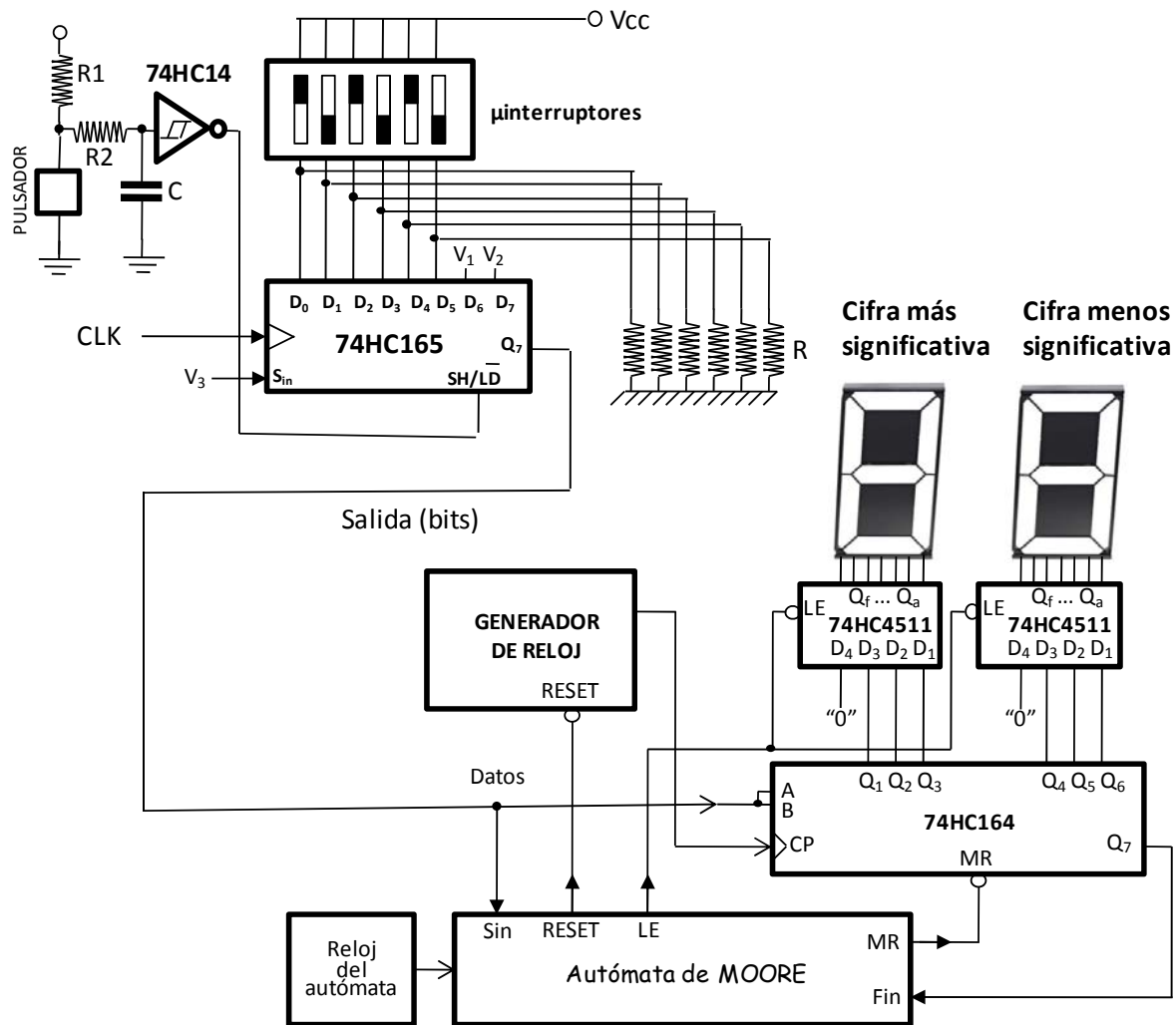


Figura 28 Conexión entre el emisor y el receptor sin la modulación FSK para probar su funcionamiento en una primera fase de montaje.

4.4.2 Medidas que deben realizarse sobre el circuito:

Deberá llevarse a cabo la caracterización detallada de los filtros Sallen-Key y paso banda, las cuales deberán figurar en la memoria final. Para realizar esta caracterización se necesitan dos sondas de osciloscopio además del cable coaxial terminado en pinzas que se suministra con el equipamiento del puesto. La sonda adicional deberá solicitarla a los instructores.

Cada uno de los filtros se mide de la siguiente forma:

1. Se mide la salida del generador de funciones en vacío (sin cargar con el filtro). Debe ajustarse para observar una senoide de 0,5 Vp de amplitud (1 Vpp). Asegúrese siempre de medir la salida del generador antes de conectarla al circuito.
2. A continuación se montará el circuito mostrado en la Figura 29 y se irá variando la frecuencia del generador de funciones (periodo T) para obtener la función de transferencia (módulo y fase) del filtro. **Los filtros deben medirse aisladamente**, es decir, deberá desconectar su entrada y salida del circuito para poder medirlos individualmente. Para conseguir una curva fiable, asegúrese de medir varios puntos por década (por lo menos 5). Para dibujar la gráfica

de la fase utilice valores de Φ entre -180° y $+180^\circ$. Es decir, si mide un desfase mayor de 180° , considere el valor negativo $\Phi-360^\circ$.

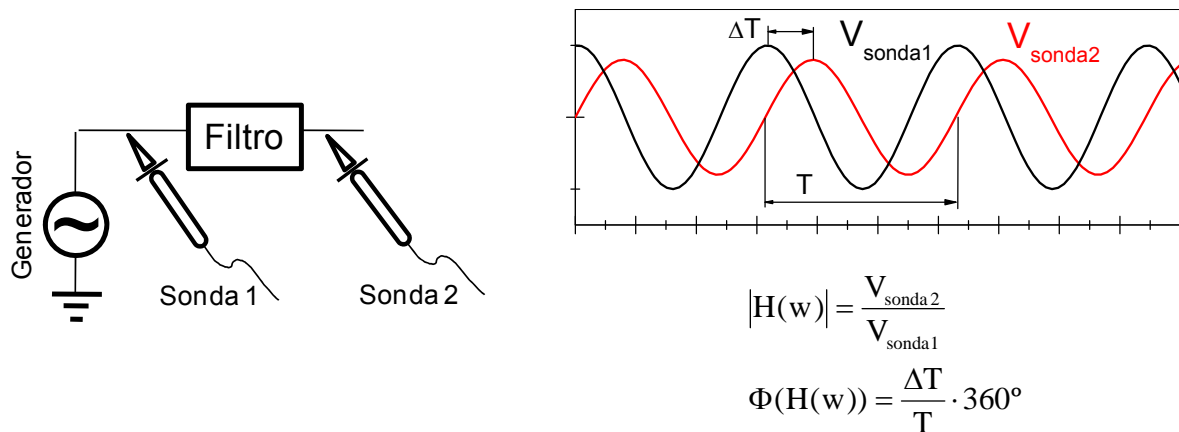


Figura 29 Esquema del circuito de medida de los filtros. Se muestra un ejemplo real de cómo calcular el módulo y la fase de la función de transferencia.

4.4.3 Realización de diagramas de Bode:

Se pide también la realización de los diagramas de Bode de módulo y fase correspondientes a los filtros Sallen Key paso bajo y paso alto y al filtro paso banda del emisor. Se recuerda que el diagrama de Bode es un diagrama asintótico aproximado del comportamiento del filtro, que se obtiene como resultado del análisis de los polos y los ceros de las funciones de transferencia. Para más información consulte la referencia [3].

En este caso, para mayor facilidad, se indican a continuación las funciones de transferencia de los diferentes filtros para la realización de los citados diagramas de Bode:

Filtro paso bajo de Sallen-Key correspondiente a la Figura 19:

$$H(jw) = \frac{G \frac{1}{R^2 C^2}}{-w^2 + jw \frac{3-G}{RC} + \frac{1}{R^2 C^2}}$$

Filtro paso alto de Sallen-Key correspondiente a la Figura 19:

$$H(jw) = \frac{-w^2 \cdot G}{-w^2 + jw \frac{3-G}{RC} + \frac{1}{R^2 C^2}}$$

Filtro paso banda correspondiente a la Figura 11:

$$H(jw) = \frac{-jw \cdot \frac{1}{R_1 C}}{-w^2 + jw \frac{2}{R_2 C} + \frac{1}{R_1 R_2 C^2}}$$

Los diagramas de Bode y las medidas deberán representarse en una gráfica donde el eje X muestre la frecuencia en modo logarítmico y el eje Y muestre la amplitud en dB y la fase en grados.

4.4.4 Utilización del osciloscopio:

En esta práctica será imprescindible el uso del osciloscopio. En particular, será muy necesaria la función "SINGLE", que permite capturar una señal en la pantalla. Esto nos va a permitir capturar la secuencia de bits para poder medir su longitud y asegurarse que es correcta. También será necesaria para determinar si el circuito de sincronismo está funcionando adecuadamente y para depurar el autómata.

Lea el resumen del funcionamiento del osciloscopio en la página web de la asignatura. Concretamente le será muy útil el apartado 2.5.11 del HOW-TO de los equipos del laboratorio: http://celt.die.upm.es/public/docs/HOWTO-INSTRUMENTACION_small.pdf

Las señales mostradas en la pantalla del osciloscopio pueden ser además capturadas mediante el ordenador del puesto para su posterior presentación en la memoria.

5. ESPECIFICACIONES DEL SISTEMA

El sistema que se diseñe deberá cumplir las siguientes especificaciones:

Emisor:

1. Alimentación simétrica con +5 y -5 V procedente de la fuente de alimentación del laboratorio.
2. Introducción de los datos digitales mediante microinterruptores. Utilización de un pulsador para transmitir los datos cuando se pulsa.
3. Reloj de bits de 1 KHz (frecuencia del reloj).
4. Frecuencia de las portadoras para la transmisión FSK: 10 KHz para los "0" y 50 KHz para los "1".
5. El canal solamente deberá estar abierto (con portadora) durante la transmisión de una secuencia binaria. En todos los demás casos deberá estar puesto a masa.

Receptor:

1. Alimentación simétrica con +5 y -5 V procedente de la fuente de alimentación del laboratorio.
2. Circuito de sincronismo realizado mediante un autómata de MOORE.
3. Frecuencia de reloj del autómata: 10 KHz.
4. Sistema de visualización de la señal transmitida mediante dos displays de 7 segmentos donde se visualicen las dos cifras octales.

Además:

1. Solamente se permite que cruce una señal (cable) desde el emisor al receptor: la correspondiente al canal de datos (digitales en el caso de la primera prueba y FSK en el diseño final).
2. Tenga en cuenta los niveles de señal en distintos puntos que se exigen a lo largo del enunciado.
3. Será suficiente con entregar la práctica montada sobre placa de inserción. No obstante recuerde que el emisor y el receptor deberán estar físicamente separados en placas distintas.

6. MEMORIA

La memoria que se entregue antes de cada prueba deberá ajustarse al formato que se suministre en la página web de la asignatura, y deberá contener **obligatoriamente** como mínimo las siguientes medidas y datos:

1. Una portada indicando: nombre de la asignatura, título de la Práctica, nombre completo de los autores y código correspondiente (día de la semana, número de turno y puesto).
2. Diseño **detallado y razonado** de cada una de las etapas que integran el diseño, explicando las razones de la elección de los valores de los componentes utilizados.

Primera prueba (semana 5)

Respecto al emisor, deberá contener obligatoriamente:

- Captura de pantalla de un ciclo de la señal de reloj de bit.
- Captura de pantalla de una trama completa (bit de inicio + 6 bits de datos). Utilice la trama 1001001.

Respecto al receptor, deberá contener obligatoriamente:

- Captura simultánea de la secuencia 1001001 en el canal con la señal RESET generada por el autómata.
- Captura simultánea de la secuencia 1001001 en el canal con la señal MR generada por el autómata.
- Captura simultánea de la secuencia 1001001 en el canal con la señal LE generada por el autómata.
- Captura simultánea de la secuencia 1001001 en el canal con la señal obtenida a la salida del generador de reloj.

Prueba final:

Respecto al emisor, deberá contener obligatoriamente:

- Función de transferencia medida del filtro paso banda en módulo y fase.
- Diagramas asintóticos de Bode (módulo y fase) del citado filtro paso banda superpuestos sobre la medida anterior.
- Captura de pantalla de la señal correspondiente a la trama 1001001 tras la modulación FSK a la salida del filtro paso banda.

Respecto al receptor, deberá contener obligatoriamente:

- Función de transferencia medida de los filtros paso bajo y paso alto de Sallen Key en módulo y fase.

- Diagramas asintóticos de Bode (módulo y fase) de los citados filtros superpuestos sobre la medida anterior.
- Captura de pantalla simultánea correspondiente a la trama 1001001 a la salida del comparador de la cadena de "0" y a la salida del comparador de la cadena de "1".

Para ambas pruebas:

- Esquema eléctrico completo de ambos circuitos (emisor y receptor), independientemente de que se hayan ido explicando por etapas.

A lo largo del curso se publicará una plantilla para realizar las citadas memorias.

Las versiones en formato electrónico de los documentos generados (memoria, simulaciones, etc.) deberán entregarse a través del portal de la asignatura.

Documente sus diseños, cálculos, justificaciones, esquemas, medidas, observaciones, dificultades, etc., a medida que los realiza, semana por semana, módulo a módulo. De este modo le será sencillo componer finalmente la memoria.

7. MEJORAS

En los apartados precedentes se ha hecho una descripción bastante detallada de los subsistemas a diseñar, así como de alguno de los esquemas circuitales utilizables. Salvo que se haya indicado lo contrario, lo descrito corresponde a las especificaciones mínimas que deberá cumplir el diseño realizado (el prototipo básico), y constituirá el requisito mínimo para aprobar la asignatura.

Por otro lado, la puntuación máxima alcanzable con este prototipo básico es de 8 puntos, partiendo de la base de que el funcionamiento es correcto y de que se han comprendido los fundamentos teórico-prácticos de todo ello, lo que será verificado a través de las memorias y los exámenes orales a realizar.

Para incrementar la calificación puede abordarse alguna realización opcional, como las que se plantean a continuación o cualquier otra que se le ocurra (consulte con un profesor). En todo caso, no se trata de multiplicar innecesariamente el número de circuitos integrados en su prototipo, ni de replicar módulos idénticos.

Recomendamos encarecidamente a los alumnos que antes de abordar cualquier mejora hagan un estudio pormenorizado de las implicaciones de la misma. Tómense el tiempo necesario en la fase de diseño y no ataquen el montaje de forma impulsiva. Una mejora en apariencia sencilla puede volverse sumamente engorrosa, bien debido al número de pastillas a interconectar o por incluir detalles y complicaciones no suficientemente previstos.

Dicho esto, se proponen a continuación algunas mejoras que se pueden realizar:

7.1 Utilización de dos pulsadores para introducir las cifras octales y visualización mediante LEDs (dificultad baja):

Esta mejora consiste en sustituir los microinterruptores del emisor por dos contadores binarios que cuenten de 0 a 7 mediante sendos pulsadores. Las salidas de estos contadores se conectarán a las entradas de datos del registro de desplazamiento. Para que el usuario pueda saber la cifra que está introduciendo se visualizará su valor binario a través de tres LED en la salida de cada contador.

Se recomienda utilizar el contador binario 74HC163. Si se realiza un diseño ingenioso no es necesario ningún otro integrado adicional para cablear la lógica de cuenta de 0 a 7. El pulsador deberá llevar un circuito antirrebotes construido con las resistencias y los condensadores (no utilice el Schmitt trigger para simplificar el diseño).

NOTA: Para que el contador se inicie en un valor concreto al arrancar el sistema, será necesario colocar un circuito de inicialización tal como se describe en la referencia [6].

7.2 Utilización de dos pulsadores para introducir las cifras octales y visualización mediante displays (dificultad media):

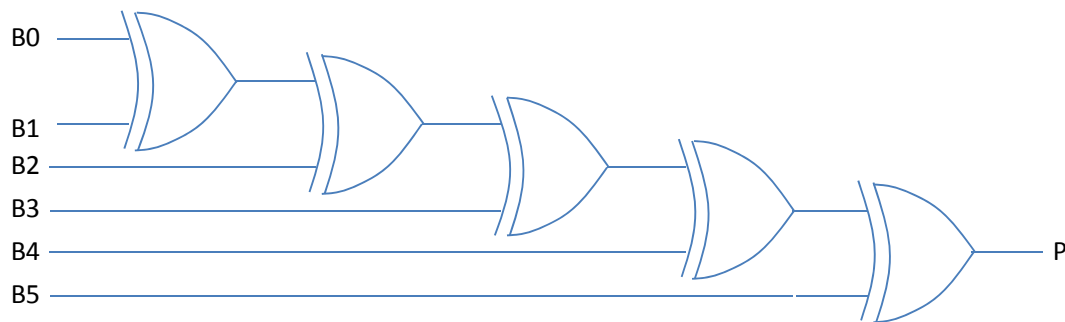
Esta mejora consiste en sustituir los microinterruptores del emisor por dos contadores binarios que cuenten de 0 a 7 mediante sendos pulsadores. Las salidas de estos contadores se conectarán a las entradas de datos del registro de desplazamiento. Para que el usuario pueda saber la cifra que está introduciendo se visualizará su valor binario a través de dos displays de 7 segmentos en la salida de cada contador.

Se recomienda utilizar el contador binario 74HC163 y el decodificador 74HC4511. Si se realiza un diseño ingenioso no es necesario ningún otro integrado adicional para cablear la lógica de cuenta de 0 a 7. El pulsador deberá llevar un circuito antirrebotes construido con las resistencias y los condensadores (no utilice el Schmitt trigger para simplificar el diseño).

NOTA : Para que el contador se inicie en un valor concreto al arrancar el sistema, será necesario colocar un circuito de inicialización tal como se describe en la referencia [6].

7.3 Generación y transmisión de un bit de paridad (dificultad alta):

En este caso proponemos la transmisión de un séptimo bit de paridad. El bit de paridad será “0” cuando la secuencia contenga un número par de “1”. En otro caso, el bit de paridad será “1”. Este bit se genera a partir de los 6 que componen los datos (excluyendo el bit de inicio) empleando una cadena de puertas XOR. El integrado 74HC86 contiene 4 puertas XOR, por lo que tendrá que utilizar 2.



Para transmitir este bit de paridad será necesario utilizar algún método para extender la longitud de los registros de desplazamiento que generan la secuencia y la señal de apertura del canal. Bien puede utilizarse un biestable D adicional (circuito 74HC74) o bien otro registro de desplazamiento. En este caso tenga cuidado con los tiempos de HOLD y de propagación de los integrados para respetar las reglas de la temporización.

En el receptor no es necesario extender la longitud del registro para capturar este bit aunque deberá visualizarse su valor mediante un LED.

7.4 Comprobación de la paridad en caso que se haya implementado la mejora 7.3 (dificultad media)

En el caso de que el alumno haya optado por realizar la mejora 7.3, se propone la siguiente mejora adicional:

El bit de paridad se emplea para saber si la trama ha llegado correctamente. Si por alguna razón alguno de los bits se modifica durante la transmisión, el bit de paridad no se corresponderá con la trama. Se propone por tanto generar un segundo bit de paridad en la trama recibida por el receptor y comparar su valor con el transmitido por el emisor. En caso de no ser iguales deberá encenderse un LED indicando el error de transmisión.

Para realizar esta mejora deberá instalar en el receptor una cadena de puertas XOR idéntica a la del emisor. Con otra de las puertas XOR se realizará la comparación del bit transmitido con el bit generado. Este valor, deberá capturarse en un biestable para que el LED permanezca encendido incluso cuando el registro de desplazamiento se ponga a 0. Puede aprovechar la señal LE generada por el autómata como señal de captura para dicho biestable.

7.5 Uso de esquemas circuitales alternativos a los propuestos

Se valorará positivamente la inclusión de circuitos distintos a los propuestos, siempre que:

- Impliquen una mayor dificultad o una novedad interesante
- No se limiten a duplicar subsistemas ya construidos

DIFICULTAD: en función del esquema alternativo, atendiendo tanto a la complejidad conceptual como de implementación.

7.6 Implementación en circuitos programables (dificultad muy alta)

La Práctica Básica asume el montaje de los circuitos haciendo uso de integrados MSI (Medium Scale Integration) del tipo 74HCXXXX, de modo que se valorará positivamente la realización del diseño utilizando otro tipo de tecnología, como cualquiera de las familias de dispositivos programables disponibles en el mercado, tanto analógicos como digitales (CPLDs, FPGAs, etc.), con el objetivo de minimizar el tamaño del circuito final y adquirir conocimientos en el empleo de nuevas tecnologías.

Para ello, los alumnos interesados deberán consultar con el coordinador de la asignatura, dado que se dispone de algunas tarjetas de entrenamiento con FPGA así como de herramientas software para su programación. En este caso, se recomienda tomar la decisión con tiempo suficiente dado que es necesario adaptar parte del prototipo para su compatibilidad con estas herramientas.

No se considera aquí ningún tipo de microprocesador o microcontrolador, que serán materia de una asignatura posterior.

7.7 Simulación con PSPICE (1 PUNTO) (dificultad alta)

En este curso se propone una mejora puntuada consistente en la realización mediante el programa PSPICE de diversas simulaciones del montaje, de forma similar a como se llevaría a cabo durante un diseño realista en un entorno profesional.

Para obtener la puntuación indicada será necesario incluir lo siguiente:

- Simulaciones temporales (análisis transitorio) del circuito, que incluya los siguientes elementos: filtro paso alto Sallen-Key, rectificador y filtro paso bajo RC (Apartados 4.3.2, 4.3.3 y 4.3.4) utilizando como excitación a la entrada de la cadena la secuencia 1010 modulada en FSK con las portadoras de 10 y 50 KHz (no se recomienda emplear secuencias de más bits por la complejidad del análisis).
- Simulaciones en AC (barrido en frecuencia) del filtro paso banda (apartado 4.1.5) y del filtro paso bajo Sallen Key (apartado 4.3.2) por separado. Se piden las gráficas de respuesta en amplitud (dB) y fase (°).

En la memoria será necesario incluir los diagramas esquemáticos utilizados, así como las gráficas de las simulaciones obtenidas, discutiendo la adecuación de dichos resultados a las previsiones teóricas y a las medidas experimentales.

Los ordenadores del Laboratorio disponen del software necesario para realizar las simulaciones descritas anteriormente.

7.8 Montaje en PCB (1,5 PUNTOS) (dificultad muy alta)

En la Práctica Básica se exige el montaje, como requisito mínimo, en placa de inserción, de modo que se valorará positivamente la construcción de los prototipos en placa de circuito impreso. En este caso, considere la utilización de zócalos para facilitar el cambio de integrados.

Para que esta mejora se considere válida bastará con presentar uno de los dos circuitos (emisor o receptor) o bien los dos, en PCB. En este último caso deberán presentarse en placas separadas. Será imprescindible presentar igualmente el prototipo previo (placa de inserción), como también los documentos generados durante el empleo de las herramientas software necesarias para el diseño.

8. DESARROLLO RECOMENDADO

Este apartado constituye una guía para la realización de la Práctica, si bien la planificación real puede diferir puesto que es difícil tener en cuenta todos los contratiempos posibles. Sirva de ayuda para que cada grupo pueda organizar el tiempo de acuerdo a su situación particular.

Desde el comienzo, realice todas las tareas sobre el prototipo con el máximo cuidado. Por ejemplo, montaje de la alimentación, emplazamiento de los componentes, pelado y conexión de los cables, etc. Aunque al principio parezca que todo es manejable, a medida que el montaje crece perderá el control sobre el mismo si empiezan a aparecer incertidumbres en la fiabilidad de las conexiones, falta de espacio para nuevos circuitos, amontonamiento de componentes que dificultan el empleo de las sondas del osciloscopio, etc.

Tenga en cuenta otra vez que el laboratorio debería servirle para medir y buscar y solucionar problemas, no para montar circuitos. Se debe realizar el montaje de circuitos fuera de las horas de laboratorio.

Como ya se ha dicho anteriormente, la práctica está pensada para que pueda montarse en dos fases, siendo evaluada primeramente la parte digital en ambos circuitos y después la modulación FSK.

Se recomienda entonces, seguir la siguiente distribución del trabajo en semanas:

8.1 Semana 1 – EMISOR Y RECEPTOR

- Familiarización con los instrumentos del laboratorio
- Instalación de los condensadores de desacoplo en ambas placas.
- Reloj de bit del emisor (1 KHz, apartado 4.1.2).
- Reloj del autómeta del receptor.

OBJETIVO: Comprobar el funcionamiento de los relojes. Asegurarse que los flancos están claramente definidos, que la frecuencia es correcta y que la señal alcanza los valores 0 y 5V.

8.2 Semana 2 – EMISOR Y RECEPTOR

- Registro de desplazamiento del emisor.
- Instalación de los microinterruptores y el pulsador con su circuito antirrebotes.
- Generador de reloj del receptor.

OBJETIVO 1: Comprobar que la trama se transmite correctamente cuando se presiona el pulsador.

OBJETIVO 2: Comprobar que el transitorio de arranque y el subsiguiente periodo entre flancos del generador de reloj se corresponde con lo esperado.

8.3 Semana 3 – RECEPTOR

- Circuito de control de sincronismo: autómeta, registro de desplazamiento, decodificadores 74HC4511 y displays. Semana 1

OBJETIVO: Construir los distintos módulos del circuito de sincronismo de forma progresiva.

8.4 Semana 4 – RECEPTOR

- Circuito de control de sincronismo: autómata, registro de desplazamiento, decodificadores 74HC4511 y displays. Semana 2

OBJETIVO: Comprobar y depurar el funcionamiento del autómata y asegurarse que se recibe correctamente la trama.

HITO: Debería tener terminada la parte digital en este momento.

8.5 Semana 5 – EVALUACIÓN

Esta semana se realizará el examen parcial de la asignatura.

8.6 Semana 6 – EMISOR

- Osciladores de portadora de 10 y 50 KHz.
- Registro de desplazamiento para la señal de apertura del canal.

OBJETIVO 1: Comprobar los niveles de intensidad y la frecuencia de los osciladores.

OBJETIVO 2: Comprobar que la señal de apertura del canal es síncrona con la señal de datos.

8.7 Semana 7 – EMISOR Y RECEPTOR

- Multiplexor analógico en el emisor.
- Filtro paso banda del emisor
- Filtros paso alto y paso bajo Sallen Key del receptor

OBJETIVO 1: Comprobar que la señal FSK a la salida del emisor es correcta y que el canal permanece cerrado durante la ausencia de señal.

OBJETIVO 2: Comprobar que a la salida de los filtros se obtienen las portadoras correspondientes a cada uno de los valores digitales y que la otra portadora aparece con la atenuación debida.

OBJETIVO 3: Medida del filtro paso banda del emisor.

8.7 Semana 8 – RECEPTOR

- Rectificador, filtro RC para la portadora de 10 KHz.
- Comparador y umbral de comparación para la portadora de 10 KHz.

OBJETIVO 1: Comprobar que a la salida de la cadena de demodulación de la portadora de 10 KHz aparece una señal digital que se corresponde con los “0” de la trama.

OBJETIVO 2: Medida de los filtros paso alto y paso bajo de Sallen-Key.

8.8 Semana 9 – RECEPTOR Y EMISOR

- Rectificador, filtro RC para la portadora de 50 KHz.
- Comparador y umbral de comparación para la portadora de 50 KHz.
- Multiplexor digital

OBJETIVO1: Comprobar que a la salida de la cadena de demodulación de la portadora de 50 KHz aparece una señal digital que se corresponde con los “1” de la trama.

OBJETIVO 2: Finalización del proyecto básico y las medidas.

HITO: Debería tener terminado el prototipo en este momento

8.9 Semana 10

OBJETIVO: Tiempo para obtener capturas de pantalla para la redacción de la memoria.

OBJETIVO: Realización de posibles mejoras.

8.10 Semana 11

OBJETIVO: Realización de posibles mejoras.

ANEXO I: El circuito integrado temporizador NE555

El circuito integrado NE555 es un temporizador muy versátil que puede ser empleado en multitud de aplicaciones. Su esquema interno se muestra a continuación en la Figura 30.

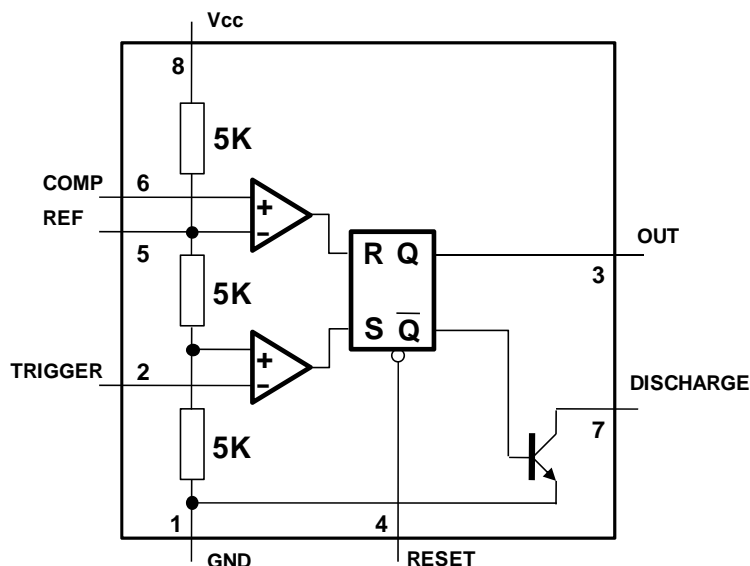


Figura 30 Esquema interno del temporizador NE555

El circuito está formado por dos comparadores de tensión. Uno de ellos compara la tensión en la patilla 2 con el valor de tensión $1/3 \cdot V_{cc}$ (en virtud del divisor de tensión formado por las 3 resistencias de 5K y siempre que la patilla 5 se deje sin conectar). El otro compara la tensión en la patilla 6 con el valor de tensión $2/3 \cdot V_{cc}$ (en las mismas condiciones anteriores). Las salidas de dichos comparadores se conectan a las entradas R y S de una báscula RS que conmuta el nivel de tensión de salida (patilla 3) entre 0 y V_{cc} . Adicionalmente, existe un transistor que proporciona un camino de baja impedancia a masa en la patilla 7 cuando la salida 3 está a nivel bajo. Por último, la patilla 4 (RESET) es una patilla de control: cuando se encuentra a masa, la salida 3 está a nivel bajo incondicionalmente. Cuando se encuentra a nivel alto, la báscula RS funciona adecuadamente.

Existen multitud de aplicaciones de este integrado, pero una de las más empleadas es la de multivibrador astable, para la generación de señales de reloj de periodo conocido y ciclo de trabajo controlable. Para ello se suele emplear el siguiente montaje (Figura 31):

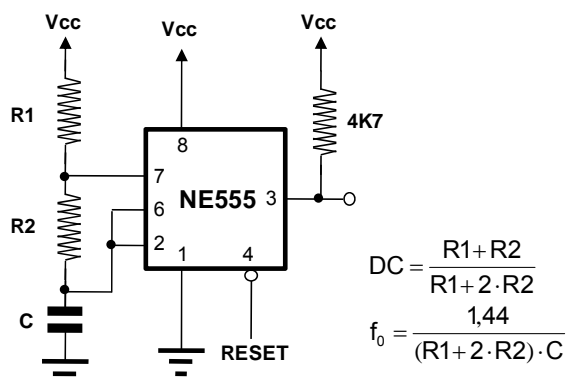


Figura 31 Esquema del NE555 conectado como multivibrador astable

Con esta configuración, al conectar la alimentación el condensador C se encuentra inicialmente descargado, por lo que la tensión en las patillas 2 y 6 del NE555 es 0. El comparador interno con $1/3 \cdot V_{cc}$ coloca la báscula RS en posición S generando un 1 a su salida, por lo que el transistor de descarga se encontrará en estado de corte. En este momento el condensador comienza a cargarse exponencialmente a través de las resistencias R1 y R2. Cuando la tensión en las patillas 2 y 6 llega al valor de $2/3 \cdot V_{cc}$, el segundo comparador conmuta la báscula al estado 0 a través de la entrada R. El transistor interno conectado a la patilla 7 proporciona entonces un camino de baja impedancia a masa, que hace que el condensador se descargue a través de R2, por lo que los ciclos de carga (T1) y descarga (T2) tienen necesariamente constantes de tiempo diferentes. Cuando la tensión en bornas del condensador alcanza la tensión $1/3 \cdot V_{cc}$ comienza a repetirse un ciclo, obteniéndose de esta manera una salida rectangular entre 0 y V_{cc} en la patilla 3, y una salida con flancos exponenciales entre $1/3 \cdot V_{cc}$ y $2/3 \cdot V_{cc}$ en las patillas 2 y 6 (véase Figura 32).

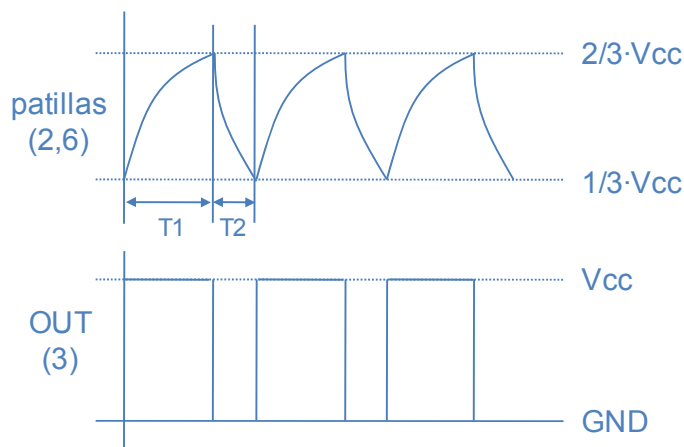


Figura 32 Niveles de tensión a la salida de algunas de las patillas del integrado NE555 configurado como multivibrador astable

Tenga en cuenta que para esta configuración se genera una señal rectangular de periodo (frecuencia) dependiente de R1, R2 y C, pero no es posible obtener un ciclo de trabajo (DC) del 50%. Las expresiones para la frecuencia de oscilación y el ciclo de trabajo se encuentran detalladas también en la Figura 31.

Con respecto a la patilla 4 (RESET), debe mantenerse a 1 para que el multivibrador astable funcione correctamente. Si en cualquier momento la patilla 4 se pone a 0, la salida (patilla 3) será 0 independientemente del resto de tensiones en el integrado.

Por último es importante destacar que es necesario colocar una resistencia de pull up de $4,7K\Omega$ entre la alimentación y la patilla 3 para conseguir que la salida alcance realmente los valores 0 y V_{cc} . Si no se coloca, el valor de tensión a nivel alto se quedará ligeramente por debajo de V_{cc} , lo cual puede interferir en el funcionamiento de algunos de los circuitos integrados CMOS.

Consideraciones respecto al transitorio de arranque del NE555

Teniendo en cuenta lo establecido anteriormente, el primer intervalo de tiempo a nivel alto generado por el 555 es algo más largo que los demás debido a que el condensador debe cargarse desde el valor 0 en lugar de $1/3 \cdot V_{cc}$. Por esta razón cuando se conmuta la patilla RESET de 0 a 1, la señal realmente obtenida en la salida 3 será la mostrada en la siguiente Figura 33:

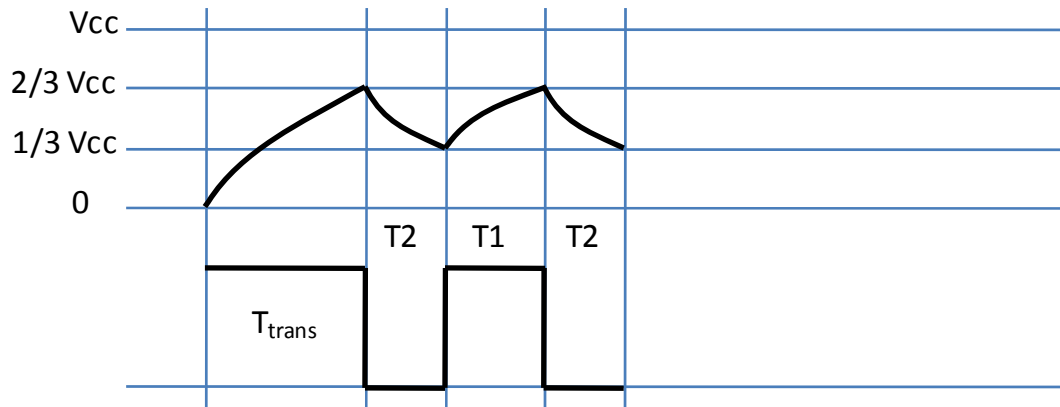


Figura 33 Transitorio de arranque en el NE555 cuando se conmuta la patilla RESET de 0 a 1.

Siendo el valor del transitorio de arranque, y los valores de T1 y T2 dependientes de R1, R2 y C según las siguientes expresiones:

$$T_{\text{trans}} = 1,1 \cdot (R1 + R2) \cdot C$$

$$T2 = 0,693 \cdot R2 \cdot C$$

$$T1 = 0,693 \cdot (R1 + R2) \cdot C$$

Referencias

- [1] Alan V. Oppenheim y Alan S. Willsky, Señales y Sistemas, 2ª edición, Prentice-Hall, 1998.
- [2] A. Bruce Carlson, Communication systems: An Introduction to Signals and Noise in Electrical Communication, 3ª edición, McGraw-Hill, 1986.
- [3] Norbert R. Malik, Circuitos Electrónicos: Análisis, Diseño y Simulación, Prentice-Hall, 1996.
- [4] Sergio Franco, Design with Operational Amplifiers and Analog Integrated Circuits, 2ª edición, McGraw-Hill, 1997.
- [5] Sergio Franco, Diseño con Amplificadores Operacionales y Circuitos Integrados Analógicos, 3ª edición, McGraw-Hill, 2005.
- [6] Aspectos Prácticos de Diseño y Medida en Laboratorios de Electrónica, 2ª edición, Dpto. de Publicaciones de la ETSIT (UPM), 2002.
- [7] Enunciado de la práctica del curso 2006-2007, Ángel Fernández Herrero.