
Enunciado de la Práctica del Laboratorio de Circuitos Electrónicos (LCEL)

Sistema de secrafonía digital mediante codificación delta

Plan 94. Curso 2011-2012

Índice general

Índice general.....	2
Índice de figuras.....	3
Recomendaciones generales sobre el diseño y montaje.....	4
1. Introducción.....	5
2. Descripción general.....	6
2.1 Objetivo general.....	6
2.2 Esquema simplificado.....	6
2.3 Descripción funcional.....	7
3. Arquitectura.....	7
3.1 Arquitectura del emisor.....	7
3.2 Arquitectura del receptor.....	8
3.3 División en subsistemas analógico y digital.....	9
4. Funcionamiento detallado.....	9
4.1 El emisor.....	9
4.1.1 Filtro paso bajo y adaptación al reproductor de sonido o al generador de funciones.....	9
4.1.2 Generador de reloj.....	10
4.1.3 Convertidor A/D (Codificador delta).....	11
4.1.3.1 Comparador analógico (LM311).....	12
4.1.3.2 Flip flop tipo D.....	13
4.1.3.3 Comparador basado en el operacional TL082.....	13
4.1.3.4 Integrador.....	13
4.1.4 Diseño del codificador delta.....	14
4.1.4.1 Parámetros de diseño.....	15
4.1.5 Registro de desplazamiento circular.....	15
4.1.6 Señal cifrada.....	16
4.1.7 Modulador ASK.....	16
4.1.7.1 Oscilador.....	17
4.1.7.2 Modulador basado en un multiplexor analógico.....	17
4.2 El receptor.....	18
4.2.1 Recuperación de la señal recibida desde el emisor.....	18
4.2.1.1 Teoría de la demodulación ASK.....	18
4.2.1.2 Demodulación de la señal recibida.....	20
4.2.1.3 Rectificador de onda completa.....	21
4.2.1.4 Consideraciones acerca de las medidas sobre el rectificador.....	21
4.2.1.5 Filtro paso bajo.....	22
4.2.1.6 Comparador.....	23
4.2.2 Registro de desplazamiento circular.....	24
4.2.3 Descifrado de la señal mediante puerta XOR.....	24
4.2.4 Convertidor D/A (decodificador delta).....	24
4.2.4.1 Biestable tipo D.....	24
4.2.4.2 Comparador.....	25
4.2.4.3 Integrador.....	25
4.2.4.4 Filtro paso bajo.....	26
4.2.5 Amplificador de potencia.....	26
4.3 Montaje de la práctica.....	27
4.3.1 Montaje del circuito por etapas.....	27
4.3.2 Medidas que deben realizarse sobre el circuito.....	27
4.3.3 Realización de diagramas de Bode.....	28
4.4 Alimentación del circuito.....	29
5 Especificaciones del sistema.....	31
6 Memoria final.....	32
7 Posibles mejoras.....	33
7.1 Utilización de generadores pseudoaleatorios.....	33
7.2 Utilización de un teclado para introducir la clave con visualización con LEDs.....	34
7.3 Utilización de un teclado para introducir la clave con visualización a través de display de 7 segmentos.....	34
7.4 Evitar el valor 0000 en la semilla inicial.....	34
7.5 Uso de esquemas circuitales alternativos.....	35
7.6 Implementación en circuitos programables.....	35
7.7 Simulación con PSPICE.....	35
7.8 Montaje en PCB.....	35
8 Desarrollo recomendado.....	36
Anexo I El circuito integrado NE555.....	39
Bibliografía.....	41

Índice de figuras

Figura 1 Esquema general del funcionamiento del sistema	6
Figura 2 Arquitectura del sistema emisor.....	7
Figura 3 Arquitectura del sistema receptor	8
Figura 4 Filtro paso bajo de Sallen Key y adaptación a la señal de entrada	10
Figura 5 Generador de reloj.....	10
Figura 6 Esquema general simplificado del codificador delta	11
Figura 7 Funcionamiento del modulador delta. La señal en negro representa la señal analógica de entrada, la señal en verde es la salida del integrador y debajo se representan los bits de salida. Cada línea vertical se corresponde con un ciclo del reloj.	11
Figura 8 Esquema detallado del codificador delta que se empleará en esta práctica	12
Figura 9 Circuito comparador basado en el LM311	12
Figura 10 Comparador basado en un TL082 para convertir la señal CMOS en una señal bipolar	13
Figura 11 Circuito integrador basado en un operacional	13
Figura 12 Respuesta del codificador delta a diferentes señales de entrada. En negro se representa la señal de entrada y en verde la salida del integrador. Se puede observar que cuando la pendiente de la señal de entrada es muy elevada el codificador no es capaz de seguirla ("sobrecarga de pendiente"). El valor ΔV es el escalón de tensión que genera el integrador. Cada línea vertical se corresponde con un periodo del reloj de 50 KHz.	14
Figura 13 Integrador en cuya entrada se suministran los pulsos generados por el operacional en bucle abierto. Los valores máximos de tensión a su entrada son $\pm V_0$. A la salida se obtienen rampas de duración T y amplitud ΔV según la expresión que se indica.	15
Figura 14 Esquema del registro de desplazamiento circular	16
Figura 15 Cifrado de la señal de bits con la secuencia del registro de desplazamiento.....	16
Figura 16 Esquema de un oscilador en puente de Wien con control de amplitud	17
Figura 17 Esquema de un posible montaje para el modulador ASK utilizando un multiplexor analógico.	17
Figura 18 Secuencia temporal de bits 01010010 y su espectro en frecuencia.....	18
Figura 19 Secuencia de bits de la figura anterior tras la modulación ASK. El espectro en banda base se encuentra ahora desplazado, centrado en la frecuencia de la portadora.	19
Figura 20 Forma de onda obtenida tras la rectificación de onda completa y espectro en frecuencia correspondiente.	19
Figura 21 Forma de onda de la señal tras el filtro paso bajo y espectro en frecuencia correspondiente.	20
Figura 22 Esquema del demodulador ASK empleado en esta práctica. Se muestran también las formas de onda que deberían observarse a la salida de los diferentes módulos.	20
Figura 23 Amplificador no inversor	21
Figura 24 Esquema de un rectificador de precisión de onda completa con ganancia A.	22
Figura 25 Filtro paso bajo RC de un polo.	22
Figura 26 Señales obtenidas con frecuencias de corte incorrectas del filtro. En la gráfica superior la frecuencia es demasiado alta. En la inferior es demasiado baja.....	23
Figura 27 Circuito comparador LM311 y esquema del proceso de comparación.....	24
Figura 28 Esquema general del convertidor D/A (decodificador delta).....	24
Figura 29 Cronograma de señales en diferentes puntos del circuito. Tras la recuperación de la señal original puede aparecer un retardo que da lugar a la existencia de "glitches".....	25
Figura 30 Integrador del decodificador delta. En este caso es conveniente sustituir la resistencia fija.....	25
Figura 31 Amplificador de potencia basado en un LM386 en configuración de ganancia = 20.....	26
Figura 32 Conexión entre el emisor y el receptor sin la modulación ASK para probar su funcionamiento en una primera etapa.	27
Figura 33 Esquema del circuito de medida de los filtros. Se muestra un ejemplo real de cómo calcular el módulo y la fase de la función de transferencia.	28
Figura 34 Condensadores de desacoplo en el receptor y en el emisor. En el caso del receptor, se muestra también la disposición de los LEDs que indican la presencia de cortocircuitos	29
Figura 35 Sugerencia para la distribución de las alimentaciones, de las líneas de masa, de los condensadores de desacoplo y de los LEDs de indicación de la alimentación	30
Figura 36 Esquema simplificado de un generador pseudoaleatorio de 15 bits con introducción de semilla inicial mediante microinterruptores.....	33
Figura 37 Esquema interno del temporizador NE555	39
Figura 38 Esquema del NE555 conectado como multivibrador astable	39
Figura 39 Niveles de tensión a la salida de algunas de las patillas del integrado NE555 configurado como multivibrador astable	40

Recomendaciones generales sobre el diseño y montaje

A continuación resumimos algunas de las recomendaciones más importantes para obtener buenos resultados en este laboratorio:

1. Como regla general utilice resistencias entre los valores de $100\ \Omega$ y $100\ \text{k}\Omega$ a excepción de los circuitos donde se indique lo contrario. Resistencias por debajo de $100\ \Omega$ dan lugar a corrientes muy altas que pueden dañar los dispositivos que se emplearán para la realización de esta práctica. Las resistencias muy altas $>100\ \text{k}\Omega$ producen mayor nivel de ruido y suelen causar problemas en las medidas con el osciloscopio si se utiliza la sonda en x1.
2. Realice el cableado de los componentes con calma, asegurándose que la función de las patillas de los integrados se corresponden correctamente con las hojas de características.
3. Utilice cables de la longitud adecuada, no emplee bucles largos de cable para unir puntos próximos. Esta suele ser una de las fuentes de ruido más habituales. Asimismo, corte las patillas de las resistencias y condensadores para que no sobresalgan demasiado por encima de la placa de inserción, así se evitarán posibles cortocircuitos entre ellas.
4. No deje conectada la alimentación mientras está haciendo algún cambio, ya que podría producirse algún cortocircuito y dañar permanentemente el circuito.
5. Asegúrese de alimentar siempre los circuitos integrados digitales con +5V y masa.
6. Asegúrese de alimentar siempre los amplificadores operacionales con tensión simétrica de +5V, -5V y masa.
7. Los condensadores de desacoplo en la alimentación son obligatorios y muy importantes. No haga funcionar el circuito nunca sin ellos.
8. No deje nunca entradas "al aire" (sin conectar) en los circuitos integrados digitales. Las entradas que no sea necesario emplear deberán conectarse a masa (por ejemplo el resto de los inversores que no emplee en un circuito integrado donde haya varios). IMPORTANTE: Esto solamente se aplica a las entradas, las salidas que no se empleen deberán quedar sin conectar. No conecte nunca una salida directamente a masa o a V_{cc} .
9. Realice los montajes de los circuitos y el cableado fuera del laboratorio. Utilice las sesiones para realizar medidas, comprobar el correcto funcionamiento, resolver problemas, realizar ajustes o hacer simulaciones.
10. Ponga especial atención a la polaridad de los condensadores electrolíticos ya que si se conectan con la polaridad invertida pueden explotar.
11. Si se detecta un fallo de funcionamiento, intente aislar el problema yendo módulo a módulo hacia atrás hasta encontrar la etapa que falla. Si no encuentra el fallo, pruebe las etapas por separado.
12. En general, no pierda el concepto global de lo que se está montando. Puede ocurrir que se ofusque con una etapa cuando el fallo se encuentra en otra parte completamente diferente del circuito.

1 Introducción

El objetivo del *Laboratorio de Circuitos Electrónicos* es que el alumno revise, amplíe, aplique y consolide de una manera práctica los conocimientos adquiridos en las asignaturas de segundo curso *Circuitos Electrónicos Analógicos* y *Circuitos Electrónicos Digitales*.

Para ello deberá seguir las instrucciones aquí incluidas, que implicarán diversas fases de diseño, análisis, montaje y medida de los circuitos o subsistemas propuestos. Igualmente se hará especial énfasis en que los alumnos adquieran una visión práctica de los problemas con los que se encuentra el diseño de circuitos analógicos y digitales en las implementaciones de prototipos reales de laboratorio.

El resultado del trabajo realizado **deberá quedar reflejado en una memoria escrita** que contenga los detalles del proceso, así como los resultados obtenidos y todas aquellas cuestiones específicas que se indiquen en el enunciado (ver Apartado 6).

Como documentación adicional, está disponible el libro *Aspectos Prácticos de Diseño y Medida en Laboratorios de Electrónica* [6], que podrá adquirir en el Servicio de Publicaciones de la Escuela, donde encontrará recomendaciones, criterios de diseño y comentarios de interés de carácter general, y cuyo contenido podrá ser objeto de pregunta en el examen oral.

La Práctica propuesta contiene las **especificaciones mínimas** que deben cumplir los circuitos realizados. Adicionalmente, se presentarán sugerencias de **mejoras opcionales**, dejando a los alumnos la libertad de añadir nuevas mejoras y montajes alternativos (ver Apartado 7). Podrá encontrar éste y otros documentos relacionados, así como información actualizada sobre la asignatura, en: <http://lcel.die.upm.es>

En particular, el documento <http://lcel.die.upm.es/public/docs/infolab1112.pdf> contiene la normativa de aplicación a la asignatura, si bien en este curso también habrá que tener en cuenta las siguientes consideraciones:

1. Cada pareja deberá disponer de un cuaderno de prácticas, donde dibujará los esquemas de los circuitos, detallará los cálculos y justificaciones realizados, tomará nota de todas las medidas efectuadas en el Laboratorio y, en general, recogerá cuantas observaciones e incidencias tengan lugar durante el desarrollo de la Práctica. Este cuaderno **será de gran utilidad a la hora de escribir la memoria final y tendrá que entregarse junto con ella cuando termine la asignatura**, antes del examen oral.

2. Se publicará en el portal de la asignatura un modelo para la memoria final, que deberá ser tenido en cuenta por todos los alumnos a la hora de escribirla.

Para cualquier consulta, puede dirigirse a Álvaro de Guzmán Fernández (B-107, guzman@die.upm.es).

2 Descripción general

2.1 OBJETIVO GENERAL

La secrafonía consiste en la codificación de la señal que circula por una línea no segura con el objeto de evitar escuchas no deseadas por parte de posibles intrusos.

Este tipo de sistemas generalmente emplean codificación analógica realizando inversión de espectros en secuencias aleatorias de tiempo, lo cual da lugar a circuitos muy complejos que necesitan sincronizaciones muy precisas.

En esta práctica se va a realizar un sistema de secrafonía simplificado que permitirá cifrar una señal de audio. Para ello se realizarán dos sistemas: un emisor y un receptor. En el emisor se llevará a cabo una conversión analógico-digital de dicha señal y posteriormente se realizará el cifrado de los bits mediante una secuencia prefijada. Estos bits serán los que se transmitan por el canal no seguro (en este caso dicha transmisión se llevará a cabo a través de un cable). En el receptor, se descifrarán los bits recibidos utilizando la misma secuencia que en el emisor, obteniendo posteriormente la señal original mediante una conversión digital-analógico.

Si las secuencias prefijadas en el emisor y el receptor no son iguales o no se encuentran sincronizadas, la señal obtenida en el receptor será totalmente ininteligible.

2.2 ESQUEMA SIMPLIFICADO

Un esquema simplificado que muestra el funcionamiento del sistema puede verse a continuación en la Figura 1.

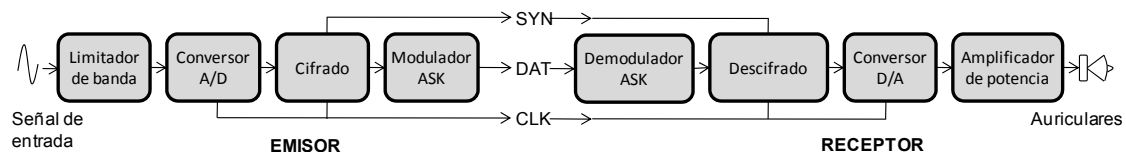


Figura 1 Esquema general del funcionamiento del sistema

Como puede verse, el sistema consta de dos circuitos diferentes **que deberán ser montados en placas independientes**.

La señal de entrada será obtenida mediante el generador de funciones para las pruebas. En el prototipo final, provendrá de cualquier dispositivo reproductor: CD, MP3, etc. El criterio de calidad exigido en la evaluación será la inteligibilidad de la voz (una grabación, radio, etc).

El emisor está compuesto por un limitador de banda que reducirá el ancho de banda de la señal entrante a **2,5 KHz**, suficiente para ser inteligible y poder simplificar los circuitos de conversión y modulación posteriores. Tras su conversión en una señal digital, y su cifrado, se modulará utilizando un sistema de modulación digital del tipo ASK (*"Amplitude Shift Keying"*) y se transmitirá hacia el receptor (señal DAT). Junto con ella, y con el objetivo de simplificar el diseño, también se transmitirán las señales CLK y SYN cuyo significado se describirá más adelante en esta memoria (véanse apartados 4.1.2 y 4.1.5).

De esta manera, el emisor y el receptor solamente deberán estar conectados mediante 3 cables: DAT, SYN y CLK.

En cuanto al receptor, tras la demodulación de la señal ASK, se descifrarán los bits que componen la señal digital y posteriormente se realizará la conversión digital-analógico. Por último, un amplificador de potencia permitirá escuchar la señal decodificada en un auricular.

IMPORTANTE: **deberán emplearse solamente auriculares a la salida del amplificador de potencia**. Queda expresamente prohibido el uso de altavoces para evitar el elevado nivel de ruido que puede producirse en el laboratorio.

2.3 DESCRIPCIÓN FUNCIONAL

En el prototipo que vamos a diseñar, implementar y probar, trabajaremos con una señal de audio limitada en banda a **2,5 KHz**. Esta señal será codificada digitalmente a través de un codificador delta trabajando a una frecuencia de **50 KHz**. Los datos digitales se modularán en ASK sobre una portadora de **200 KHz**.

El cifrado de la señal digital se realizará utilizando una secuencia de bits que se repetirá en el tiempo. Dicha secuencia será seleccionada mediante unos microinterruptores tanto en el emisor como en el receptor. Para sincronizar la secuencia de tal modo que comience en un instante determinado del tiempo, se utilizará un pulsador en el emisor.

Tanto el emisor como el receptor, se alimentarán utilizando la fuente del laboratorio entre **+5 y -5 V en modo simétrico**.

La señal de entrada se obtendrá mediante el generador de funciones del laboratorio empleando señal senoidal de **1 Vpp** de amplitud. Posteriormente, cuando el diseño funcione adecuadamente, se sustituirá el generador por un reproductor de sonido externo. Recuerde que el criterio de calidad que se exigirá en la evaluación será que **la voz sea inteligible en la etapa final de la práctica, no se admitirá música como entrada**.

3 Arquitectura

En este apartado refinaremos un poco más el esquema simplificado visto en el anterior. No se preocupe si no alcanza a comprender todos los términos, conceptos y detalles que se discuten, ya que se irán aclarando a medida que avance en la lectura del documento. Asuma que necesitará varias lecturas y una reflexión a fondo sobre todo ello.

Los valores y datos que vea escritos **en negrita y subrayados** son **especificaciones del sistema** que deberán ser cumplidas en el diseño final.

3.1 ARQUITECTURA DEL EMISOR

En la Figura 2 se encuentra el esquema más detallado del sistema emisor, que consta de los siguientes bloques:

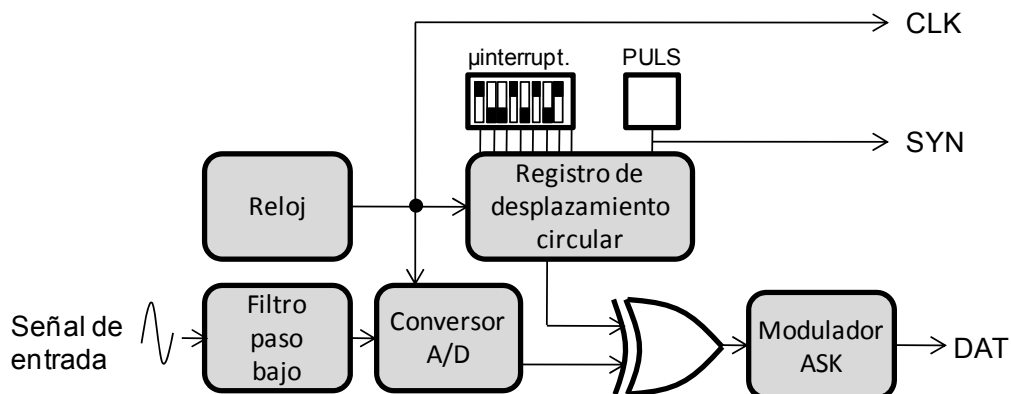


Figura 2 Arquitectura del sistema emisor

- Reloj: generará la señal de reloj de **50 KHz** que se empleará como referencia tanto en el convertidor A/D como en el cifrador (constituido por un registro de desplazamiento).
- Filtro paso bajo: se encargará de limitar el ancho de banda de la señal de entrada a **2,5 KHz**. Se empleará un filtro de dos polos para conseguir un buen rechazo de frecuencias en la banda atenuada.

- Conversor A/D: se trata de un codificador delta. Este bloque se encarga de transformar la señal analógica limitada en banda, en una señal digital cuyos bits tendrán una duración temporal de $1/50 \text{ KHz} = 20 \mu\text{s}$.
- Registro de desplazamiento: generará una secuencia circular de 8 bits que se repetirá en el tiempo. Dicha secuencia estará sincronizada con los bits del convertidor A/D ya que el reloj que gobierna ambos módulos es el mismo. Esta secuencia se introducirá mediante microinterruptores y un pulsador.
- Puerta XOR: Realiza el cifrado de los bits procedentes del conversor A/D con la secuencia generada por el registro de desplazamiento.
- Modulador ASK: traslada el espectro de la señal digital, modulándola sobre una portadora de 200 KHz . De esta forma se simula su transmisión a través de un canal analógico como puede ser un canal de radio.

3.2 ARQUITECTURA DEL RECEPTOR

En la Figura 3 se encuentra el esquema más detallado del receptor que consta de los siguientes bloques:

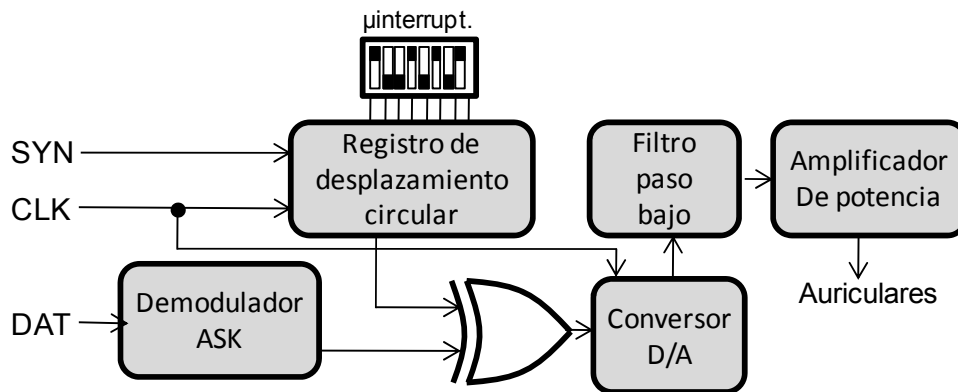


Figura 3 Arquitectura del sistema receptor

- Demodulador ASK: extrae la señal digital que se encuentra modulada sobre la portadora.
- Registro de desplazamiento: es un módulo idéntico al del emisor a excepción del pulsador. En este caso, la señal de sincronismo procede del pulsador del emisor a través de la señal SYN.
- Puerta XOR: al igual que en el emisor, esta puerta realiza el descifrado de la señal digital a través de la secuencia circular de 8 bits.
- Conversor D/A: se trata de un decodificador delta que obtiene una señal analógica a partir de los bits descifrados.
- Filtro paso bajo: Necesario para la correcta reconstrucción de la señal analógica original a partir de la señal proporcionada por el decodificador delta.
- Amplificador de potencia: adapta el nivel de tensión y corriente de la señal analógica para ser escuchada a través de unos auriculares.

3.3 DIVISIÓN EN SUBSISTEMAS ANALÓGICO Y DIGITAL

Esta práctica está diseñada para que pueda ser construida en dos fases. En una primera fase, se montarán todas las etapas del emisor y el receptor a excepción del modulador ASK (en el emisor) y el demodulador ASK (en el receptor); y se comprobará que funcionan correctamente. Posteriormente, en una segunda fase, se montarán los dos módulos restantes (modulador y demodulador ASK) quedando de este modo concluida la práctica.

En este caso, es difícil separar claramente las partes analógicas y digitales del emisor y el receptor. No obstante se puede hacer la siguiente clasificación:

	Subsistema analógico	Subsistema digital
EMISOR	Filtro paso bajo Parte del codificador delta Reloj Modulador ASK	Parte del codificador delta Registro de desplazamiento Puerta XOR
RECEPTOR	Demodulador ASK Decodificador delta Filtro paso bajo Amplificador de potencia	Registro de desplazamiento Puerta XOR

En la parte digital se utilizará en todo caso **lógica CMOS** (circuitos de la serie **74HCXXXX**) alimentada entre 0 y 5 V. Para la parte analógica se emplearán amplificadores operacionales del tipo **TL082** alimentados con tensión simétrica de +5 y -5 V.

Además, las únicas señales que deberán cruzar desde el emisor al receptor son las indicadas en los esquemas anteriores como SYN, DAT y CLK. No se permitirá el uso de señales adicionales

4 Funcionamiento detallado

A continuación se describirán los módulos en todo el detalle para la construcción del sistema completo.

4.1 EL EMISOR

Antes de comenzar a describir las partes que componen este sistema queremos aclarar una serie de cuestiones **fundamentales** para el correcto desarrollo de la práctica:

1. El emisor deberá construirse en una placa separada de la del receptor. Como criterio general, el diseño debería caber en una placa de inserción grande.
2. Este circuito recibirá alimentación mediante la fuente del laboratorio a +5 y -5 V en modo simétrico (ponga especial atención en el uso de condensadores de desacoplo como se describe en el apartado 4.4).

4.1.1 Filtro paso bajo y adaptación al reproductor de sonido o al generador de funciones:

Este módulo es el que interconectará la fuente de sonido externa con nuestro circuito. Durante las pruebas se conectará el generador de funciones del laboratorio directamente a la entrada del filtro paso bajo empleado una **onda senoidal de 1Vpp de amplitud sin continua**. Una vez terminadas las pruebas se sustituirá por el reproductor externo, conectando su salida de auriculares a la entrada de nuestro circuito y colocando una resistencia de 10 Ω a masa para simular la carga del auricular (ver Figura 4). En este último caso, cuando utilice el reproductor externo, limite la amplitud de la señal de entrada mediante su mando de volumen para que la señal no supere nunca **1 Vpp** de amplitud.

Monte la etapa de entrada de forma que sea sencillo intercambiar el generador por el reproductor externo ya que en la evaluación se le pedirá que emplee ambas entradas

El filtro paso bajo (Figura 4) deberá diseñarse para que tenga una frecuencia de corte de **2,5 KHz**.

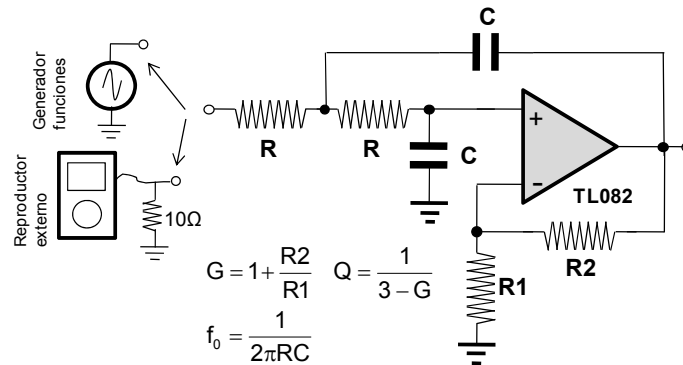


Figura 4 Filtro paso bajo de Sallen Key y adaptación a la señal de entrada

Este filtro se construirá según un esquema Sallen-Key, que conforma un filtro paso bajo de orden 2 cuya ganancia, factor de calidad y frecuencia de corte pueden ser diseñadas en función de los componentes del mismo.

Para su diseño deberá tener en cuenta que la frecuencia de corte (frecuencia donde la ganancia del filtro cae 3 dB) coincide con el valor f_0 solamente en el caso en que $Q = 1/\sqrt{2}$. La secuencia de diseño deberá ser entonces la siguiente:

1. Calcule la ganancia que hace que el filtro tenga $Q = 1/\sqrt{2}$
2. A continuación elija unos valores para R1 y R2 que permitan conseguir dicha ganancia.
3. Por último, escoja valores para R y C que sitúen la f_0 en el valor de frecuencia de corte que necesite.

Este filtro **deberá ser convenientemente caracterizado en la memoria** tal y como se describe en el apartado 4.3.2

4.1.2 Generador de reloj:

Un generador de reloj es un oscilador de onda rectangular. Para construirlo se empleará un circuito integrado temporizador del tipo **NE555** cuyas especificaciones y criterios de diseño se detallan en el anexo I de esta memoria. El NE555 debe ser configurado en modo multivibrador astable para que genere una señal rectangular de **50 KHz y ciclo de trabajo (DC) entre el 60% y el 70%**. La señal generada por éste, se pasará por un circuito inversor de tipo *Schmitt trigger* **74HC14** para que los flancos aparezcan claramente definidos y funcionen correctamente los circuitos secuenciales conectados a él. (ver Figura 5).

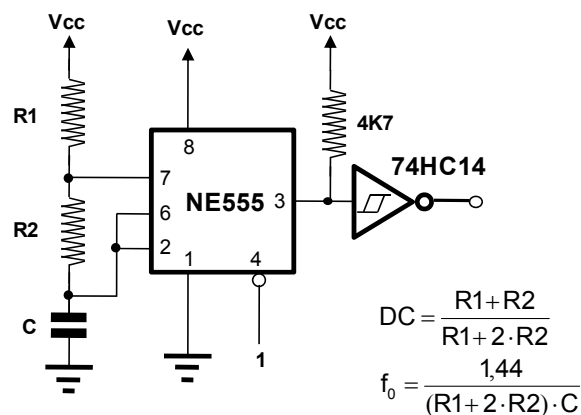


Figura 5 Generador de reloj

4.1.3 Convertidor A/D (Codificador delta):

El codificador delta es un circuito que permite realizar la conversión de una señal analógica en una señal digital mediante un esquema como el que se presenta de forma simplificada en la Figura 6.

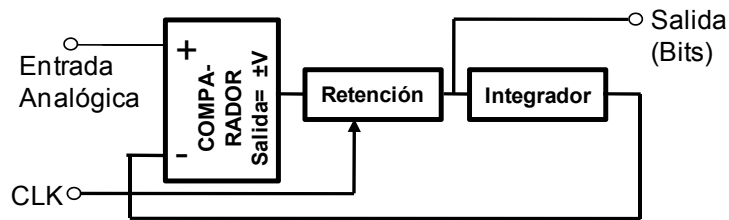


Figura 6 Esquema general simplificado del codificador delta

Se trata por tanto de un sistema realimentado que permite obtener una cadena de bits como representación de una señal analógica de entrada. Estos bits tienen una duración temporal controlada por una señal de reloj externa (CLK). Está formado por tres módulos:

- Un comparador analógico que compara el valor de las dos tensiones en sus patillas de entrada ($V+$ y $V-$) y genera una salida positiva ($+V$) si $V+ > V-$ o negativa ($-V$) si $V- > V+$.
- Un circuito de retención que muestrea la señal analógica a su entrada con cada flanco del reloj manteniendo su salida estable durante el resto del tiempo.
- Un integrador analógico.

Suponiendo que la salida del integrador es 0 V cuando se conecta la alimentación, el comparador entregará un valor $+V$ o $-V$ a su salida dependiendo del valor de la entrada analógica. Este valor será estable a la salida del circuito de retención durante el tiempo equivalente a un ciclo del reloj. En este tiempo, el integrador estará integrando la señal ($+V$ o $-V$), que por tratarse de una señal constante, dará lugar a una rampa lineal a su salida cuya pendiente dependerá de los valores de los componentes empleados. Esta señal se realimenta hacia el comparador de nuevo donde se repite el proceso. De este modo se genera una señal de bits a la salida del circuito de retención con un periodo equivalente al del reloj CLK. La Figura 7 representa de forma gráfica el citado funcionamiento.

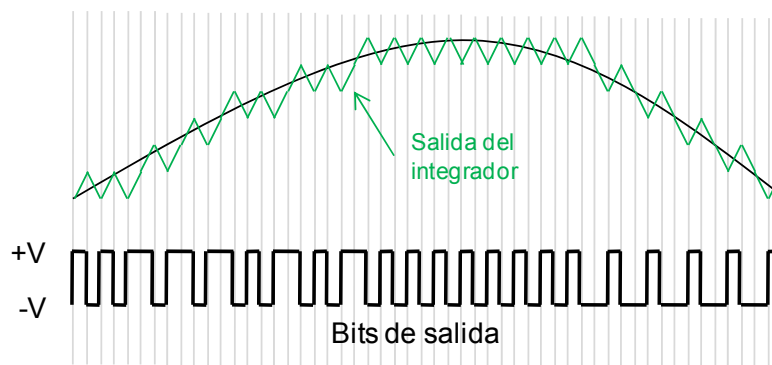


Figura 7 Funcionamiento del modulador delta. La señal en negro representa la señal analógica de entrada, la señal en verde es la salida del integrador y debajo se representan los bits de salida. Cada línea vertical se corresponde con un ciclo del reloj.

Como se puede observar, la señal a la salida del integrador tiende a seguir a la señal analógica de entrada generando una secuencia de bits en el proceso.

No obstante, la secuencia de bits generada por este circuito es bipolar ($\pm V$) siendo poco práctica para su posterior tratamiento por parte de circuitos digitales CMOS alimentados en forma asimétrica entre 0 y 5 V. Por tanto, en esta práctica se utilizará un esquema un poco más complicado que dará lugar a una secuencia digital con valores CMOS estándar y que permitirá emplear un flip flop como elemento de retención. Dicho esquema se muestra a continuación en la Figura 8.

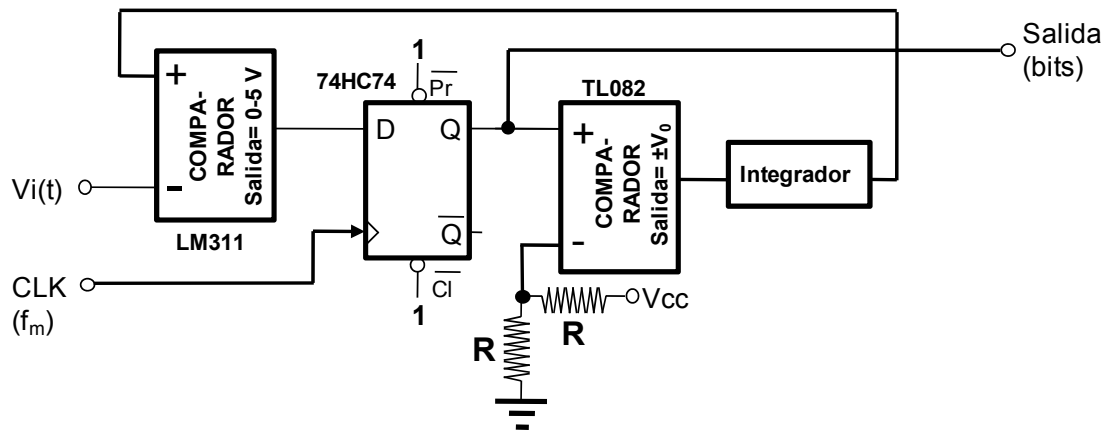


Figura 8 Esquema detallado del codificador delta que se empleará en esta práctica

Este codificador está compuesto por los siguientes elementos:

- Comparador analógico LM311: Se trata de un circuito integrado que realiza la función de comparación y entrega a su salida un valor compatible con la tecnología CMOS (0-5 V).
- Flip flop tipo D 74HC74: Se empleará este flip flop como elemento de retención del valor del comparador. Mediante la señal de reloj CLK (la cual indica la frecuencia de muestreo) se muestrearán la salida del comparador periódicamente.
- Comparador realizado con un operacional TL082: Este comparador permite convertir la señal compatible CMOS (0-5 V) en una señal bipolar de $\pm V_0$. Se montará el operacional en ciclo abierto con una referencia a 2,5 V en la patilla inversora.
- Integrador: se realizará con un operacional TL082. Los valores de los componentes deberán ser diseñados en función de los criterios descritos en el apartado 4.1.4 de esta memoria.

4.1.3.1 Comparador analógico (LM311):

Este circuito actúa como un operacional en bucle abierto (Figura 9). Es decir, cuando la tensión en V_+ supera a la tensión en V_- entrega $+V_{cc}$ a la salida. Cuando sucede lo contrario entrega 0V. **Es imprescindible colocar una resistencia de pull up de 1 K entre V_{cc} y la salida del LM311 para que funcione correctamente.**

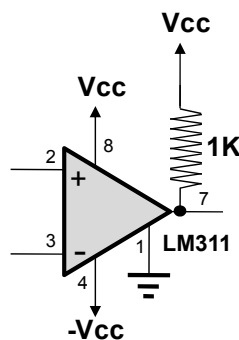


Figura 9 Circuito comparador basado en el LM311

4.1.3.2 Flip flop tipo D:

Se trata de un circuito integrado de tipo CMOS (**74HC74**) que permite muestrear la señal de salida del comparador en función de los flancos de la señal del reloj. La única precaución que debe tenerse es desactivar sus entradas Preset (Pr) y Clear (Cl) colocando el valor lógico adecuado.

4.1.3.3 Comparador basado en el operacional TL082:

En este caso (Figura 10), se trata de un operacional en bucle abierto que permite convertir la señal digital unipolar (0-5V) en una señal bipolar ($\pm V_0$) para ser empleada como entrada en el integrador. Básicamente, compara la entrada V_+ con una referencia que debe situarse en el valor medio de los valores lógicos digitales. A su salida entregará los límites de saturación positivo y negativo del TL082 en función de si la señal de entrada supera o no dicha referencia.

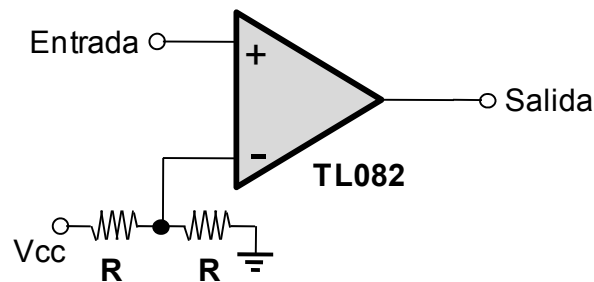


Figura 10 Comparador basado en un TL082 para convertir la señal CMOS en una señal bipolar

NOTA: Debido a los circuitos de limitación de la corriente de salida presentes en el interior del TL082, su salida no llegará a $\pm 5\text{ V}$, sino que se quedará en valores más bajos ($\pm V_0$). Esto no es un problema importante, pero debe ser tenido en cuenta en el diseño del integrador (véase apartado 4.1.4).

4.1.3.4 Integrador:

El integrador está formado por un operacional y dos componentes pasivos según se indica en la Figura 11. La salida de este circuito proporciona la integral de la señal que se introduce a la entrada. El valor V_{ini} que se muestra en dicha figura se corresponde con el valor inicial en la salida antes de comenzar la integración de la señal de entrada. El valor T es el periodo de la señal de reloj. Para más referencias sobre el funcionamiento de este circuito se recomienda consultar la referencia [4] o [5].

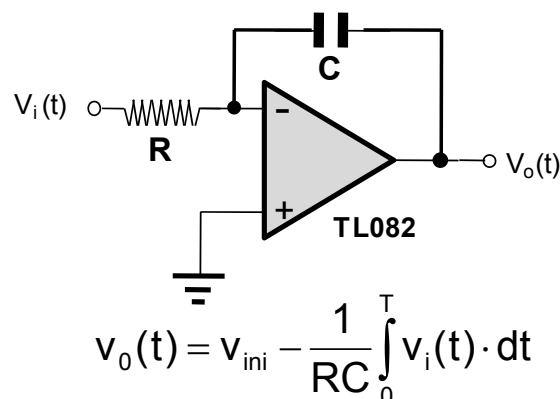


Figura 11 Circuito integrador basado en un operacional

NOTA: Dado el cambio de signo introducido por el integrador, observe que la realimentación se produce a través de la patilla + del comparador LM311. Además, como consecuencia de dicho cambio de signo, los bits a la salida del flip flop tendrán lógica negativa (1 para pendiente negativa y 0 para pendiente positiva).

4.1.4 Diseño del codificador delta:

El codificador delta deberá ser capaz de muestrear correctamente la señal de entrada limitada en banda a 2,5 KHz mediante el filtro inicial. Para ello se utilizará el reloj de 50 KHz que fijará la longitud temporal de los bits.

Dado que el codificador funciona integrando señales continuas de periodo conocido (cada bit es una señal rectangular de amplitud V_0 y duración T), la pendiente máxima que será capaz de reproducir vendrá dada por la pendiente máxima a la salida del integrador. Por lo tanto, las señales cuya pendiente sea mayor que este límite no podrán ser seguidas por el codificador delta, dando lugar a lo que se conoce como “sobrecarga de pendiente”. En la Figura 12 se puede observar este efecto: las dos primeras señales son seguidas por el codificador, a partir de la tercera señal empieza a observarse el efecto de sobrecarga de pendiente, siendo claramente visible en la cuarta. El valor indicado como ΔV es el incremento de tensión que se produce en cada intervalo de tiempo marcado por el reloj.

Por todo ello, es muy importante elegir adecuadamente la pendiente del integrador para poder reproducir adecuadamente señales con ancho de banda de 2,5 KHz.

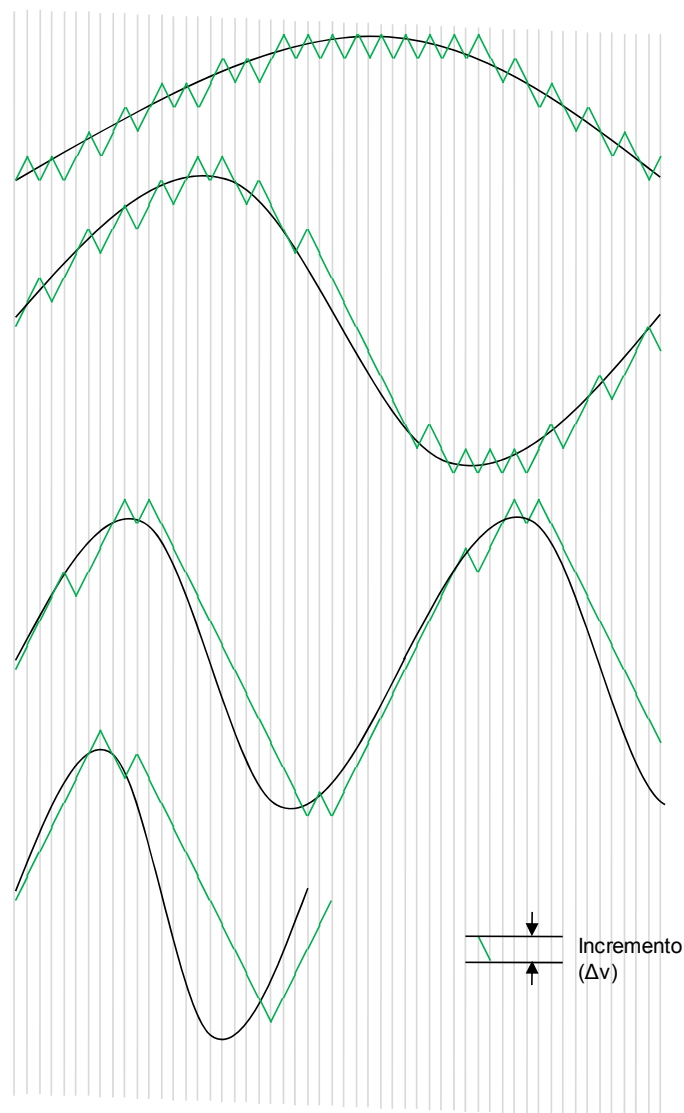


Figura 12 Respuesta del codificador delta a diferentes señales de entrada. En negro se representa la señal de entrada y en verde la salida del integrador. Se puede observar que cuando la pendiente de la señal de entrada es muy elevada el codificador no es capaz de seguirla (“sobrecarga de pendiente”). El valor ΔV es el escalón de tensión que genera el integrador. Cada línea vertical se corresponde con un periodo del reloj de 50 KHz.

4.1.4.1 Parámetros de diseño

El principal parámetro de diseño del convertidor delta es el valor de la pendiente máxima del integrador. Para calcularlo deben tenerse en cuenta las siguientes consideraciones:

Si modelamos la señal de entrada al codificador delta $v_i(t)$ como una senoidal pura de amplitud V_{max} y pulsación w , tenemos que dicha señal responde a la ecuación:

$$v_i(t) = V_{max} \cdot \text{sen } wt$$

Por tanto, la máxima pendiente de esta señal será:

$$\left| \frac{dv_i(t)}{dt} \right|_{m\acute{a}x} = V_{max} \cdot w$$

El escalón de tensión que produce el integrador en un intervalo T es ΔV , por lo tanto, la pendiente de salida del integrador será:

$$\frac{\Delta V}{T}$$

En el límite, dichas pendientes deben ser al menos iguales, por tanto:

$$\Delta V = V_{max} \cdot w \cdot T$$

Donde V_{max} es la amplitud máxima de la señal de entrada v_i , w es la pulsación máxima de la señal de entrada y T es el inverso de la frecuencia de muestreo (frecuencia del reloj).

Para generar los escalones de valor ΔV , debe prestarse atención a los valores reales de salida del operacional TL082 en circuito abierto (deberán medirse). Estos valores no llegarán a ± 5 V, sino que se quedarán en un valor de tensión más bajo al que llamaremos V_0 . Dado que el integrador realizará la integración de señales de valor constante durante un periodo T , la salida estará formada por rampas de pendiente positiva o negativa, cuya amplitud se muestra a continuación en la Figura 13

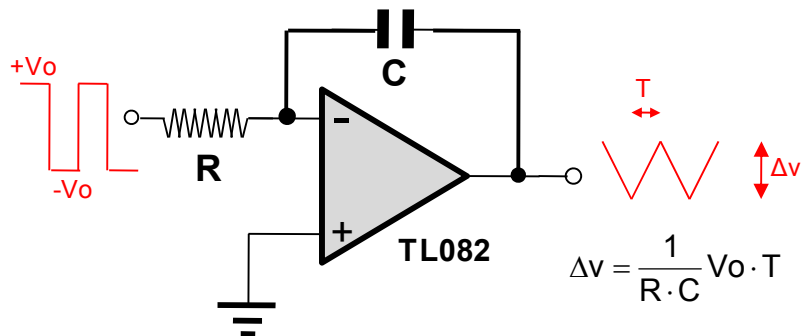


Figura 13 Integrador en cuya entrada se suministran los pulsos generados por el operacional en bucle abierto. Los valores máximos de tensión a su entrada son $\pm V_0$. A la salida se obtienen rampas de duración T y amplitud ΔV según la expresión que se indica.

Por tanto, teniendo en cuenta todo lo anterior, es posible escoger unos valores para R y C de tal manera que ΔV se corresponda con el valor calculado.

NOTA: Tenga en cuenta que el valor de la tensión máxima de entrada V_{max} es el obtenido a la salida del filtro paso bajo, y no el que se selecciona en el generador de funciones ($1 V_{pp}$), ya que dicho filtro posee ganancia. Deberá medir este valor en la banda de paso del filtro.

4.1.5 Registro de desplazamiento circular:

Este circuito nos permitirá generar la secuencia (clave) con la que se cifrarán los bits antes de su transmisión a través de la línea. Se realizará con un registro de desplazamiento paralelo

serie del tipo **74HC165**, donde el valor inicial se suministrará a través de unos microinterruptores y se mantendrá siempre en modo circular para que la secuencia inicial se repita indefinidamente. Además de los microinterruptores, se colocará un pulsador que permita cargar el valor inicial en el registro de desplazamiento (señal SYN). Esta señal será transmitida también al receptor para poder realizar fácilmente la sincronización del sistema. La Figura 14 muestra la forma en que debe conectarse el citado integrado

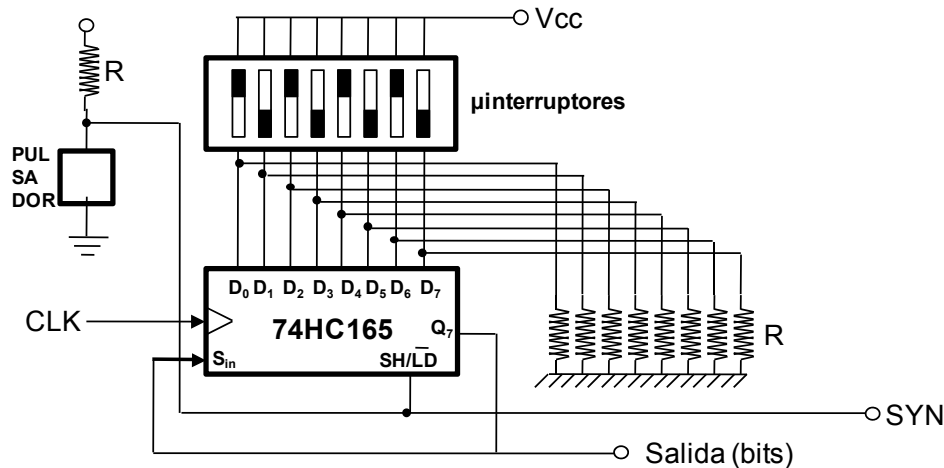


Figura 14 Esquema del registro de desplazamiento circular con el pulsador de carga del valor inicial y los microinterruptores.

4.1.6 Señal cifrada:

La señal cifrada se obtendrá mediante la función lógica XOR (integrado **74HC86**) entre los bits generados por el codificador delta y la secuencia a la salida del registro de desplazamiento circular. La utilización de esta función lógica es muy conveniente, pues para descifrar los datos en el receptor basta con realizar otra vez la misma operación. En efecto, se cumple que:

$$\text{Si } A \oplus B = C, \text{ entonces } C \oplus B = A$$

Siendo A la señal del codificador delta, B la clave del registro de desplazamiento y C la secuencia cifrada que transmitiremos. Como puede verse, utilizando la misma clave B en ambos casos, se puede cifrar y descifrar empleando solamente una puerta XOR (véase Figura 15).

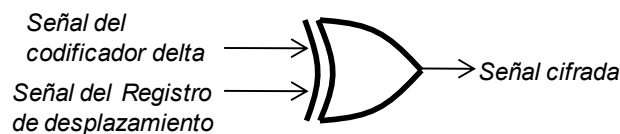


Figura 15 Cifrado de la señal de bits con la secuencia del registro de desplazamiento.

4.1.7 Modulador ASK:

El modulador ASK tiene el propósito de trasladar la banda base de la señal original (señal cifrada), a una frecuencia más alta para su transmisión a través de un canal como puede ser un cable, radio, fibra óptica, etc.

En este caso, al tratarse de modulación ASK, se modifica la amplitud de la portadora en función de la secuencia de bits transmitida. La portadora empleada tendrá una frecuencia de **200 KHz**.

Este modulador consta de dos partes: un oscilador que genera la onda portadora sinusoidal y un multiplexor analógico que modula su amplitud en función de la secuencia de bits a transmitir.

4.1.7.1 Oscilador:

Para realizar el oscilador se utilizará una configuración en puente de Wien con control de amplitud (ver Figura 16). Las características y el diseño de este oscilador pueden consultarse en las referencias [3],[4],[5] y [6]. **Deberá diseñarse para que genere una portadora sinusoidal de 200 KHz de frecuencia y una amplitud de 1 Vpp.**

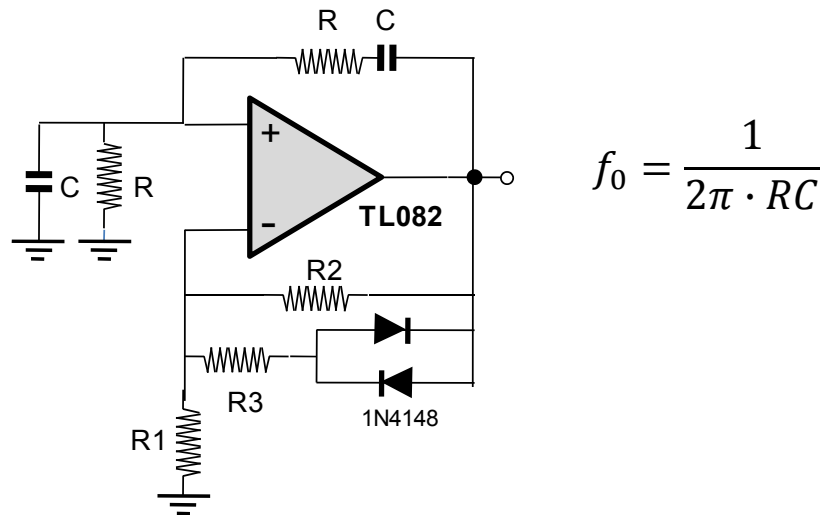


Figura 16 Esquema de un oscilador en puente de Wien con control de amplitud

4.1.7.2 Modulador basado en un multiplexor analógico:

El multiplexor analógico permite seleccionar una señal analógica de entre varias en función de una señal de control. En este caso emplearemos el **74HC4052** que contiene dos multiplexores reversibles de 4 entradas de datos. Deberán utilizarse las señales del oscilador y de datos cifrados para obtener la modulación ASK a la salida del multiplexor. En la Figura 17 se muestra un posible esquema de montaje de dicho componente junto con las formas de onda que deberían observarse en el osciloscopio en cada punto. La señal de salida de este circuito es la señal **DAT** que deberá transmitirse al receptor junto con las señales **SYN** y **CLK** que se describen anteriormente.

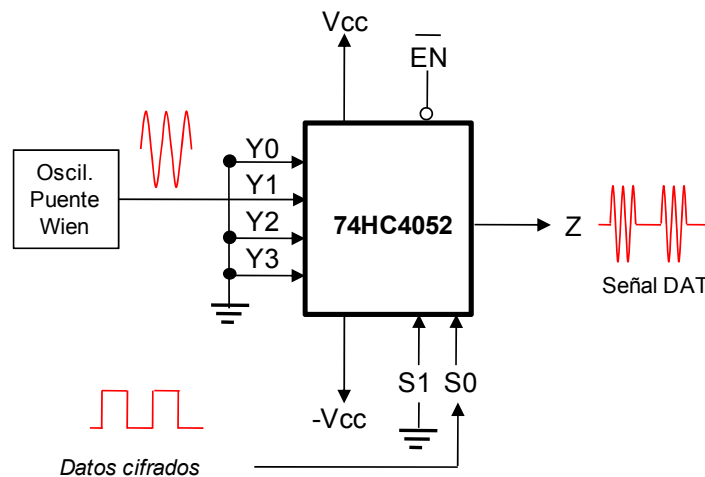


Figura 17 Esquema de un posible montaje para el modulador ASK utilizando un multiplexor analógico. Se muestran también las formas de onda en cada punto.

4.2 EL RECEPTOR

Antes de comenzar a describir las partes que componen este sistema queremos aclarar una serie de cuestiones **fundamentales** para el correcto desarrollo de la práctica:

1. El receptor deberá construirse en una placa separada de la del emisor. Como criterio general, el diseño debería caber en una placa de inserción grande.
2. Este circuito recibirá alimentación mediante la fuente del laboratorio a +5 y -5 V en modo simétrico (ponga especial atención en el uso de condensadores de desacoplo como se describe en el apartado 4.4).

4.2.1 Recuperación de la señal recibida desde el emisor:

El demodulador ASK se encarga de extraer la señal de datos en banda base a partir de la portadora modulada que llega desde el emisor (señal DAT). Dicha señal está compuesta por ráfagas de señal sinusoidal con 200 KHz de frecuencia cuando se transmiten valores digitales "1", e intervalos de tensión 0 cuando se transmiten valores digitales "0".

4.2.1.1 Teoría de la demodulación de señales ASK:

En la Figura 18 y la Figura 19 se representa una secuencia binaria de 8 bits (01010010) antes y después de la modulación ASK. Se representa también su espectro en frecuencia en ambos casos.

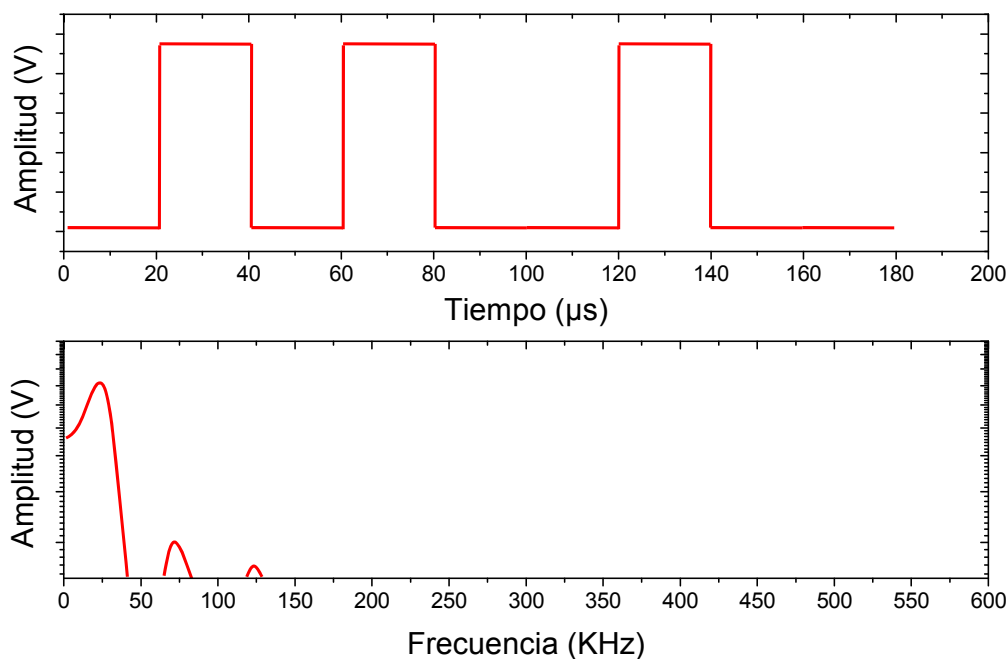


Figura 18 Secuencia temporal de bits 01010010 y su espectro en frecuencia

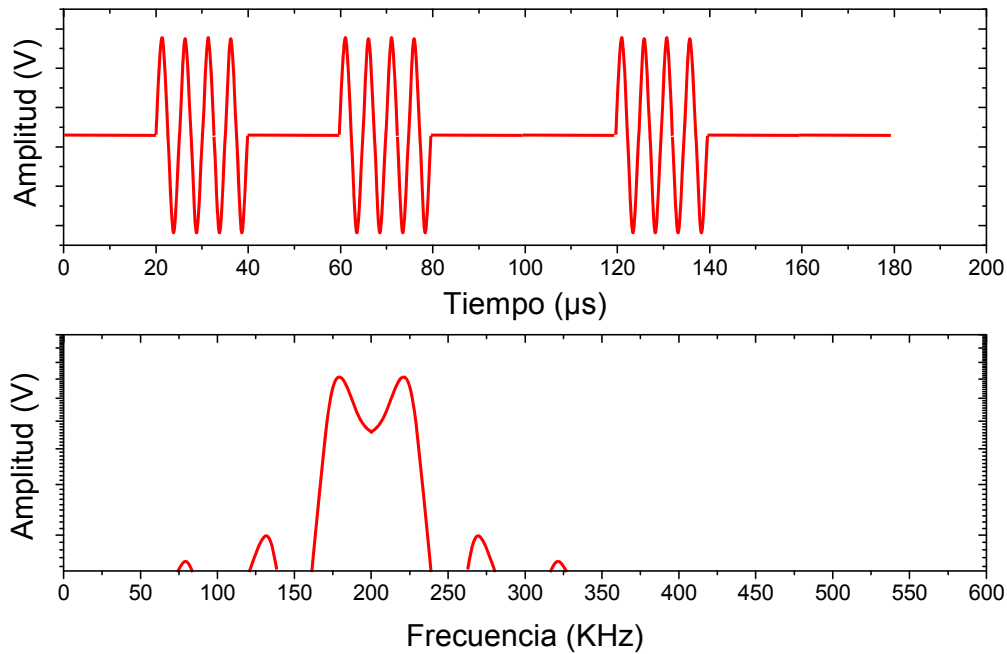


Figura 19 Secuencia de bits de la figura anterior tras la modulación ASK. El espectro en banda base se encuentra ahora desplazado, centrado en la frecuencia de la portadora.

Se puede observar que la secuencia de bits, posee un espectro paso bajo con componentes periódicas. A partir de los 125 KHz aproximadamente las componentes tienen intensidad muy baja respecto a la fundamental y pueden considerarse despreciables. Tras la modulación ASK, dicho espectro se desplaza quedando centrado en la frecuencia de la portadora (200 KHz).

Para recuperar la señal original, es necesario devolver el espectro a la banda base, de tal modo que puedan recuperarse los bits. Para ello se empleará un rectificador de onda completa, el cual producirá a su salida una señal como la que se muestra en la Figura 20.

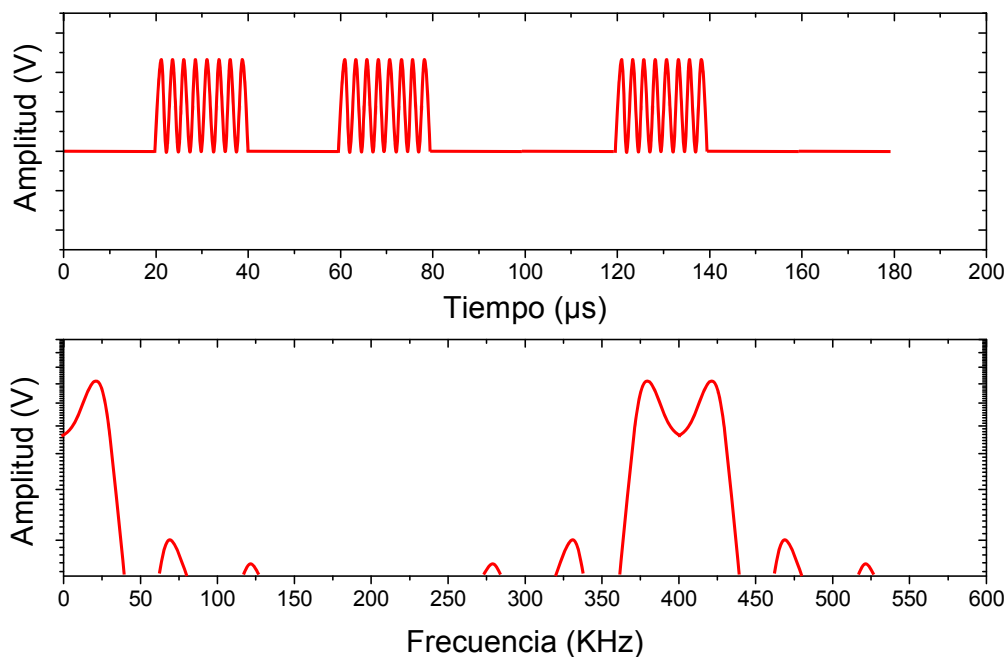


Figura 20 Forma de onda obtenida tras la rectificación de onda completa y espectro en frecuencia correspondiente.

Esta señal ya posee componentes en banda de base correspondientes a los bits, además de armónicos correspondientes al doble de la frecuencia de modulación. Para recuperar dichos bits es necesario atenuar todas las componentes de alta frecuencia, quedándose exclusivamente con la parte paso bajo del espectro. Esto se realiza mediante un filtro paso bajo que atenúe las componentes por encima del ancho de banda original de la señal banda base (tal como se muestra en la Figura 18). No obstante, no será posible eliminar completamente todas las componentes de frecuencia superior a la de corte, por lo que la señal recuperada tendrá flancos exponenciales y un rizado adicional. En concreto, utilizando un filtro RC se obtienen las señales que se muestran a continuación en la Figura 21.

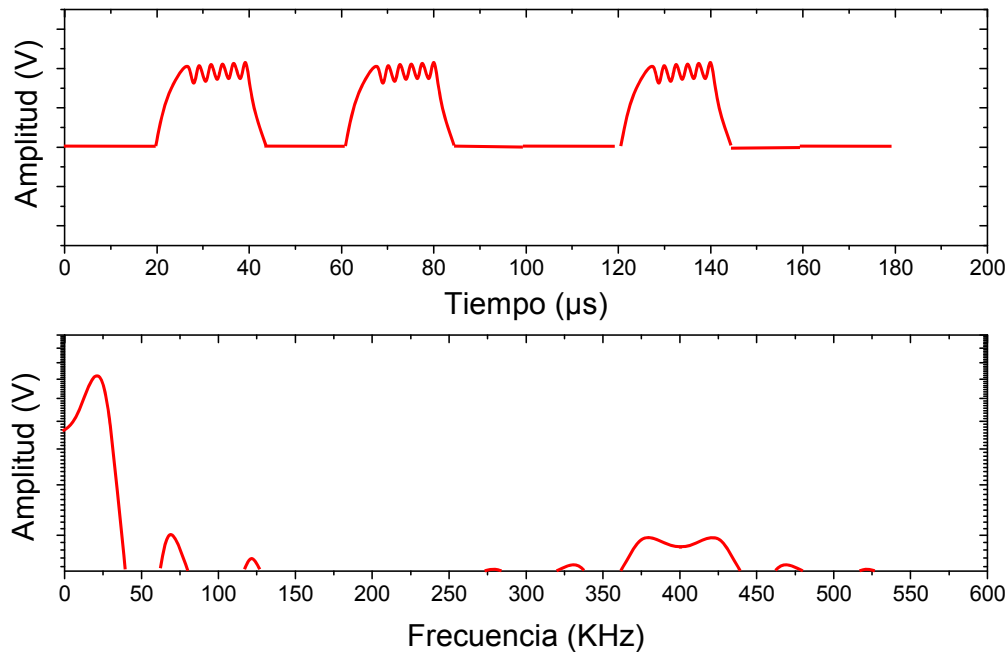


Figura 21 Forma de onda de la señal tras el filtro paso bajo y espectro en frecuencia correspondiente.

4.2.1.2 Demodulación de la señal recibida:

El procesado descrito en el apartado anterior se conoce como demodulación ASK. En nuestro caso, tal como se ha detallado, vamos a construir un demodulador de amplitud muy sencillo basado en un rectificador de onda completa, un filtro paso bajo, y un comparador (ver Figura 22).

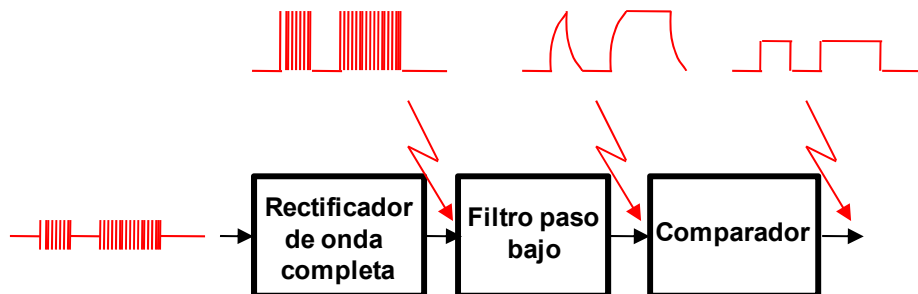


Figura 22 Esquema del demodulador ASK empleado en esta práctica. Se muestran también las formas de onda que deberían observarse a la salida de los diferentes módulos.

4.2.1.3 Rectificador de onda completa:

El elemento necesario para recuperar la señal es un rectificador. Este circuito, cuyo esquema se muestra en la Figura 23, está construido a partir de dos amplificadores (uno inversor y otro no inversor) y dos diodos. Los amplificadores aumentan el nivel de la señal de entrada produciendo dos formas de onda a sus salidas desfasadas 180°. Los diodos suprimen los semiciclos negativos en cada caso de tal manera que a la salida se obtiene la onda completa rectificada. Por tanto, la condición de diseño para estos amplificadores será que **su ganancia sea la misma**, de tal modo que la onda rectificada no quede deformada. A su vez, dado que la tensión de conducción de los diodos es de 0,6 V aproximadamente, será necesario que el nivel de tensión de la señal a la salida de los amplificadores sea suficientemente grande para no distorsionar la forma de onda tras los diodos. Para asegurar el correcto funcionamiento, se establece como condición que **el nivel de tensión a la salida de ambos amplificadores sea de 6Vpp.**

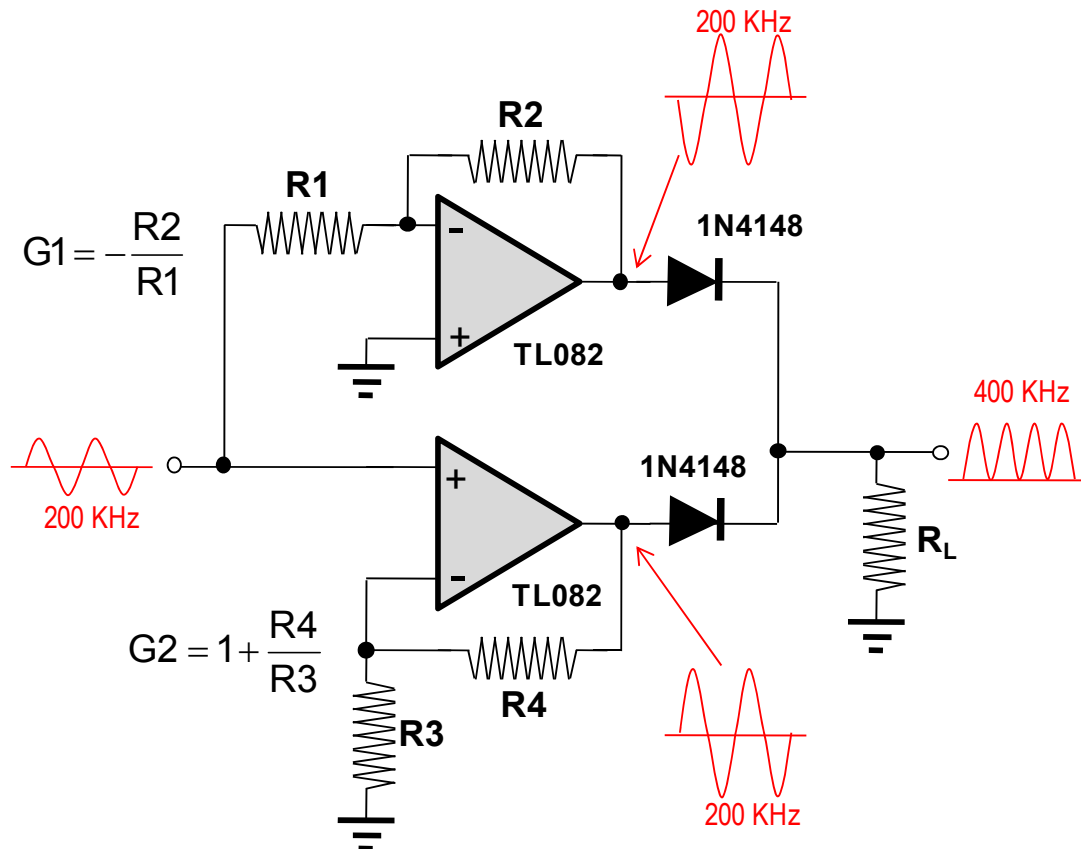


Figura 23 Rectificador de onda completa que utiliza dos amplificadores en contrafase y dos diodos.

Es importante recordar que el producto ganancia x ancho de banda del TL082 es de 4 MHz. Teniendo en cuenta que la frecuencia de la portadora es de 200 KHz, la máxima ganancia que puede esperar obtener estará determinada por este parámetro. Diseñe por tanto las resistencias adecuadamente.

4.2.1.4 Consideraciones acerca de las medidas sobre el rectificador:

El rectificador que se muestra en la Figura 23 posee una resistencia de carga a su salida indicada como R_L . Dicha resistencia cierra el bucle de corriente de los diodos y es fundamental para el funcionamiento del circuito. Para medir la salida del rectificador o de cualquiera de sus etapas por separado, deberá colocar dicha resistencia de carga (un valor de 1 K Ω es suficiente). La Figura 24 muestra la forma correcta de medir cada una de las etapas por separado.

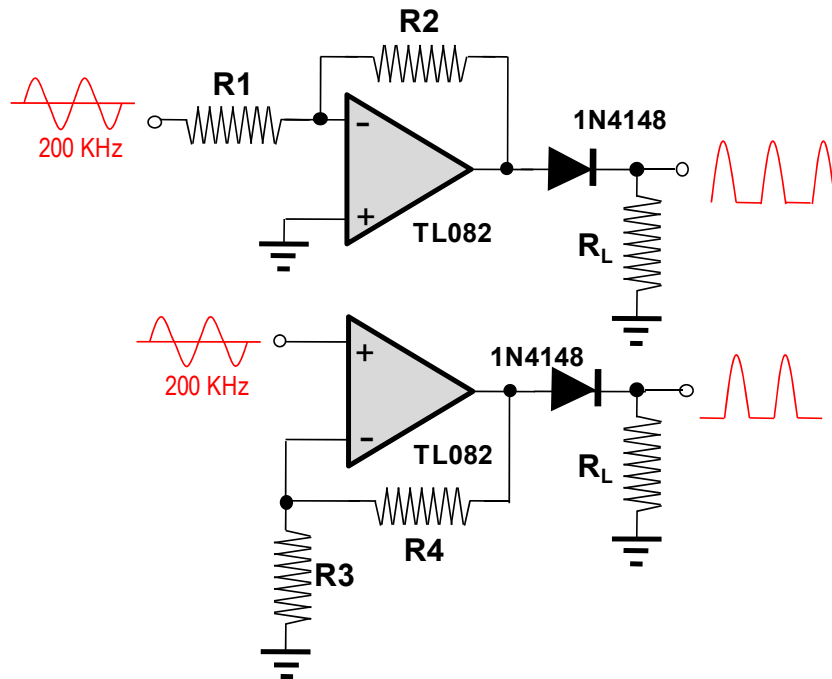


Figura 24 Modo en que deben medirse cada una de las etapas del rectificador. Siempre debe utilizarse la resistencia de carga aunque se midan por separado.

4.2.1.5 Filtro paso bajo:

El filtro paso bajo se construirá según un esquema RC de un solo polo. La frecuencia de corte deberá elegirse adecuadamente para extraer la banda base, atenuando lo más posible las componentes debidas a la portadora. La Figura 25 muestra el diagrama eléctrico, así como la ecuación de diseño para este filtro. Cuando monte este filtro, no elimine la resistencia R_L . Seleccione además un valor para R por lo menos 10 veces superior a R_L para que esta última no afecte demasiado a la frecuencia de corte calculada para el filtro.

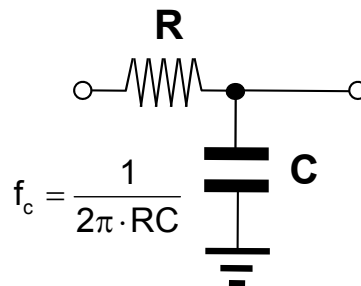


Figura 25 Filtro paso bajo RC de un polo.

Considere además, que la frecuencia de corte de este filtro deberá ser diseñada adecuadamente. Valores muy altos de dicha frecuencia harán que el rizado sea muy grande, mientras que valores muy bajos harán que las caídas exponenciales sean tan largas en el tiempo que no pueda distinguirse un bit de otro. En la Figura 26 se muestran dos ejemplos extremos con frecuencias de corte muy alta y muy baja respectivamente. El valor correcto es el que permite obtener una señal como la de la Figura 21.

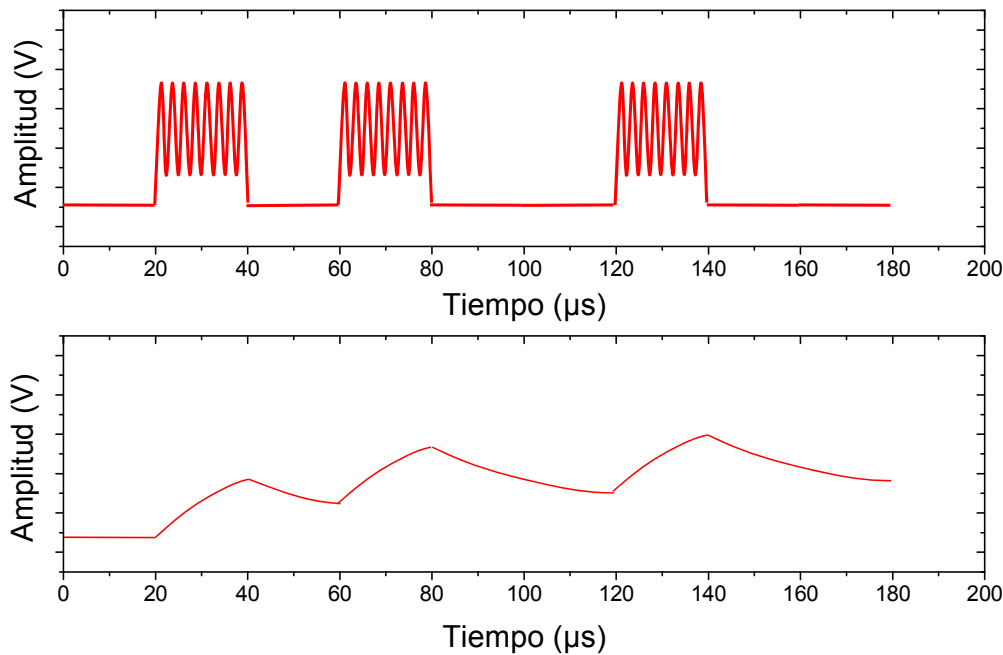


Figura 26 Señales obtenidas con frecuencias de corte incorrectas del filtro. En la gráfica superior la frecuencia es demasiado alta. En la inferior es demasiado baja.

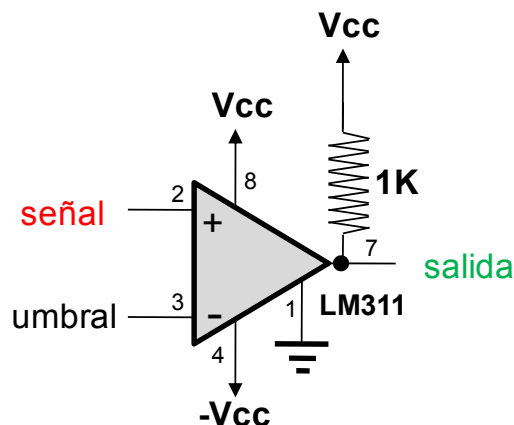
4.2.1.6 Comparador:

El comparador nos permite obtener una señal digital a partir de la señal obtenida tras el filtro paso bajo. Es la etapa que separa físicamente la parte analógica de la digital.

Generalmente la señal que se obtiene tras el filtro no tiene amplitud suficiente para ser utilizada en un circuito digital. Además, los flancos exponenciales no son apropiados para la aplicación que se propone en esta práctica. Es necesario convertir estos bits en una señal digital cuadrada.

Para ello vamos a utilizar un comparador del tipo LM311 (vea Figura 27). Como ya se ha dicho anteriormente, este circuito actúa como un operacional en bucle abierto. Es decir, cuando la tensión en $V+$ supera a la tensión en $V-$ entrega $+V_{cc}$ a la salida. Cuando sucede lo contrario entrega 0V. **Se recuerda que es imprescindible colocar una resistencia de pull up de 1K entre V_{cc} y la salida del LM311 para que funcione correctamente.**

Se seleccionará una tensión umbral como la que se ve dibujada en el centro de la gráfica de la Figura 27. El comparador convertirá entonces la señal con flancos exponenciales en una señal digital idéntica a la original transmitida por el emisor (cuadrada en la figura). La tensión umbral **debe obtenerla con un potenciómetro** conectado entre V_{cc} y masa.



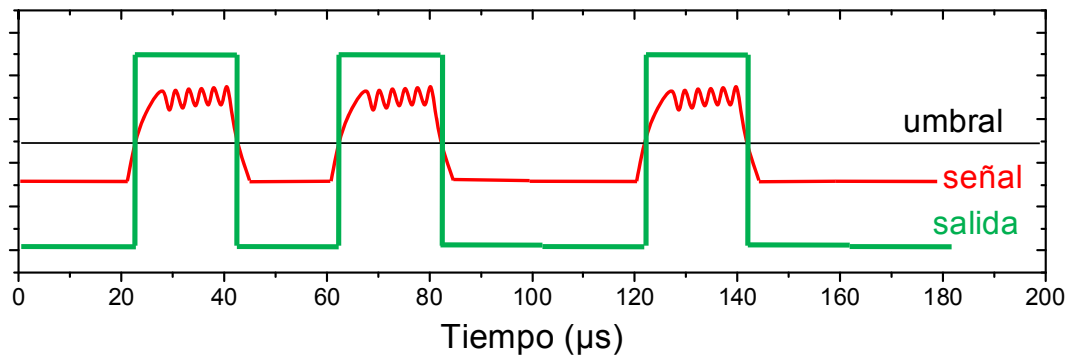


Figura 27 Circuito comparador LM311 (página anterior) y esquema del proceso de comparación.

4.2.2 Registro de desplazamiento circular

Este circuito es idéntico al descrito para el emisor en el apartado 4.1.5 salvo por la excepción que la señal de reloj (CLK) y la señal de carga de los datos (SYN), proceden del propio emisor. No es necesario por tanto colocar un pulsador, aunque sí serán necesarios los microinterruptores para poder seleccionar el código.

4.2.3 Descifrado de la señal mediante puerta XOR

Este circuito es idéntico al descrito para el emisor en el apartado 4.1.6. En sus entradas se conectará la señal recuperada en el modulador ASK y la clave procedente del registro de desplazamiento del receptor.

4.2.4 Convertidor D/A (decodificador delta)

Una vez obtenidos los bits descifrados es necesario realizar la conversión digital-analógica para obtener la señal de audio original. Esto se realizará mediante un decodificador delta cuyo esquema se muestra a continuación en la Figura 28. Como puede verse en esta figura, el decodificador está formado por un biestable tipo D disparado con los flancos negativos del reloj, un comparador que genera una señal bipolar a partir de los bits recibidos, un integrador y un filtro paso bajo para la reconstrucción de la señal eliminando los tramos en forma de rampa que se obtienen a la salida del citado integrador.

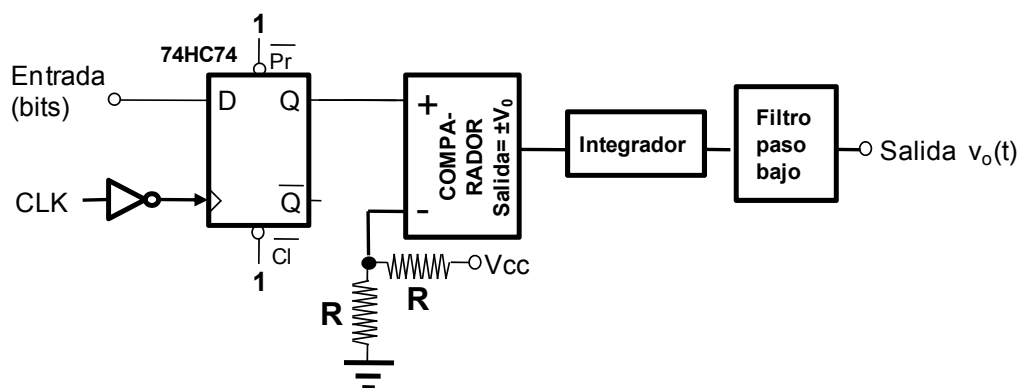


Figura 28 Esquema general del convertidor D/A (decodificador delta).

4.2.4.1 Biestable tipo D

Este elemento se ocupa de muestrear la señal digital descifrada en los instantes de tiempo donde se encuentra estable tras el proceso de demodulación. Generalmente, debido a las constantes de tiempo inducidas por los filtros, dicho proceso da lugar a retardos que hacen que la señal recuperada no sea sincrónica con el reloj. Esto implica la aparición de "glitches" tras el

proceso de descifrado que modifican la señal original. Capturando la señal a mitad del tiempo del bit, se asegura que dicha señal sea estable eliminando estos “glitches” tal como se puede ver en la Figura 29.

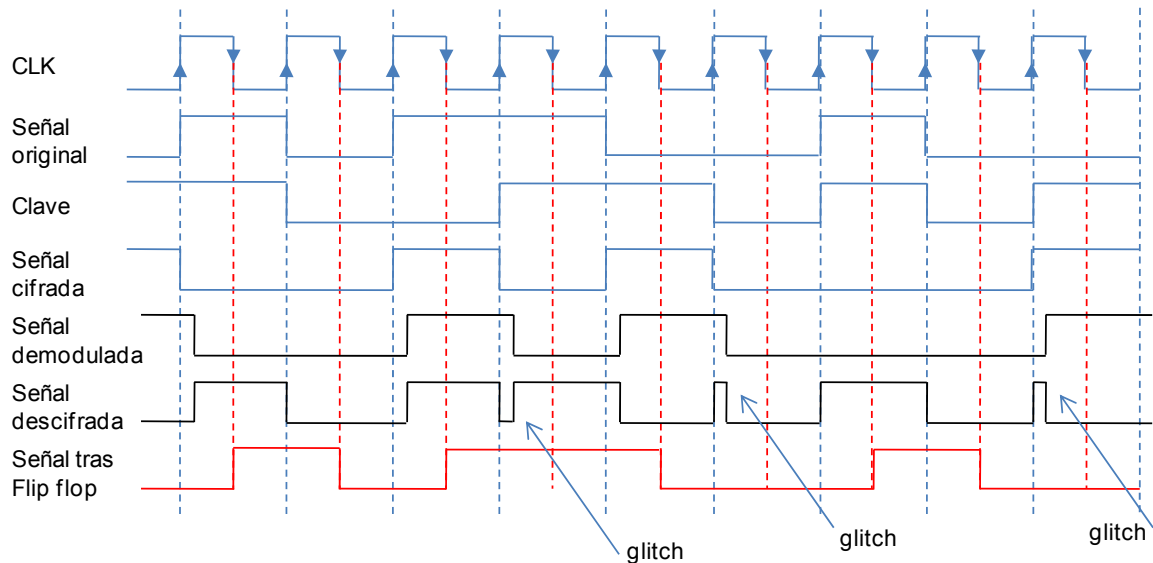


Figura 29 Cronograma de señales en diferentes puntos del circuito. Tras la recuperación de la señal original puede aparecer un retardo que da lugar a la existencia de “glitches”.

NOTA: Para invertir el reloj, puede utilizar alguna de las puertas XOR no utilizadas en el 74HC86 y de este modo ahorrar espacio y circuitos integrados.

4.2.4.2 Comparador

El comparador se emplea para obtener una señal bipolar a partir de los bits, y se realizará con un operacional TL082. Se diseñará teniendo en cuenta el mismo esquema y funcionamiento descrito en el apartado 4.1.3.3 de esta memoria.

4.2.4.3 Integrador

El integrador tiene el mismo esquema que el indicado en el apartado 4.1.3.4. Dado que las rampas de tensión que necesitamos en el convertidor D/A deben ser las mismas que las empleadas en el convertidor A/D, los valores de los componentes R y C del integrador deberían ser los mismos en ambos casos. No obstante, teniendo en cuenta la tendencia a la saturación que posee el integrador (véase la referencia [4] o [5]), será conveniente utilizar un potenciómetro en lugar de la resistencia R, ajustándolo para obtener una señal clara a la salida sin entrar en saturación en ningún caso (Figura 30).

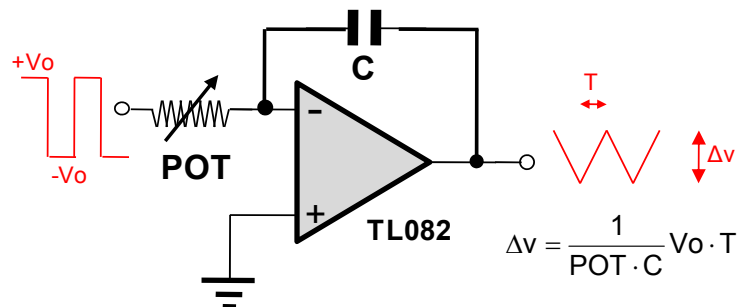


Figura 30 Integrador del decodificador delta. En este caso es conveniente sustituir la resistencia fija por un potenciómetro para evitar los posibles problemas de saturación

4.2.4.4 Filtro paso bajo

Este filtro tiene la función de extraer la señal analógica original eliminando los tramos en forma de rampa que aparecen a la salida del integrador. Se realizará mediante un esquema de Sallen-Key como el descrito en el apartado 4.1.1. Las condiciones de diseño serán las mismas, a saber $Q = 1/\sqrt{2}$ **y frecuencia de corte de 2,5 KHz.**

4.2.5 Amplificador de potencia

La señal entregada por el filtro no tiene la potencia suficiente para excitar un auricular, por lo que será necesario intercalar un amplificador de potencia de audio. En este caso utilizaremos el circuito integrado **LM386** que contiene un amplificador de potencia el cual puede ser alimentado con tensión asimétrica y puede proporcionar potencias de hasta 1 W.

Este circuito puede montarse según diversas configuraciones que ofrecen diferentes ganancias de tensión. A pesar de que nosotros utilizaremos la configuración que proporciona la menor ganancia (20), en algunos casos esta ganancia puede ser excesiva, llevando al amplificador a la saturación y distorsionando la señal que se escucha en los auriculares. Por lo tanto colocaremos un potenciómetro para regular el nivel de la señal de entrada y evitar de este modo la saturación. Dicho potenciómetro será el ajuste de volumen del sistema.

Otro problema que puede presentarse en este circuito es la saturación debida a la presencia de componente continua en la señal de entrada. Por tanto, será también necesario utilizar un filtro paso alto que elimine la continua, dejando pasar las componentes de audio desde 20 Hz a 2,5 KHz. **Este filtro también deberá ser caracterizado en la memoria final.**

El circuito final se muestra en la Figura 31. El condensador C junto con el potenciómetro conforman el filtro paso alto de entrada. **Se recuerda que no está permitido el uso de altavoces. Emplee siempre un auricular.**

Por otro lado, tenga en cuenta que cualquier señal que pueda acoplarse a través de las líneas de alimentación será amplificada por este circuito produciendo un ruido en el auricular. Por eso se recomienda utilizar para él una alimentación independiente directa desde las bornas de alimentación (lea el apartado 4.4).

En la semana 2 (apartado 8.2) se sugiere la posibilidad de conectar directamente la salida del filtro paso bajo del emisor (apartado 4.1.1) con la entrada de este amplificador de potencia. Esto puede ayudarle a juzgar la calidad de la señal que se escucha antes del montaje de la práctica completa.

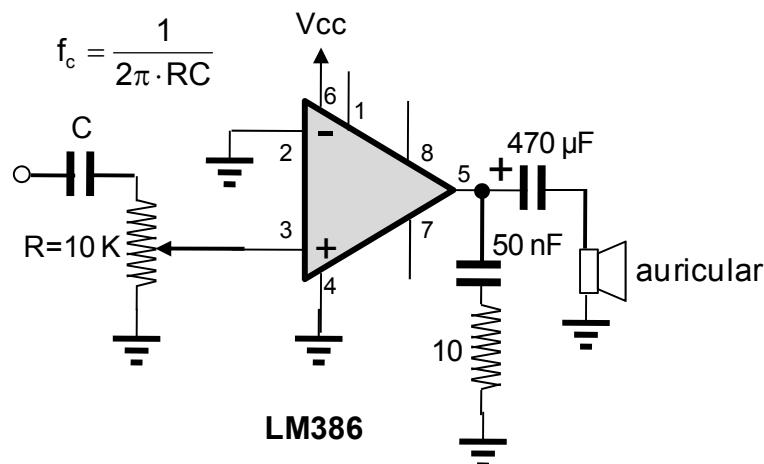


Figura 31 Amplificador de potencia basado en un LM386 en configuración de ganancia = 20.

4.3 MONTAJE DE LA PRÁCTICA Y MEDIDAS

4.3.1 Montaje del circuito por etapas:

La práctica está pensada para ser montada en dos fases. En la primera fase se montarán todas las etapas de ambos circuitos (emisor y receptor) a excepción del modulador ASK y el demodulador ASK, y se probarán de forma conjunta. Para ello deberán unirse físicamente emisor y receptor de la manera que se muestra en la Figura 32. En este caso la señal DAT contiene datos digitales (bits), en lugar de la señal modulada.

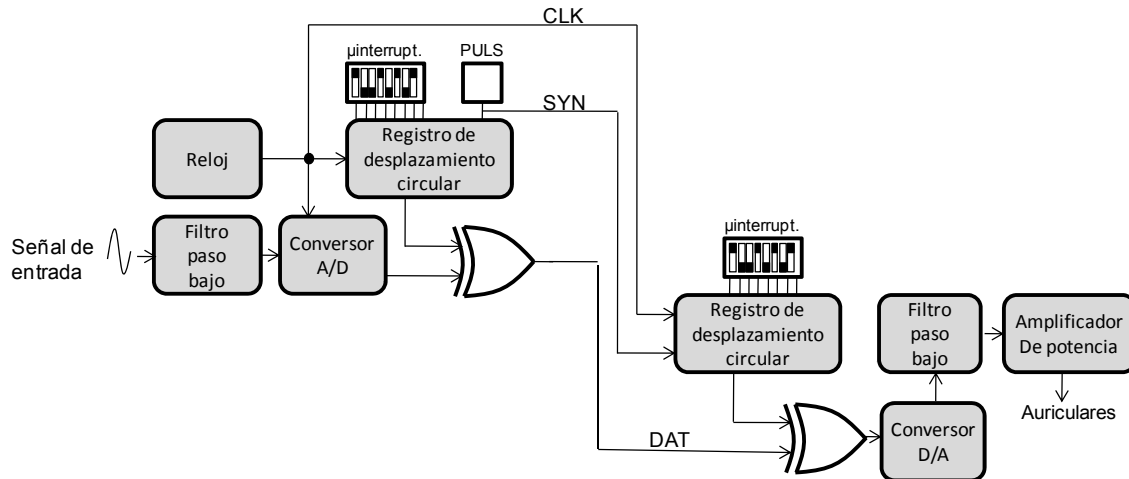


Figura 32 Conexión entre el emisor y el receptor sin la modulación ASK para probar su funcionamiento en una primera etapa.

Cuando se compruebe que este montaje funciona correctamente, entonces se montarán las etapas de modulación ASK quedando completada la práctica. De esta forma podrá ir probando el circuito por partes, asegurando el funcionamiento de la captura de bits antes de enfrentarse a la transmisión.

4.3.2 Medidas que deben realizarse sobre el circuito:

Deberá llevarse a cabo la caracterización detallada de los filtros paso bajo Sallen-Key y paso alto del amplificador de potencia, las cuales deberán figurar en la memoria final. Para realizar esta caracterización se necesitan dos sondas de osciloscopio además del cable coaxial terminado en pinzas que se suministra con el equipamiento del puesto. La sonda adicional deberá solicitarla a los instructores.

Cada uno de los filtros se mide de la siguiente forma:

Se mide la salida del generador de funciones en vacío (sin cargar con el filtro). Debe ajustarse para observar una senoide de 0,5 V_p de amplitud (1 V_{pp}). Asegúrese siempre de medir la salida del generador antes de conectarla al circuito.

A continuación se montará el circuito mostrado en la Figura 33, y se irá variando la frecuencia del generador de funciones (periodo T) para obtener la función de transferencia (módulo y fase) del filtro. **Los filtros deben medirse aisladamente**, es decir, deberá desconectar su entrada y salida del circuito para poder medirlos individualmente. Para conseguir una curva fiable, asegúrese de medir varios puntos por década (por lo menos 5). Para dibujar la gráfica de la fase utilice valores de Φ entre -180° y $+180^\circ$. Es decir, si mide un desfase mayor de 180° , considere el valor negativo $\Phi-360^\circ$.

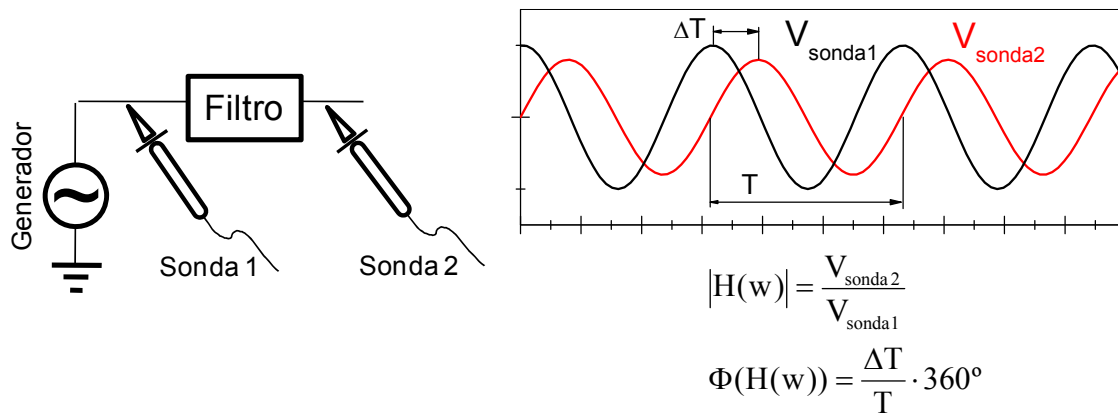


Figura 33 Esquema del circuito de medida de los filtros. Se muestra un ejemplo real de cómo calcular el módulo y la fase de la función de transferencia.

4.3.3 Realización de diagramas de Bode:

Se pide también la realización de los diagramas de Bode de módulo y fase correspondientes a los filtros Sallen Key paso bajo y paso alto del amplificador de potencia. Se recuerda que el diagrama de Bode es un diagrama asintótico aproximado del comportamiento del filtro, que se obtiene como resultado del análisis de los polos y los ceros de las funciones de transferencia. Para más información consulte la referencia [3].

En este caso, para mayor facilidad, se indican a continuación las funciones de transferencia de ambos filtros para la realización de los citados diagramas de Bode:

Filtro paso bajo de Sallen-Key correspondiente a la Figura 4:

$$H(j\omega) = \frac{G \frac{1}{R^2 C^2}}{-\omega^2 + j\omega \frac{3-G}{RC} + \frac{1}{R^2 C^2}}$$

Filtro RC paso alto situado a la entrada del amplificador de potencia (Figura 31):

$$H(j\omega) = \frac{j\omega RC}{1 + j\omega RC}$$

Los diagramas de Bode y las medidas deberán representarse en una gráfica donde el eje X muestre la frecuencia en modo logarítmico y el eje Y muestre la amplitud en dB y la fase en grados.

4.4 ALIMENTACIÓN DEL CIRCUITO

La alimentación del circuito es fundamental. **Se utilizará la fuente del laboratorio a +5 y -5 V para alimentar tanto al emisor como al receptor. Además, se utilizarán condensadores de desacoplo en ambos circuitos para reducir el ruido que pueda producirse en los circuitos de conmutación. Estos condensadores son fundamentales para el correcto funcionamiento de la práctica. Se utilizarán 3 en cada una de las alimentaciones: 100 μ F, 100 nF y 100 pF para cada uno de los intervalos de frecuencia (bajas, medias y altas respectivamente). Tenga especial cuidado con la polaridad de los condensadores electrolíticos en el caso de 100 μ F.**

Es importante también distribuir la línea de masa a lo largo de varios puntos del circuito desde la borna de la placa de inserción. Esto estabiliza la masa haciendo que desaparezcan ruidos.

Por otro lado, tanto en emisor como en receptor es recomendable añadir dos LEDs (rojo y verde) junto con dos resistencias, conectados a cada una de las líneas de alimentación (+5 y -5) para saber que dichas líneas están funcionando correctamente y que no hay cortocircuitos. En caso de producirse alguno, el LED correspondiente a esa alimentación se apagará advirtiéndolo del hecho. Observe la Figura 34 para la correcta conexión de estos elementos. **Repetimos que debe prestar especial atención a la polaridad de los condensadores electrolíticos.**

Por otro lado, en la Figura 35 se reproduce la placa de inserción con una sugerencia de cómo puede distribuirse la alimentación. La justificación de la necesidad de condensadores de desacoplo, así como su función, se describen en detalle en la referencia [6].

Si utiliza colores identificativos para las alimentaciones, le será más sencillo después seguir el curso de los errores de montaje. Se sugiere negro para la masa, rojo para la alimentación positiva (+5) y azul para la negativa (-5).

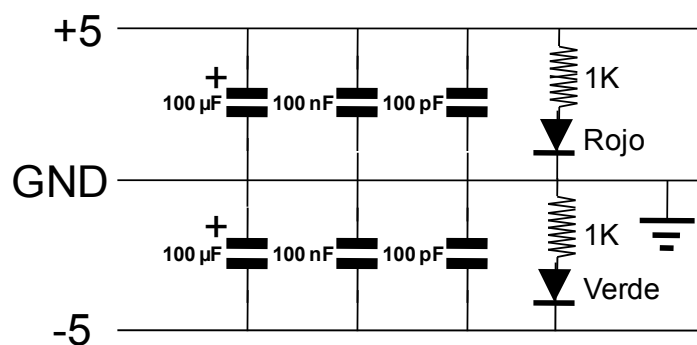


Figura 34 Condensadores de desacoplo en el receptor y en el emisor. En el caso del receptor, se muestra también la disposición de los LEDs que indican la presencia de cortocircuitos

En el caso del amplificador de potencia se recomienda utilizar una topología de alimentación en estrella que evitará problemas de ruido y fallos durante las pruebas. Esto consiste en llevar una línea de alimentación independiente desde la borna de la placa de inserción al citado amplificador. De esta forma evitaremos el acoplo de las señales que circulan por el circuito a través de los cables de alimentación. La Figura 35 también muestra la topología en estrella para este componente.

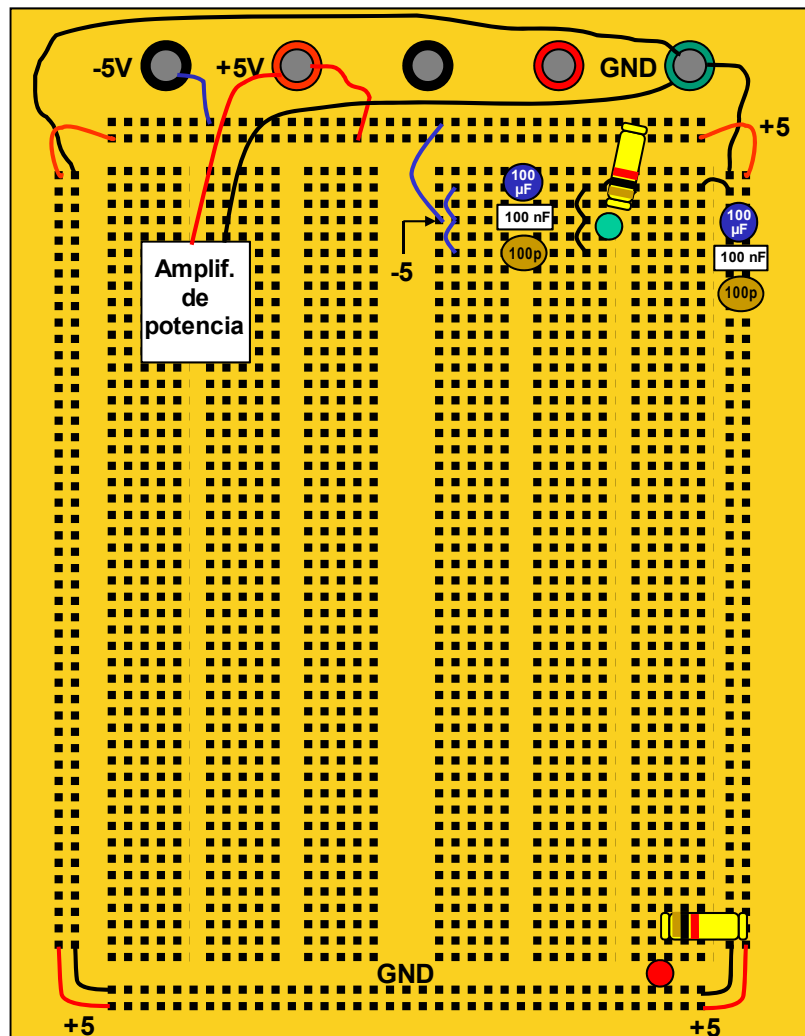


Figura 35 Sugerencia para la distribución de las alimentaciones, de las líneas de masa, de los condensadores de desacoplo y de los LEDs de indicación de la alimentación. También se muestra la instalación del amplificador de potencia con su alimentación independiente directa desde las bornas.

5 Especificaciones del sistema

El sistema que se diseñe deberá cumplir las siguientes especificaciones:

Emisor:

1. Alimentación simétrica con +5 y -5 V procedente de la fuente de alimentación del laboratorio.
2. Amplitud máxima de la señal de entrada: 1 Vpp.
3. Limitación en banda de la señal de entrada mediante el filtro paso bajo Sallen-Key. La frecuencia de corte de este filtro debe situarse en 2,5 KHz.
4. Selección del código de cifrado mediante 8 microinterruptores.
5. Pulsador de sincronismo para iniciar la secuencia en ambos sistemas (emisor y receptor)
6. Frecuencia de muestreo 50 KHz (frecuencia del reloj).
7. Frecuencia de la portadora para la transmisión ASK: 200 KHz.

Receptor:

1. Alimentación simétrica con +5 y -5 V procedente de la fuente de alimentación del laboratorio.
2. Selección del código de descifrado mediante 8 microinterruptores.
3. Se utilizará exclusivamente lógica CMOS tipo 74HCXXXX
4. En el amplificador de potencia debe ser inteligible una señal de voz transmitida desde el emisor.

Además:

1. Las únicas señales que se permite que crucen desde el emisor al receptor son: DAT. SYN y CLK.
2. Tenga en cuenta los niveles de señal en distintos puntos que se exigen a lo largo del enunciado.
3. Será suficiente con entregar la práctica montada sobre placa de inserción. No obstante recuerde que el emisor y el receptor deberán estar físicamente separados en placas distintas.

6 Memoria final

La memoria que se entregue al final deberá ajustarse al formato que se suministre en la página web de la asignatura, y deberá contener **obligatoriamente** como mínimo las siguientes medidas y datos:

1. Una portada indicando: nombre de la asignatura, título de la Práctica, nombre completo de los autores y código correspondiente (día de la semana, número de turno y puesto).
2. Diseño **detallado y razonado** de cada una de las etapas que integran el diseño, explicando las razones de la elección de los valores de los componentes utilizados.
3. Respecto al emisor:
 - Función de transferencia medida del filtro paso bajo Sallen-Key en módulo y fase.
 - Diagramas asintóticos de Bode (módulo y fase) del citado filtro paso bajo Sallen-Key superpuestos sobre la medida anterior.
 - Captura de pantalla de la señal correspondiente a un periodo del reloj de muestreo (20 μ s).
 - Captura de pantalla de la señal correspondiente a una secuencia de 8 bits tras el cifrado.
 - Captura de pantalla de la señal correspondiente a una secuencia de 8 bits tras la modulación ASK.
4. Respecto al receptor:
 - Captura de pantalla correspondiente a una secuencia de 8 bits de la señal recuperada tras el modulador ASK (salida del comparador).
 - Captura de pantalla simultánea de una secuencia de 8 bits tras el proceso de descifrado junto con la obtenida tras el biestable del decodificador delta donde se vean “glitches”.
 - Función de transferencia medida del filtro paso alto a la entrada del amplificador de potencia en módulo y fase.
 - Diagramas asintóticos de Bode (módulo y fase) del citado filtro paso alto superpuestos sobre la medida anterior.
5. Captura de pantalla simultánea de una secuencia de 8 bits de la señal del emisor antes del cifrado (salida biestable codificador delta) con la señal del receptor después del descifrado (salida biestable decodificador delta).
6. Esquema eléctrico completo de ambos circuitos (emisor y receptor), independientemente de que se hayan ido explicando por etapas.

A lo largo del curso se publicará una plantilla para realizar la citada memoria.

Las versiones en formato electrónico de los documentos generados (memoria, simulaciones, etc.) deberán entregarse a través del portal de la asignatura.

Documente sus diseños, cálculos, justificaciones, esquemas, medidas, observaciones, dificultades, etc., a medida que los realiza, semana por semana, módulo a módulo. De este modo le será sencillo componer finalmente la memoria.

7 Posibles mejoras

En los apartados precedentes se ha hecho una descripción bastante detallada de los subsistemas a diseñar, así como de alguno de los esquemas circuitales utilizables. Salvo que se haya indicado lo contrario, lo descrito corresponde a las especificaciones mínimas que deberá cumplir el diseño realizado (la Práctica Básica), y constituirá el requisito mínimo para aprobar la asignatura.

Por otro lado, la puntuación máxima alcanzable con la Práctica Básica es de 8 puntos, partiendo de la base de que el funcionamiento es correcto y de que se han comprendido los fundamentos teórico-prácticos de todo ello, lo que será verificado a través de la memoria y el examen oral a realizar.

Para incrementar la calificación puede abordarse alguna realización opcional, como las que se plantean a continuación o cualquier otra que se le ocurra (consulte con un profesor). En todo caso, no se trata de multiplicar innecesariamente el número de circuitos integrados en su prototipo, ni de replicar módulos idénticos.

Recomendamos encarecidamente a los alumnos que antes de abordar cualquier mejora hagan un estudio pormenorizado de las implicaciones de la misma. Tómense el tiempo necesario en la fase de diseño y no ataquen el montaje de forma impulsiva. Una mejora en apariencia sencilla puede volverse sumamente engorrosa, bien debido al número de pastillas a interconectar o por incluir detalles y complicaciones no suficientemente previstos.

Dicho esto, se proponen a continuación algunas mejoras que se pueden realizar:

7.1 Utilización de generadores pseudoaleatorios (dificultad baja):

En esta práctica se ha propuesto el uso de un registro de desplazamiento conectado de forma circular para la generación de la clave. Una forma más elegante de crear una clave es el empleo de generadores pseudoaleatorios. Estos circuitos generan una secuencia de bits que se repite en el tiempo a partir de una semilla inicial que debe proporcionarse.

Un generador pseudoaleatorio está compuesto por un registro de desplazamiento de n bits a cuya entrada se realimenta una función lógica de sus salidas. Se demuestra que eligiendo adecuadamente esta función lógica es posible generar una secuencia pseudoaleatoria de $2^n - 1$ bits.

Una posible implementación supondría la sustitución del registro 74HC165 por el 74HC194, registro de desplazamiento de 4 bits que permitiría generar una secuencia con periodo de 15 bits (ver Figura 36). En este caso, la semilla inicial se introduciría mediante 4 microinterruptores en emisor y receptor y un pulsador que estaría exclusivamente en el emisor. La secuencia pseudoaleatoria puede tomarse en cualquiera de las cuatro salidas del registro.

Si se implementa esta mejora, debe implementarse obligatoriamente en emisor y receptor ya que si no, no funcionaría adecuadamente la práctica.

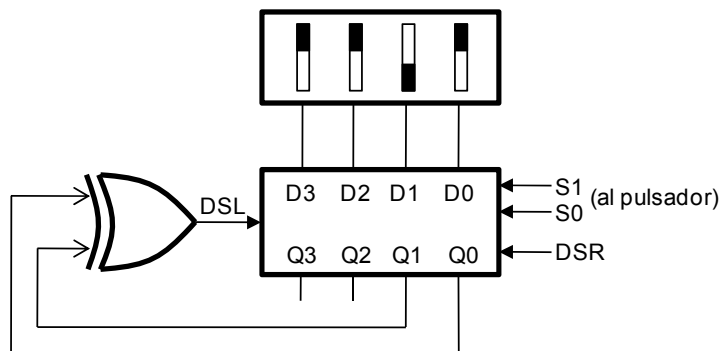


Figura 36 Esquema simplificado de un generador pseudoaleatorio de 15 bits con introducción de semilla inicial mediante microinterruptores.

NOTA: Tenga en cuenta que la semilla inicial no puede ser 0000 ya que entonces la secuencia sería una cadena indefinida de "0".

7.2 Utilización de un teclado para introducir la clave en el emisor, en el receptor, o en ambos, con visualización a través de LEDs (dificultad media):

La opción que se propone en la práctica básica supone la introducción de la clave de cifrado (o la semilla en el caso que se haya implementado la mejora 7.1) mediante unos microinterruptores situados en cada uno de los registros de desplazamiento (emisor y receptor).

En esta mejora se plantea la posibilidad de utilizar dos pulsadores y un contador up/down de 8 bits, de tal manera que el código se pueda introducir mediante pulsaciones sucesivas en uno de los pulsadores (que incremente el valor) o en el otro (que lo decremente).

La visualización del código introducido se hará mediante LEDs que indiquen el estado de cada una de las salidas del contador (8 LEDs). Tenga en cuenta que los LEDs no pueden conectarse directamente a la salida del contador sin resistencias de limitación ya que se podría quemar el integrado. Incluso con las resistencias, puede ocurrir que la tensión de salida del contador caiga por debajo del valor que el 74HC165 interpreta como "1", dando lugar a un funcionamiento errático. La mejor opción es conectar los LEDs a través de inversores que actúen como buffer con una resistencia a la salida para limitar la corriente.

Se recomienda utilizar dos 74HC193 (contadores de 4 bits con cuenta up/down) encadenados para realizar el contador de 8 bits.

NOTA 1: Lea las recomendaciones sobre la instalación de pulsadores y los transitorios de conmutación en la referencia [6].

NOTA 2: Para que el contador se inicie en un valor concreto al arrancar el sistema, será necesario colocar un circuito de inicialización tal como se describe en la referencia [6].

7.3 Utilización de un teclado para introducir la clave en el emisor, en el receptor, o en ambos, con visualización a través de displays (dificultad alta):

En este caso la visualización del código se hará a través de 3 displays de 7 segmentos que indiquen el valor decimal a la salida del contador binario. Desde 000 hasta 255.

Una posible solución consiste en llevar en paralelo la cuenta del contador binario con la cuenta de tres contadores de décadas. Las cuentas deben estar siempre sincronizadas (el valor binario del contador binario debe coincidir siempre con el valor decimal de los contadores de décadas). Por lo tanto, en este caso, es imprescindible el uso de un circuito de inicialización que asegure que hay un valor 0 en todos ellos al arrancar la alimentación.

Tras los contadores de décadas deben instalarse 3 decodificadores BCD a 7 segmentos (74HC4511) y posteriormente los displays con resistencias de limitación.

NOTA: Puede utilizarse esta mejora en combinación con la 7.1. En este caso el número de circuitos integrados se reduce dado que solamente tiene que contar entre 0000 y 1111 (valores entre 0 y 15 decimal). Por tanto solamente necesitará 2 displays para representar el valor.

7.4 Evitar el valor 0000 en la semilla inicial en el caso de realizar la mejora 7.1

En el caso de que el alumno haya optado por realizar la mejora 7.1, y además alguna de las mejoras 7.2 o 7.3, se propone la siguiente mejora adicional:

Dado que la semilla 0000 no da lugar a un código pseudoaleatorio válido, se propone conectar los contadores binarios y de décadas de tal manera que nunca alcancen el valor 0000. Es decir, deberán contar de 1 a 15 y viceversa.

7.5 Uso de esquemas circuitales alternativos a los propuestos

Se valorará positivamente la inclusión de circuitos distintos a los propuestos, siempre que:

- Impliquen una mayor dificultad o una novedad interesante
- No se limiten a duplicar subsistemas ya construidos

DIFICULTAD: en función del esquema alternativo, atendiendo tanto a la complejidad conceptual como de implementación.

7.6 Implementación en circuitos programables (dificultad alta)

La Práctica Básica asume el montaje de los circuitos haciendo uso de integrados MSI (Medium Scale Integration), de modo que se valorará positivamente la realización del diseño utilizando otro tipo de tecnología, como cualquiera de las familias de dispositivos programables disponibles en el mercado, tanto analógicos como digitales (CPLDs, FPGAs, etc.), con el objetivo de minimizar el tamaño del circuito final y adquirir conocimientos en el empleo de nuevas tecnologías.

Para ello, los alumnos interesados deberán contar con herramientas software adecuadas (muchas de ellas disponibles de forma gratuita y accesibles a través de Internet), así como consultar con el coordinador de la asignatura la disponibilidad del programador correspondiente para el integrado a utilizar, caso de ser necesario.

No se considera aquí ningún tipo de microprocesador o microcontrolador, que serán materia de una asignatura posterior.

7.7 Simulación con PSPICE (1 PUNTO) (dificultad alta)

En este curso se propone una mejora puntuada consistente en la realización mediante el programa PSPICE de diversas simulaciones del montaje, de forma similar a como se llevaría a cabo durante un diseño realista en un entorno profesional.

Para obtener la puntuación indicada será necesario incluir lo siguiente:

- Simulaciones temporales (análisis transitorio) del circuito, que incluya los siguientes elementos: rectificador de onda completa y filtro paso bajo (Apartados 4.2.1.3, y 4.2.1.5) utilizando como excitación a la entrada de la cadena una portadora de 200 KHz modulada en amplitud por la señal de 4 bits 1010.
- Simulaciones en AC (barrido en frecuencia) del filtro paso bajo Sallen Key (apartado 4.1.1) y paso alto (4.2.5) por separado. Se piden las gráficas de respuesta en amplitud (dB) y fase (°).

En la memoria será necesario incluir los diagramas esquemáticos utilizados, así como las gráficas de las simulaciones obtenidas, discutiendo la adecuación de dichos resultados a las previsiones teóricas y a las medidas experimentales.

Los ordenadores del Laboratorio disponen del software necesario para realizar las simulaciones descritas anteriormente.

7.8 Montaje en PCB (1,5 PUNTOS) (dificultad muy alta)

En la Práctica Básica se exige el montaje, como requisito mínimo, en placa de inserción, de modo que se valorará positivamente la construcción de los prototipos en placa de circuito impreso. En este caso, considere la utilización de zócalos para facilitar el cambio de integrados.

Para que esta mejora se considere válida bastará con presentar uno de los dos circuitos (emisor o receptor) o bien los dos, en PCB. En este último caso deberán presentarse en placas separadas. Será imprescindible presentar igualmente el prototipo previo (placa de inserción), como también los documentos generados durante el empleo de las herramientas software necesarias para el diseño.

8 Desarrollo recomendado

Este apartado constituye una guía para la realización de la Práctica, si bien la planificación real puede diferir puesto que es difícil tener en cuenta todos los contratiempos posibles. Sirva de ayuda para que cada grupo pueda organizar el tiempo de acuerdo a su situación particular.

Desde el comienzo, realice todas las tareas sobre el prototipo con el máximo cuidado. Por ejemplo, montaje de la alimentación, emplazamiento de los componentes, pelado y conexión de los cables, etc. Aunque al principio parezca que todo es manejable, a medida que el montaje crece perderá el control sobre el mismo si empiezan a aparecer incertidumbres en la fiabilidad de las conexiones, falta de espacio para nuevos circuitos, amontonamiento de componentes que dificultan el empleo de las sondas del osciloscopio, etc.

Tenga en cuenta que el laboratorio debería servirle para medir y buscar y solucionar problemas, no para montar circuitos. Se recomienda realizar el montaje de circuitos fuera de las horas de laboratorio.

Como ya se ha dicho anteriormente (Apartado 4.3), la práctica está pensada para que pueda montarse en dos fases, probando primeramente la parte digital en ambos circuitos y después la modulación ASK.

Se recomienda entonces, seguir la siguiente distribución del trabajo en semanas:

8.1 Semana 1 – EMISOR Y RECEPTOR

- Familiarización con los instrumentos del laboratorio
- Instalación de los condensadores de desacoplo.
- Reloj maestro del sistema (50 KHz, apartado 4.1.2).
- Montaje del amplificador de potencia en el receptor.

OBJETIVO 1: Comprobar el funcionamiento del reloj. Asegurarse que los flancos están claramente definidos y que la señal alcanza los valores 0 y 5V.

OBJETIVO 2: Situar el amplificador de potencia en su emplazamiento definitivo desde el principio y alimentarlo con una línea de alimentación propia y separada.

8.2 Semana 2 – EMISOR

- Filtro paso bajo inicial.
- Registro de desplazamiento 74HC165
- Instalación de los microinterruptores y el pulsador.

OBJETIVO 1: Medir los filtros paso bajo (Sallen Key) y paso alto (amplificador de potencia) y comprobar su frecuencia de corte.

OBJETIVO 2: Comprobar que la clave introducida se carga adecuadamente cuando se presiona el pulsador y se repite temporalmente de forma correcta.

OBJETIVO 3: Conecte la salida del filtro a la entrada del amplificador de potencia y asegúrese que la calidad de la señal que se escucha es adecuada empleando un reproductor con una señal de voz. Dicha señal de voz tiene que ser inteligible.

8.3 Semana 3 – EMISOR

- Codificador delta:

OBJETIVO 1: Verificar que introduciendo una señal desde el generador de funciones a través del filtro paso bajo, a la salida del integrador se genera una secuencia de rampas lineales que siguen a dicha señal de entrada.

OBJETIVO 2: Verificar además que la secuencia de bits a la salida del flip-flop tipo D se corresponde con las citadas rampas (visualizar las dos señales simultáneamente en el osciloscopio).

8.4 Semana 4 – EMISOR y RECEPTOR

- Emisor: Puerta XOR para el cifrado de los datos.
- Receptor: Registro de desplazamiento 74HC165. Instalación de los microinterruptores y el pulsador.
- Unión entre el emisor y el receptor a través de las señales SYN y CLK

OBJETIVO: Comprobar que la clave introducida se carga adecuadamente en el receptor cuando se presiona el pulsador en el emisor y se repite temporalmente de forma correcta. Visualizar simultáneamente las claves en el emisor y receptor y verificar que son idénticas.

8.5 Semana 5 – RECEPTOR

- Puerta XOR.
- Decodificador delta.
- Unión del emisor y el receptor a través de la señal DAT (sin modulación ASK) (apartado 4.3.1)

OBJETIVO 1: asegurarse que la secuencia de bits recibida a la salida del flip flop del receptor se corresponde con la generada por el codificador delta del emisor y que están desfasadas medio ciclo de reloj.

OBJETIVO 2: verificar que la señal analógica a la salida del decodificador delta se corresponde con la señal de entrada del generador de funciones.

HITO : En este momento la práctica debe funcionar a excepción de la modulación ASK.

8.6 Semana 6 – EMISOR

- Oscilador de portadora de 200 KHz.
- Modulador ASK con 74HC4052

OBJETIVO: comprobar que a la salida del modulador se obtiene la señal ASK

HITO : El emisor completo debería estar terminado en esta etapa.

8.7 Semana 7 – RECEPTOR

- Rectificador de onda completa.
- Conectar emisor y receptor a través de la línea DAT tras la modulación ASK.

OBJETIVO: Comprobar que a la salida del rectificador se obtiene la forma de onda adecuada (ver Figura 20).

8.7 Semana 8 – RECEPTOR

- Filtro paso bajo
- Comparador y umbral de comparación.
- Conectar la salida del comparador a la puerta XOR

OBJETIVO: Verificar nuevamente que la secuencia de bits recibida a la salida del flip flop del receptor se corresponde con la generada por el codificador delta del emisor y que están desfasadas medio ciclo de reloj

HITO : La práctica básica debería estar terminada en esta etapa

8.8 Semana 9 – RECEPTOR Y EMISOR

- Realización de posibles mejoras
- Capturas de pantalla para la memoria
- Realización de medidas que pueda necesitar

OBJETIVO: Finalización de la práctica básica, las medidas y las mejoras.

8.9 Semana 10

OBJETIVO: Preparación del examen.

8.10 Semana 11

Sesión extra que puede ser utilizada en caso de ser necesario.

Anexo I El circuito integrado NE555

El circuito integrado NE555 es un temporizador muy versátil que puede ser empleado en multitud de aplicaciones. Su esquema interno se muestra a continuación en la Figura 37.

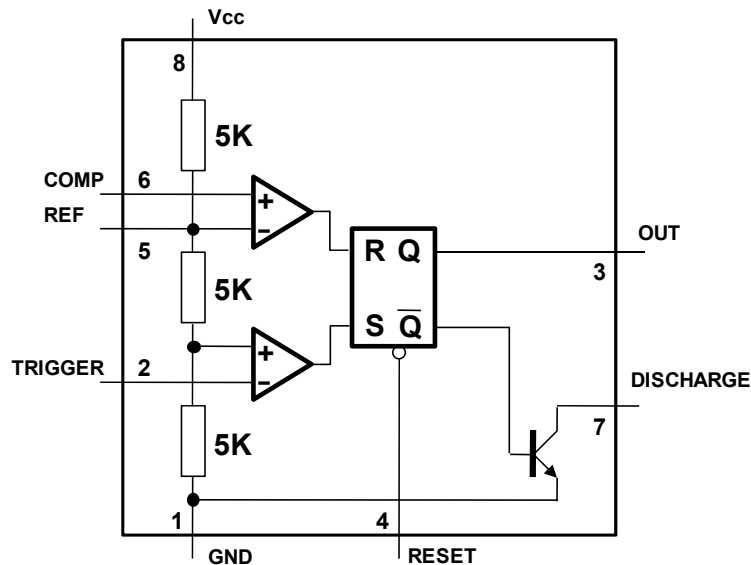


Figura 37 Esquema interno del temporizador NE555

El circuito está formado por dos comparadores de tensión. Uno de ellos compara la tensión en la patilla 2 con el valor de tensión $1/3 \cdot V_{cc}$ (en virtud del divisor de tensión formado por las 3 resistencias de 5K y siempre que la patilla 5 se deje sin conectar). El otro compara la tensión en la patilla 6 con el valor de tensión $2/3 \cdot V_{cc}$ (en las mismas condiciones anteriores). Las salidas de dichos comparadores se conectan a las entradas R y S de una báscula RS que conmuta el nivel de tensión de salida (patilla 3) entre 0 y V_{cc} . Adicionalmente, existe un transistor que proporciona un camino de baja impedancia a masa en la patilla 7 cuando la salida 3 está a nivel bajo. Por último, la patilla 4 (RESET) es una patilla de control: cuando se encuentra a masa, la salida 3 está a nivel bajo incondicionalmente. Cuando se encuentra a nivel alto, la báscula RS funciona adecuadamente.

Existen multitud de aplicaciones de este integrado, pero una de las más empleadas es la de multivibrador astable, para la generación de señales de reloj de periodo conocido y ciclo de trabajo controlable. Para ello se suele emplear el siguiente montaje (Figura 38):

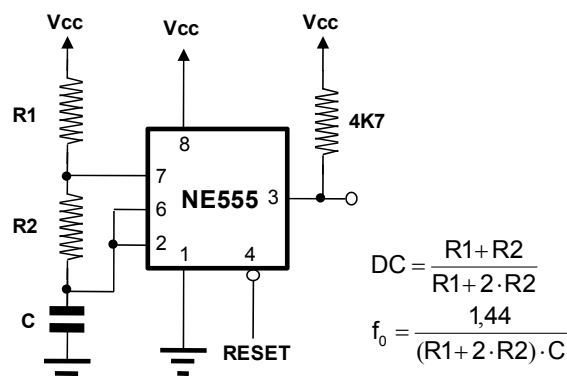


Figura 38 Esquema del NE555 conectado como multivibrador astable

Con esta configuración, al conectar la alimentación el condensador C se encuentra inicialmente descargado, por lo que la tensión en las patillas 2 y 6 del NE555 es 0. El comparador interno con $1/3 \cdot V_{cc}$ coloca la báscula RS en posición S generando un 1 a su salida, por lo que el transistor de descarga se encontrará en estado de corte. En este momento el condensador

comienza a cargarse exponencialmente a través de las resistencias R_1 y R_2 . Cuando la tensión en las patillas 2 y 6 llega al valor de $2/3 \cdot V_{cc}$, el segundo comparador conmuta la báscula al estado 0 a través de la entrada R. El transistor interno conectado a la patilla 7 proporciona entonces un camino de baja impedancia a masa, que hace que el condensador se descargue a través de R_2 , por lo que los ciclos de carga (T_1) y descarga (T_2) tienen necesariamente constantes de tiempo diferentes. Cuando la tensión en bornas del condensador alcanza la tensión $1/3 \cdot V_{cc}$ comienza a repetirse un ciclo, obteniéndose de esta manera una salida rectangular entre 0 y V_{cc} en la patilla 3, y una salida con flancos exponenciales entre $1/3 \cdot V_{cc}$ y $2/3 \cdot V_{cc}$ en las patillas 2 y 6 (véase Figura 39).

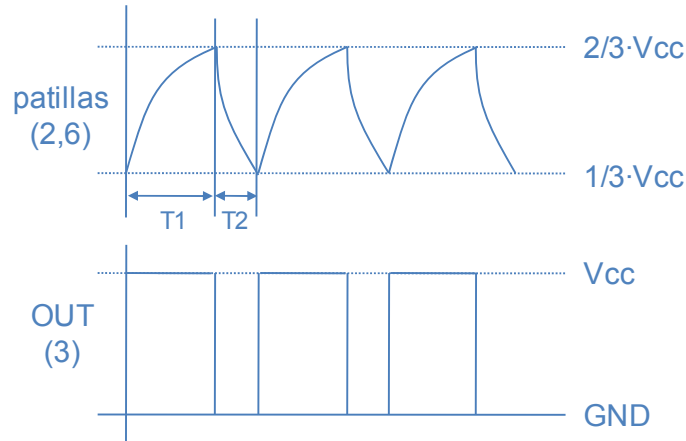


Figura 39 Niveles de tensión a la salida de algunas de las patillas del integrado NE555 configurado como multivibrador astable

Tenga en cuenta que para esta configuración se genera una señal rectangular de periodo (frecuencia) dependiente de R_1 , R_2 y C , pero no es posible obtener un ciclo de trabajo (DC) del 50%. Las expresiones para la frecuencia de oscilación y el ciclo de trabajo se encuentran detalladas en la Figura 38.

Con respecto a la patilla 4 (RESET), debe mantenerse a 1 para que el multivibrador astable funcione correctamente. Si en cualquier momento la patilla 4 se pone a 0, la salida (patilla 3) será 0 independientemente del resto de tensiones en el integrado.

Por último es importante destacar que es necesario colocar una resistencia de pull up de $4,7K\Omega$ entre la alimentación y la patilla 3 para conseguir que la salida alcance realmente los valores 0 y V_{cc} . Si no se coloca, el valor de tensión a nivel alto se quedará ligeramente por debajo de V_{cc} , lo cual puede interferir en el funcionamiento de algunos de los circuitos integrados CMOS.

Bibliografía

- [1] Alan V. Oppenheim y Alan S. Willsky, Señales y Sistemas, 2ª edición, Prentice-Hall, 1998.
- [2] A. Bruce Carlson, Communication systems: An Introduction to Signals and Noise in Electrical Communication, 3ª edición, McGraw-Hill, 1986.
- [3] Norbert R. Malik, Circuitos Electrónicos: Análisis, Diseño y Simulación, Prentice-Hall, 1996.
- [4] Sergio Franco, Design with Operational Amplifiers and Analog Integrated Circuits, 2ª edición, McGraw-Hill, 1997.
- [5] Sergio Franco, Diseño con Amplificadores Operacionales y Circuitos Integrados Analógicos, 3ª edición, McGraw-Hill, 2005.
- [6] Aspectos Prácticos de Diseño y Medida en Laboratorios de Electrónica, 2ª edición, Dpto. de Publicaciones de la ETSIT (UPM), 2002.