



**Universidade Federal da Fronteira Sul**  
**Curso de Ciência da Computação**  
**Campus Chapecó**

---

# **Famílias**

# **Lógicas**

---

**Prof. Luciano L. Caimi**  
**lcaimi@uffs.edu.br**

## Sumário

- Integração
- Encapsulamento
- Tecnologias
- Características Elétricas
- Circuitos Digitais CMOS

# Níveis de Integração



Os **níveis de integração** referem-se ao número de portas lógicas que o CI contém.

**SSI** (**S**mall **S**cale **I**ntegration) – Integração em pequena escala: São os CI com menos de 12 portas lógicas.

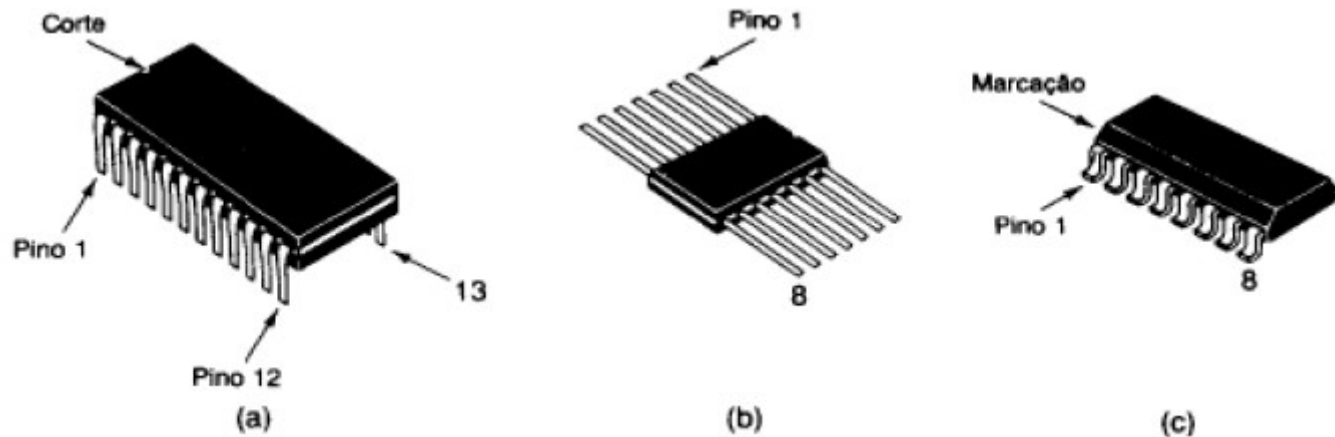
**MSI** (**M**edium **S**cale **I**ntegration) – Integração em média escala: Corresponde aos CI que têm entre 12 a 99 portas lógicas

**LSI** (**L**arge **S**cale **I**ntegration) – Integração em grande escala: Corresponde aos CI que têm entre 100 a 9 999 portas lógicas.

**VLSI** (**V**ery **L**arge **S**cale **I**ntegration) – Integração em muito larga escala: Corresponde aos CI que têm entre 10 000 a 99 999 portas lógicas.

**ULSI** (**U**ltra **L**arge **S**cale **I**ntegration) – Integração em escala ultra larga: Corresponde aos CI que têm 100 000 ou mais portas lógicas.

## Encapsulamento de Cis:



Encapsulamentos mais comuns para CIs:

(a) DIP (*dual-in-line package*) de 24 pinos;

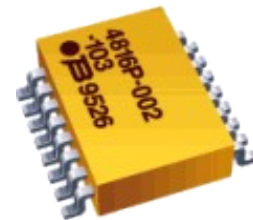
(b) envoltório de cerâmica flexível de 14 pinos;

(c) envoltório montado sobre a superfície (*surface-mount*).

# Encapsulamento

Existem três tipos básicos de cápsulas de circuitos integrados em **SMT** (**S**urface **M**ount **T**echnology):

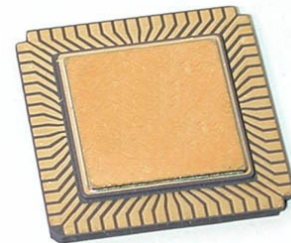
**SOIC** – *Small-Outline Integrated Circuit* – é semelhante a um DIP em miniatura e com os pinos dobrados.



**PLCC** – *Plastic-Leaded Chip Carrier* – tem os terminais dobrados para debaixo do corpo.

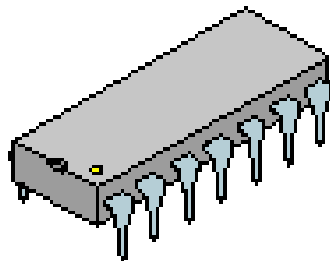
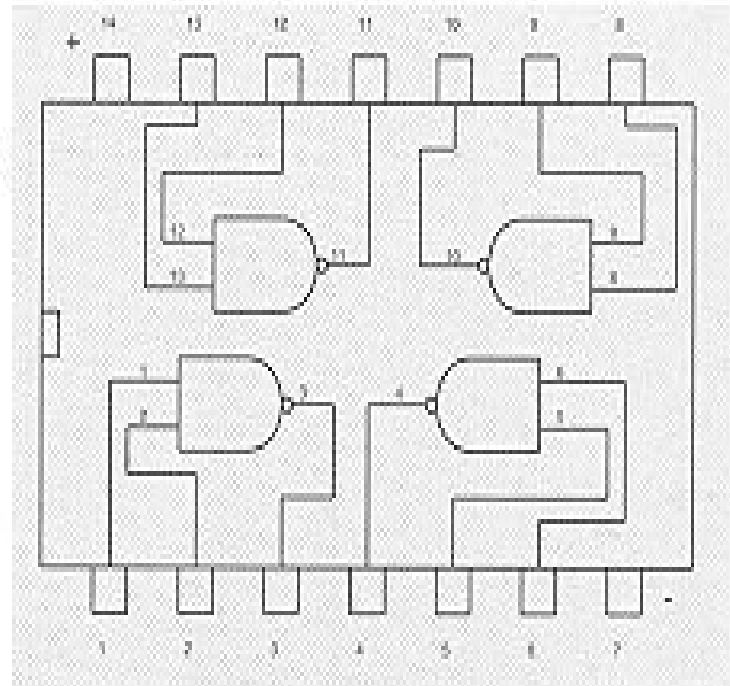


**LCCC** – *Leadless Ceramic Chip Carrier* – não tem pinos. No seu lugar existem uns contactos metálicos moldados na cápsula cerâmica.



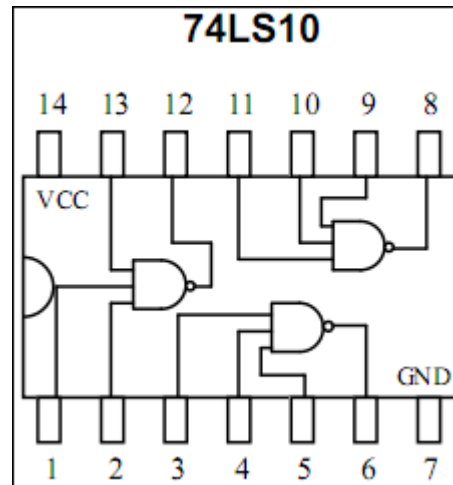
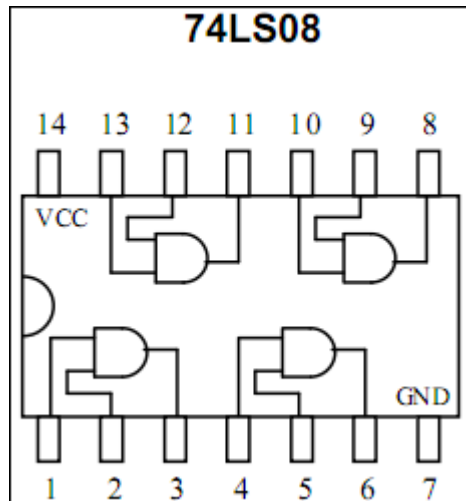
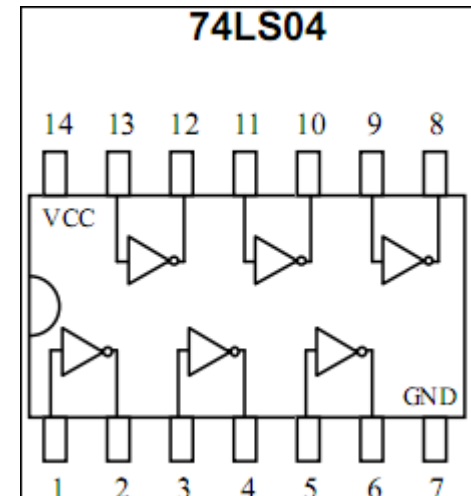
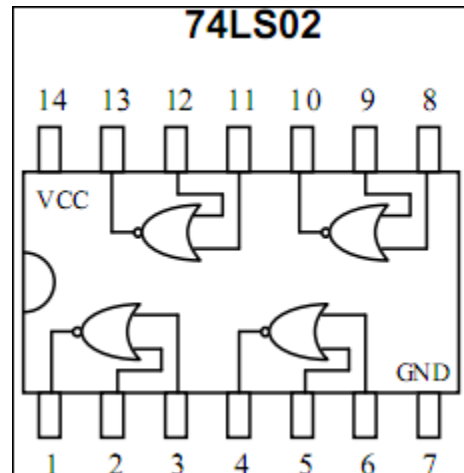
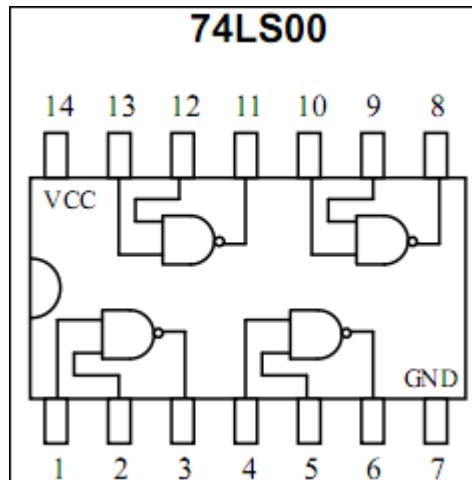
# Famílias lógicas

**CI 4011 DIGITAL - POSSUI 4 PORTAS  
LÓGICAS NAND INTERNAS**



# Encapsulamento

## Circuitos Integrados comerciais



74LS32 – OR 2 entradas  
74LS86 – XOR 2 entradas  
74LS73A – Flip-Flop JK  
74LS74A – Flip-Flop D

...

# **Classificação Quanto à Tecnologia Interna:**

- BIPOLAR
- MOS



# Famílias lógicas



Os circuitos integrados digitais estão agrupados em famílias lógicas.

## Famílias lógicas **bipolares**:

**RTL** - *Resistor Transistor Logic* - Lógica de transistor e resistência.

**DTL** - *Diode Transistor Logic* - Lógica de transistor e diodo.

**TTL** - *Transistor Transistor Logic* - Lógica transistor-transistor.

**HTL** - *High Threshold Logic* - Lógica de transistor com alto limiar.

**ECL** - *Emitter Coupled Logic* - Lógica de emissores ligados.

**I<sup>2</sup>L** - *Integrated-Injection Logic* - Lógica de injeção integrada.

## Famílias lógicas **MOS** (**M**etal - **Ó**xido - **S**emicondutor)

**CMOS** - *Complementary MOS* - MOS de pares complementares NMOS/PMOS

**Atualmente as famílias lógicas TTL e CMOS são as mais usadas.**

# Famílias lógicas



A família **TTL** é principalmente reconhecida pelo fato de ter duas séries que começam pelos números **54** para os componentes de uso militar e **74** para os componentes de uso comercial.

**TTL 74L** de Baixa Potência

**TTL 74H** de Alta Velocidade

**TTL 74S** Schottky

**TTL 74LS** Schottky de Baixa Potência (LS-TTL)

**TTL 74AS** Schottky Avançada (AS-TTL)

**TTL 74ALS**- TTL Schottky Avançada de Baixa Potência

Séries **CMOS**:

**4000/14000** (foram as primeiras séries da família CMOS)

**74C** (compatível, pino a pino e função por função, com os dispositivos TTL)

**74HC** (CMOS de Alta Velocidade)

**74HCT** (os dispositivos 74HCT - CMOS de Alta Velocidade - podem ser alimentados diretamente por saídas de dispositivos TTL)

# Famílias lógicas



## Características elétricas

### Família Lógica TTL

*Faixas de tensão correspondentes aos níveis lógicos de entrada:*

- Entre 2 e 5 Volt, nível lógico 1
- Entre 0,8V e 2V o componente não reconhece os níveis lógicos 0 e 1, devendo portanto, ser evitada em projetos de circuitos digitais.
- Entre 0 e 0,8 Volt, nível lógico 0

*Faixas de tensão correspondentes aos níveis lógicos de saída:*

- Entre 2,4 e 5 Volt, nível lógico 1
- Entre 0,3 e 0,5 Volt, nível lógico 0

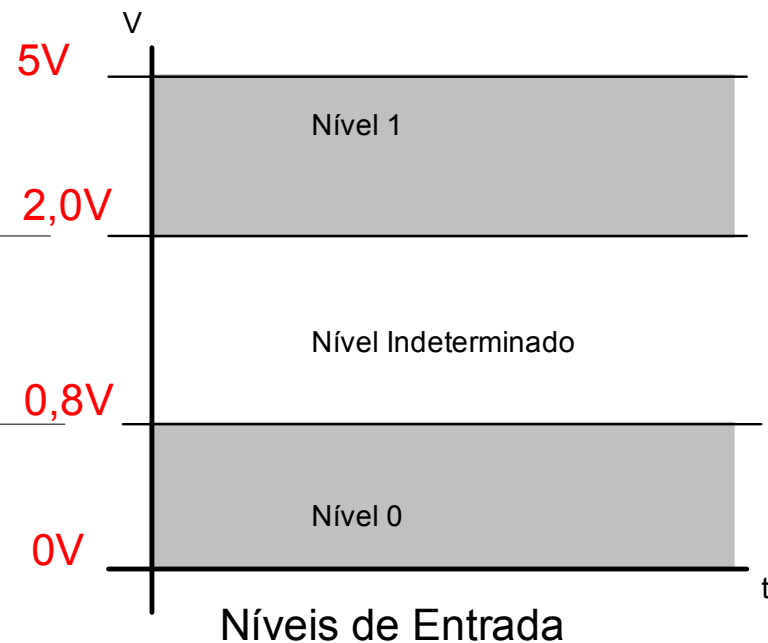
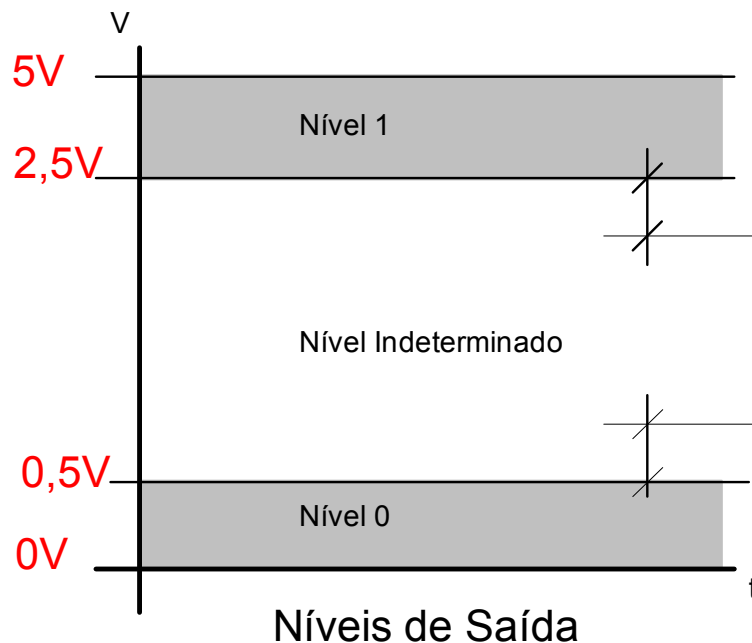
### Família Lógica CMOS

- Faixa de alimentação que se estende de 3V a 15V ou 18V, dependendo do modelo.
- A família CMOS possui também uma determinada faixa de tensão para representar os níveis lógicos de entrada e de saída, porém

# Famílias lógicas

## 7400 e 5400

		SN5400			SN7400			UNIT
		MIN	NOM	MAX	MIN	NOM	MAX	
V <sub>CC</sub>	Supply voltage	4.5	5	5.5	4.75	5	5.25	V
V <sub>IH</sub>	High-level input voltage	2			2			V
V <sub>IL</sub>	Low-level input voltage			0.8			0.8	V
I <sub>OH</sub>	High-level output current			-0.4			-0.4	mA
I <sub>OL</sub>	Low-level output current			16			16	mA
T <sub>A</sub>	Operating free-air temperature	-55		125	0		70	°C



# Famílias lógicas

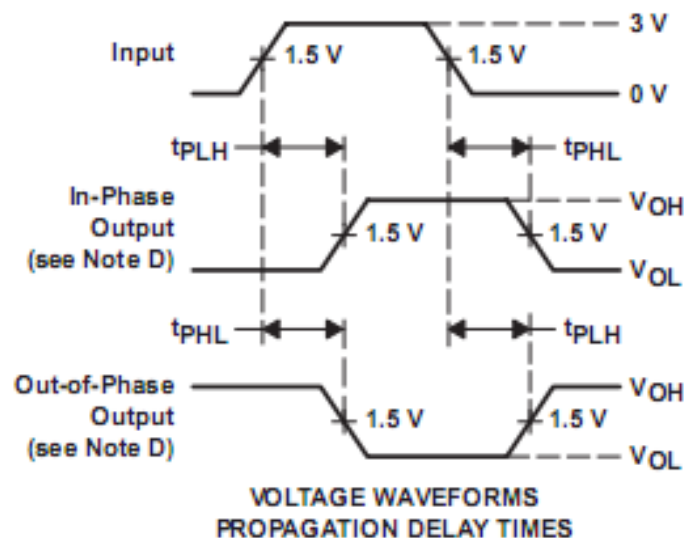
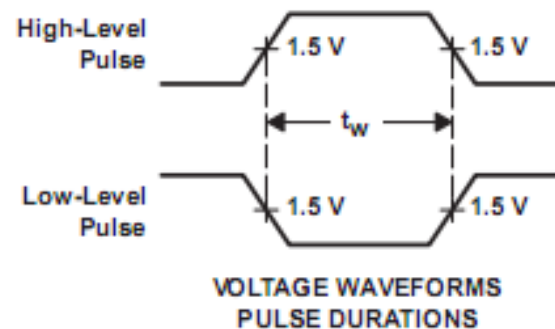
## 7400 e 5400



PARAMETER	TEST CONDITIONS‡	SN5400			SN7400			UNIT
		MIN	TYP§	MAX	MIN	TYP§	MAX	
$V_{IK}$	$V_{CC} = \text{MIN}, I_I = -12 \text{ mA}$			-1.5			-1.5	V
$V_{OH}$	$V_{CC} = \text{MIN}, V_{IL} = 0.8 \text{ V}, I_{OH} = -0.4 \text{ mA}$	2.4	3.4		2.4	3.4		V
$V_{OL}$	$V_{CC} = \text{MIN}, V_{IH} = 2 \text{ V}, I_{OL} = 16 \text{ mA}$		0.2	0.4		0.2	0.4	V
$I_I$	$V_{CC} = \text{MAX}, V_I = 5.5 \text{ V}$			1			1	mA
$I_{IH}$	$V_{CC} = \text{MAX}, V_I = 2.4 \text{ V}$			40			40	$\mu\text{A}$
$I_{IL}$	$V_{CC} = \text{MAX}, V_I = 0.4 \text{ V}$			-1.6			-1.6	mA
$I_{OS}^{\dagger}$	$V_{CC} = \text{MAX}$	-20		-55	-18		-55	mA
$I_{CCH}$	$V_{CC} = \text{MAX}, V_I = 0 \text{ V}$		4	8		4	8	mA
$I_{CCL}$	$V_{CC} = \text{MAX}, V_I = 4.5 \text{ V}$		12	22		12	22	mA

# Famílias lógicas

7400 e  
5400



switching characteristics,  $V_{CC} = 5\text{ V}$ ,  $T_A = 25^\circ\text{C}$  (see Figure 1)

PARAMETER	FROM (INPUT)	TO (OUTPUT)	TEST CONDITIONS	SN5400 SN7400			UNIT
				MIN	TYP	MAX	
$t_{PLH}$	A or B	Y	$R_L = 400\ \Omega$ $C_L = 15\text{ pF}$		11	22	ns
$t_{PHL}$					7	15	

# Circuitos Digitais CMOS



- Formados a partir de uma rede Pull-Up (ligada a VCC) e uma rede Pull-Down (ligada ao terra);

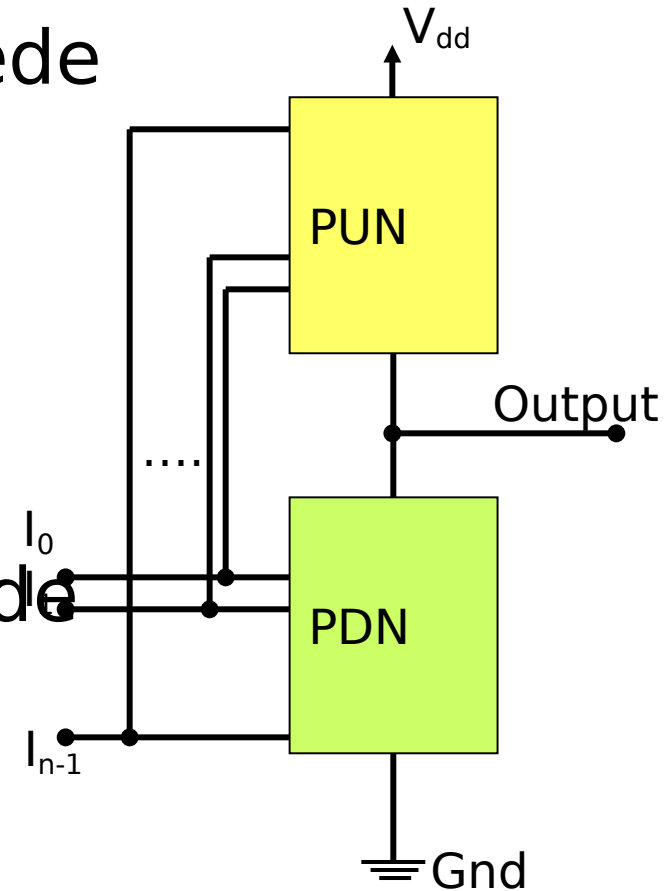
- A PUN é formada a partir de transistores P-MOS

- A rede PDN é formada a partir de transistores N-MOS

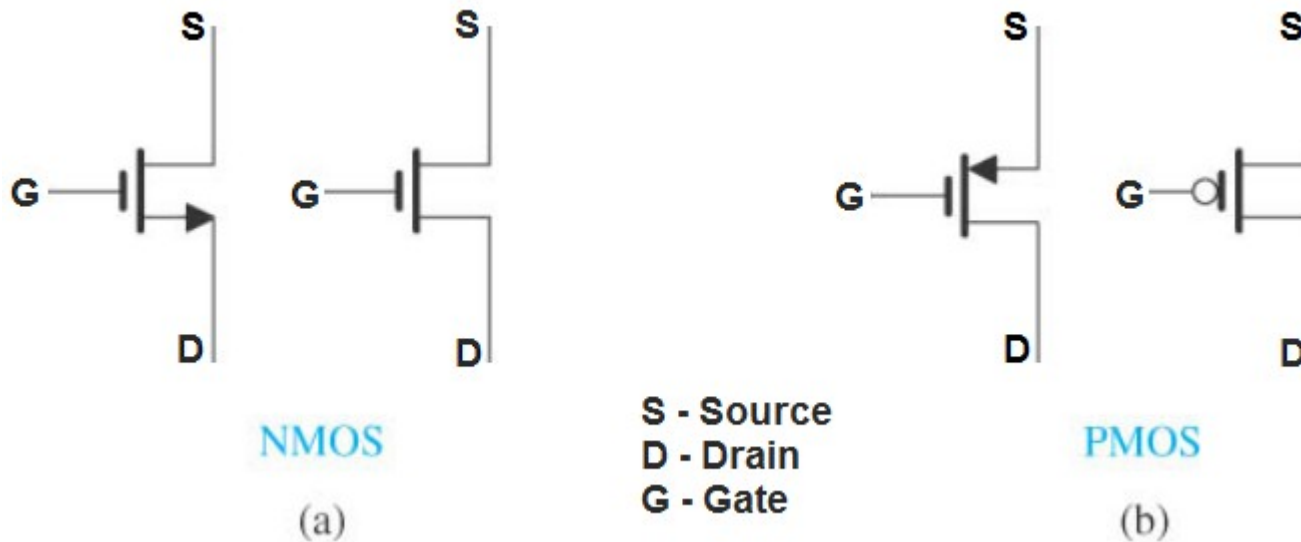
- As redes PUN e PDN são complementares

  - PMOS  $\leftrightarrow$  NMOS

  - Série  $\leftrightarrow$  Paralelo



# Circuitos Digitais CMOS



- **Transistor P-MOS - Normalmente Fechado**

**Gate: 0 → S to D - Close**

**(fechado)**

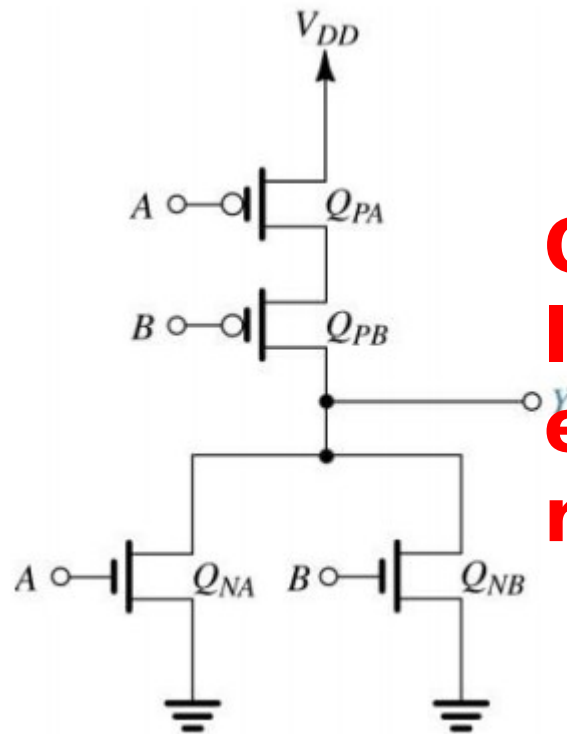
**Gate: 1 → S to D - Open (aberto)**

- **Transistor N-MOS - Normalmente Aberto**

**Gate: 0 → S to D - Open (aberto)**



# Circuitos Digitais CMOS



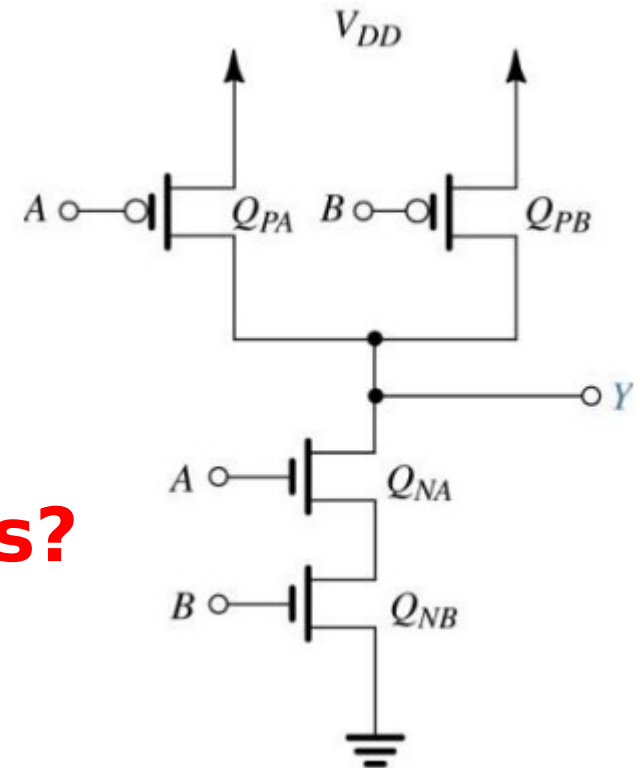
**Quais portas lógicas estão representadas?**

**A   B   |   Y**

**P-MOS - NF  
N-MOS - NA**

**Y**

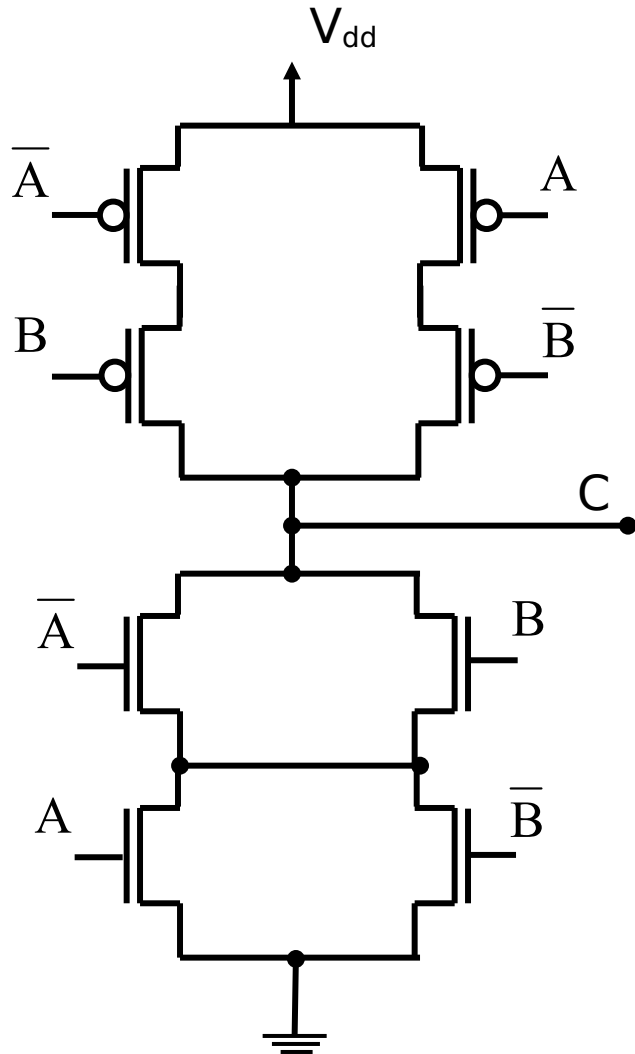
0	0	
0	1	
1	0	
1	1	



**A   B**

0	0	
0	1	
1	0	
1	1	

# Circuitos Digitais CMOS



**Qual porta lógica está representada?**

**Y**

<u>A</u>	<u>B</u>	<u> </u>
0	0	
0	1	
1	0	
1	1	



## Construção de circuitos CMOS a partir das Expressões Booleanas (Método I)

- Cada variável na equação Booleana corresponde a um transistor P-MOS na PUN e um transistor NMOS na PDN;
- Desenhar a PUN baseada na equação booleana:
  - operações AND em série
  - operações OR em paralelo
- Inverter cada variável da equação na descrição da porta para cada transistor da PUN
- Desenhar a PDN usando transistor NMOS
  - O que está paralelo na PUN vira série na PDN

# Circuitos Digitais CMOS



## Construção de circuitos CMOS a partir das Expressões Booleanas (Método II)

- Cada variável na equação Booleana corresponde a um transistor P-MOS na PUN e um transistor N-MOS na PDN;
- Fazer o complemento da equação booleana;
- Com a nova equação, desenhar a PDN usando N-MOS
  - operações AND em série
  - operações OR em paralelo
- Nomear a porta de cada transistor da PDN com sua variável
- Desenhar a PUN usando transistor P-MOS

O que está paralelo na PDN vira série

na PUN

# Circuitos Digitais CMOS



## Construção de circuitos CMOS a partir das Expressões Booleanas

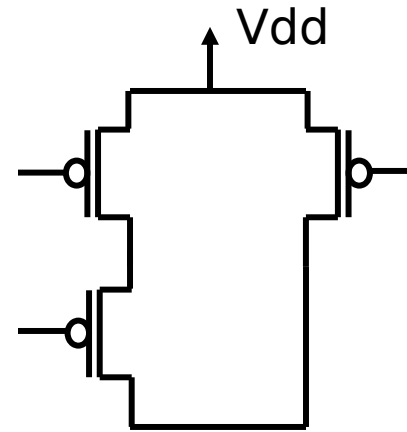
- Ambos os métodos levam a mesma implementação CMOS;
- Entre os métodos temos implicitamente o teorema de Demorgan;
- O método II é especialmente fácil para equações que terminam com uma porta NOT (NAND ou NOR);

# Circuitos Digitais CMOS

## Exemplo 1 (Método I)

$$F = \overbrace{A \cdot \overline{C}}^{\text{paralelo}} + B$$

serie



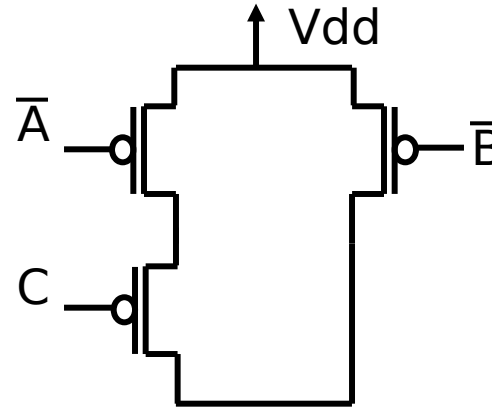
(1) Desenhar a PUN - Pull-Up Network

# Circuitos Digitais CMOS

## Exemplo 1 (Método I)

$$F = \overbrace{A \cdot \overline{C}}^{\text{paralelo}} + B$$

serie



2) Nomear as entradas com variáveis complementadas



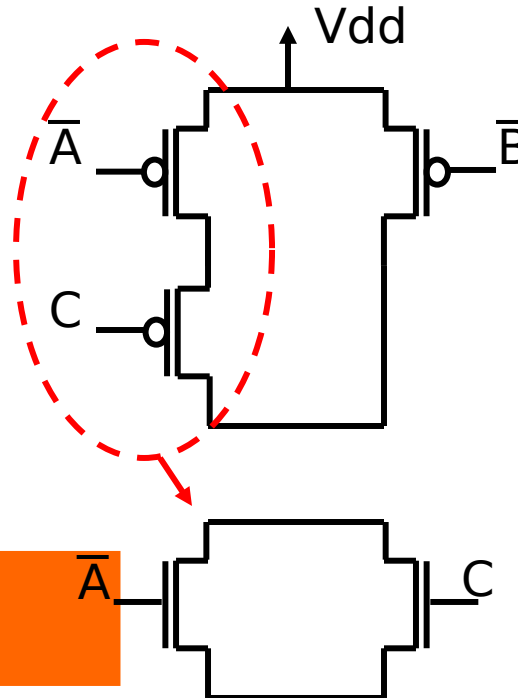
# Circuitos Digitais CMOS

## Exemplo 1 (Método I)

$$F = \overbrace{A \cdot \overline{C}}^{\text{paralelo}} + B$$

serie

3) Desenhar a Pull-Down Network de forma complementar



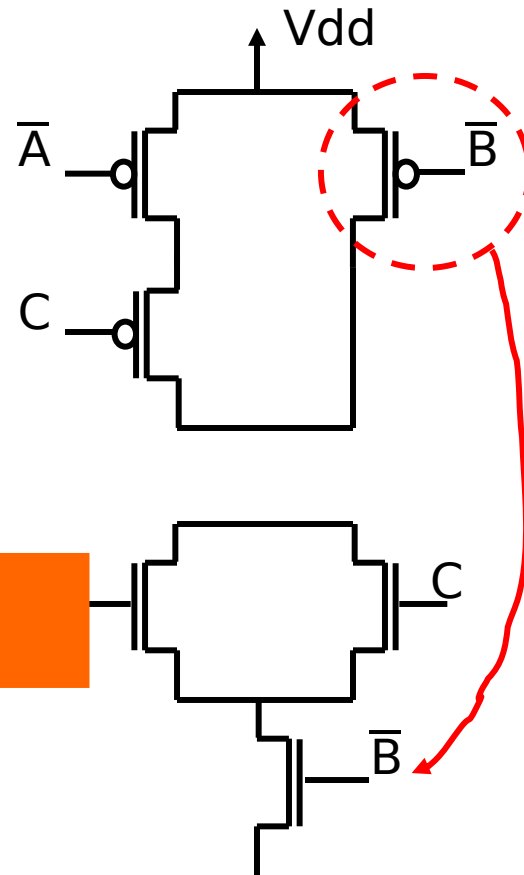
# Circuitos Digitais CMOS

## Exemplo 1 (Método I)

$$F = \overbrace{A \cdot \overline{C}}^{\text{paralelo}} + B$$

serie

3) Desenhar a Pull-Down Network de forma complementar



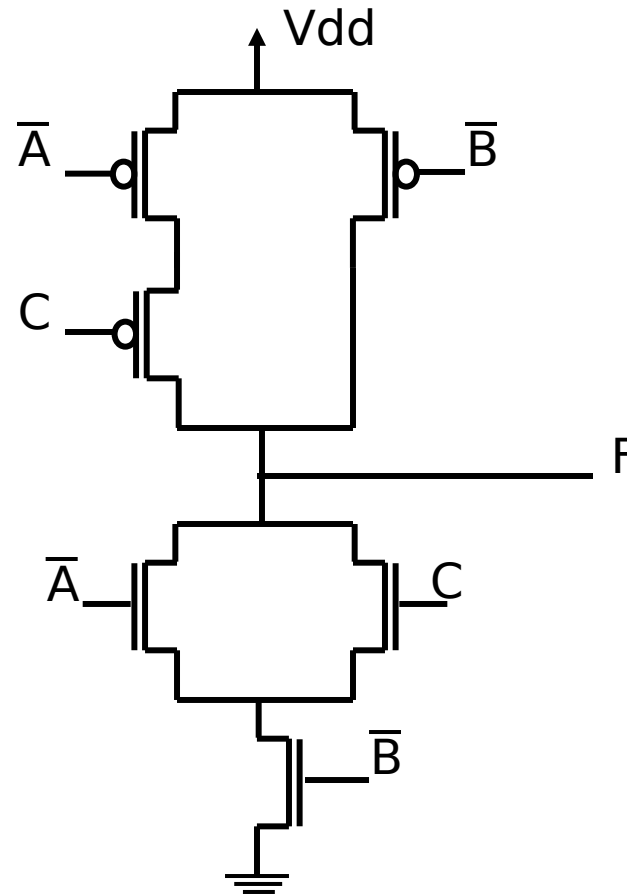
# Circuitos Digitais CMOS

## Exemplo 1 (Método I)

$$F = \overbrace{A \cdot \overline{C}}^{\text{paralelo}} + B$$

serie

Nomear a saída



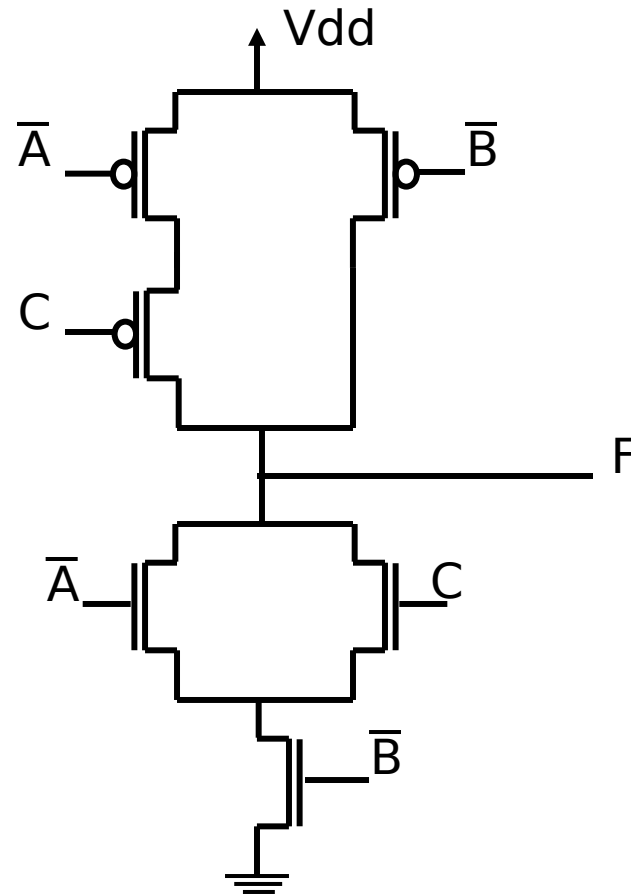
# Circuitos Digitais CMOS

## Exemplo 1 (Método I)

$$F = \overbrace{A \cdot \overline{C}}^{\text{paralelo}} + B$$

serie

A	B	C	F
0	0	0	0
0	0	1	0
0	1	0	1
0	1	1	1
1	0	0	1
1	0	1	0
1	1	0	1
1	1	1	1



# Circuitos Digitais CMOS

## Exemplo 2 (Método II)

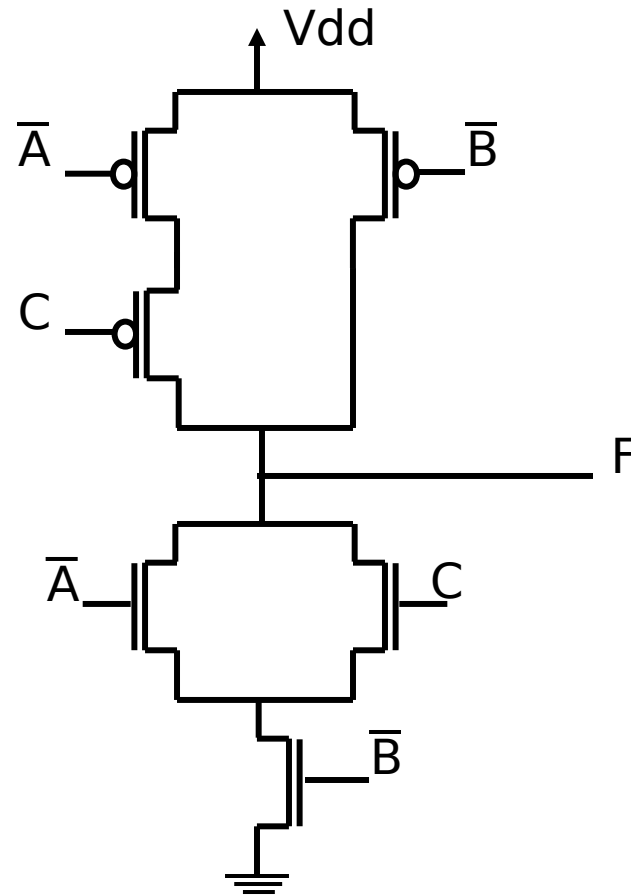
$$F = A \cdot \overline{C} + B$$

$$\overline{F} = \overline{A \cdot \overline{C} + B}$$

$$\overline{F} = \overline{A \cdot \overline{C}} \cdot \overline{B}$$

$$\overline{F} = (\overline{A} + C) \cdot \overline{B}$$

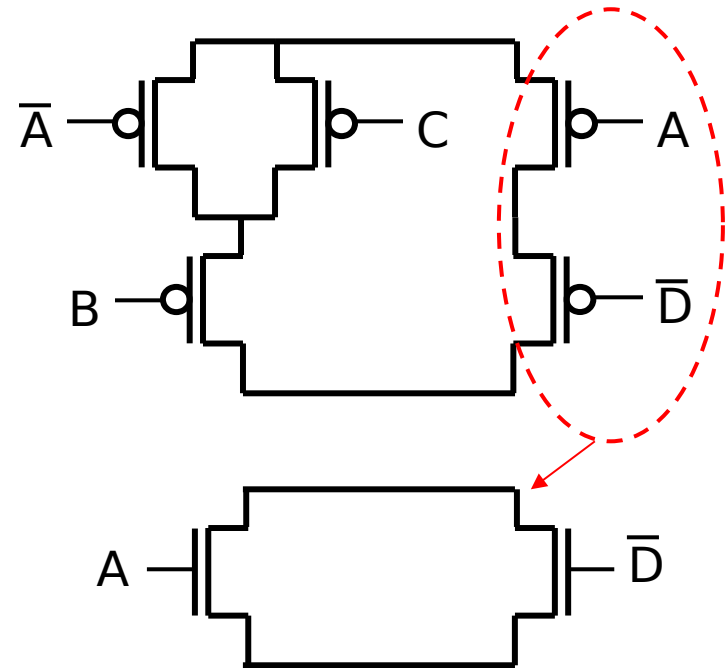
O resultado final é exatamente o mesmo circuito CMOS



# Circuitos Digitais CMOS

## Exemplo 3 (Método I)

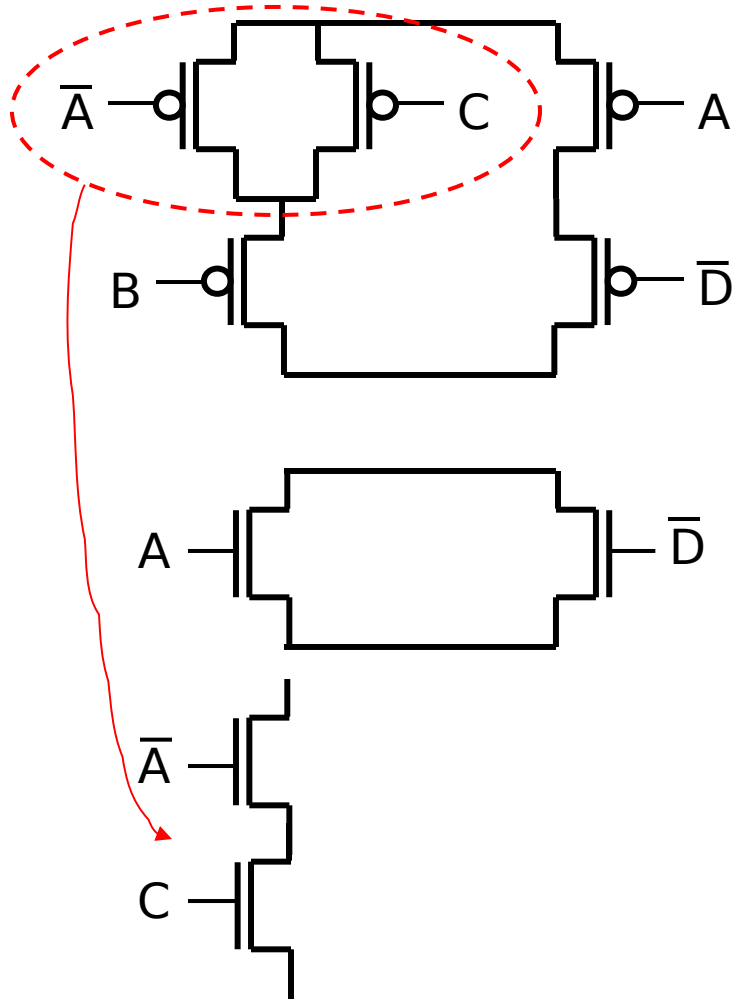
$$F = (\overline{A} \cdot D) + (\overline{B} \cdot (A + \overline{C}))$$



# Circuitos Digitais CMOS

## Exemplo 3 (Método I)

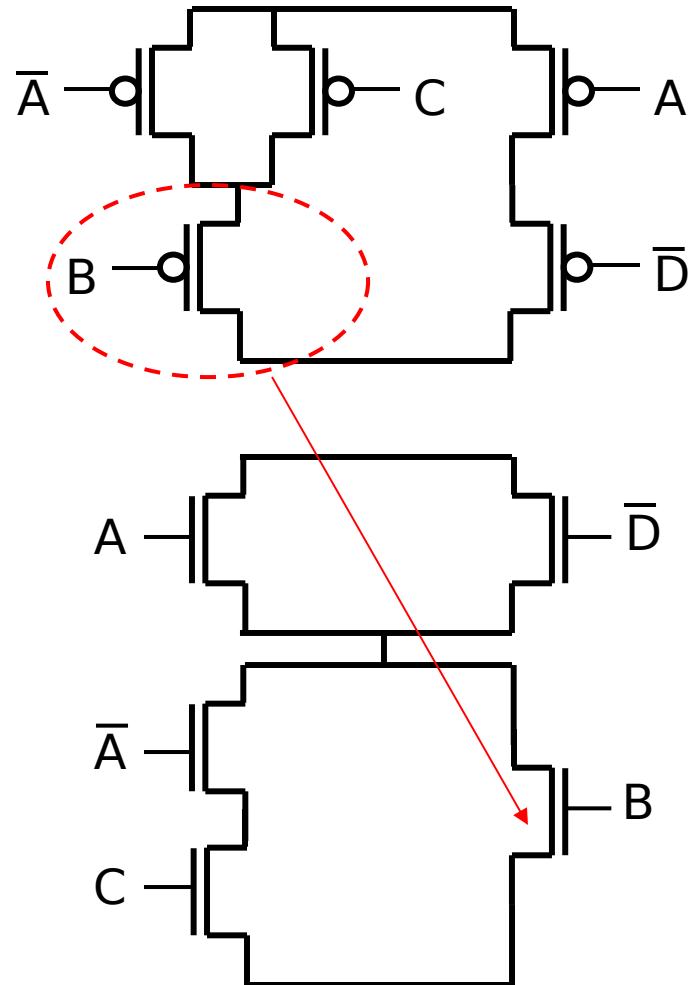
$$F = (\bar{A} \cdot D) + (\bar{B} \cdot (A + \bar{C}))$$



# Circuitos Digitais CMOS

## Exemplo 3 (Método I)

$$F = (\bar{A} \cdot D) + (\bar{B} \cdot (A + \bar{C}))$$

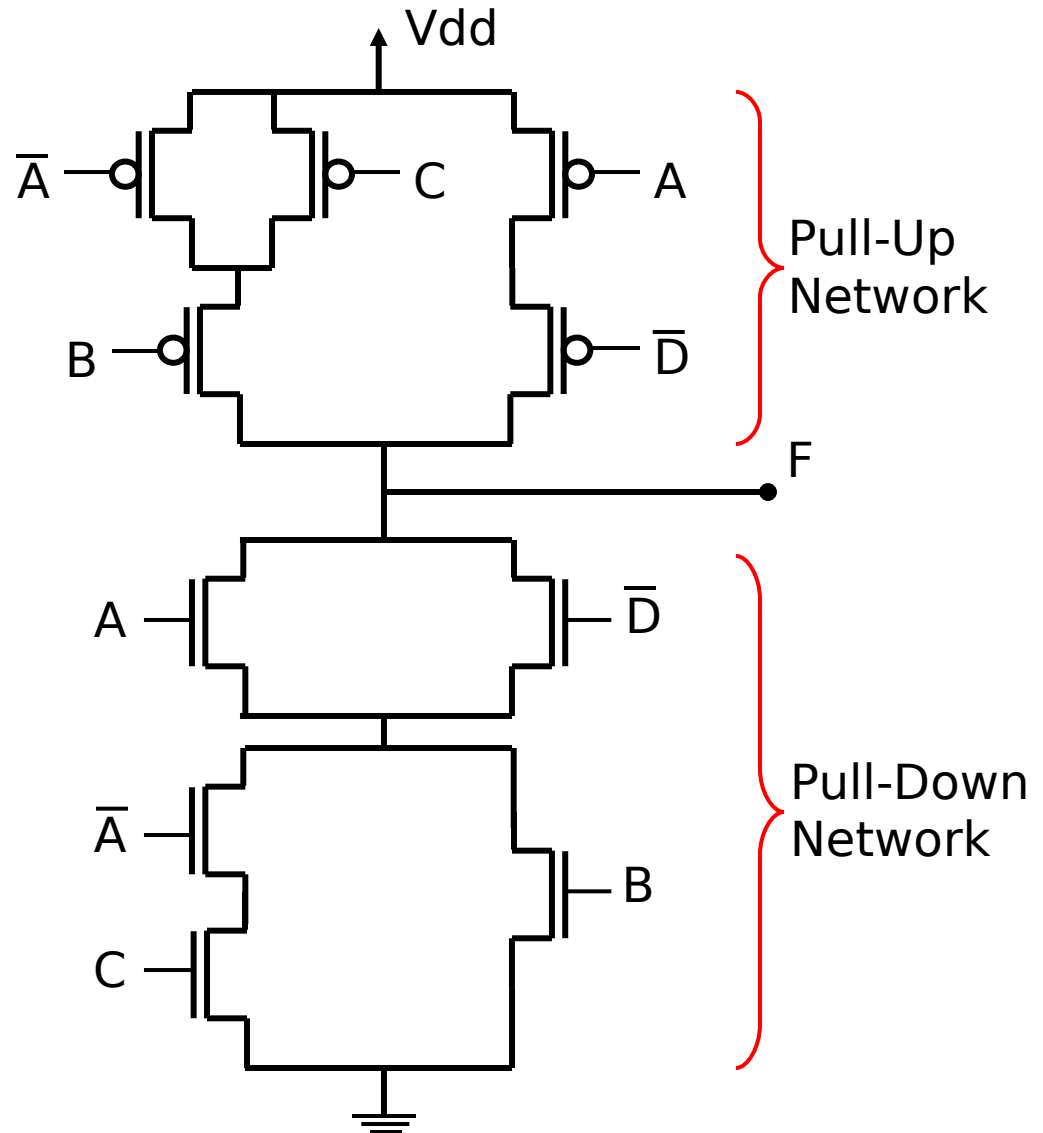




# Circuitos Digitais CMOS

## Exemplo 3 (Método I)

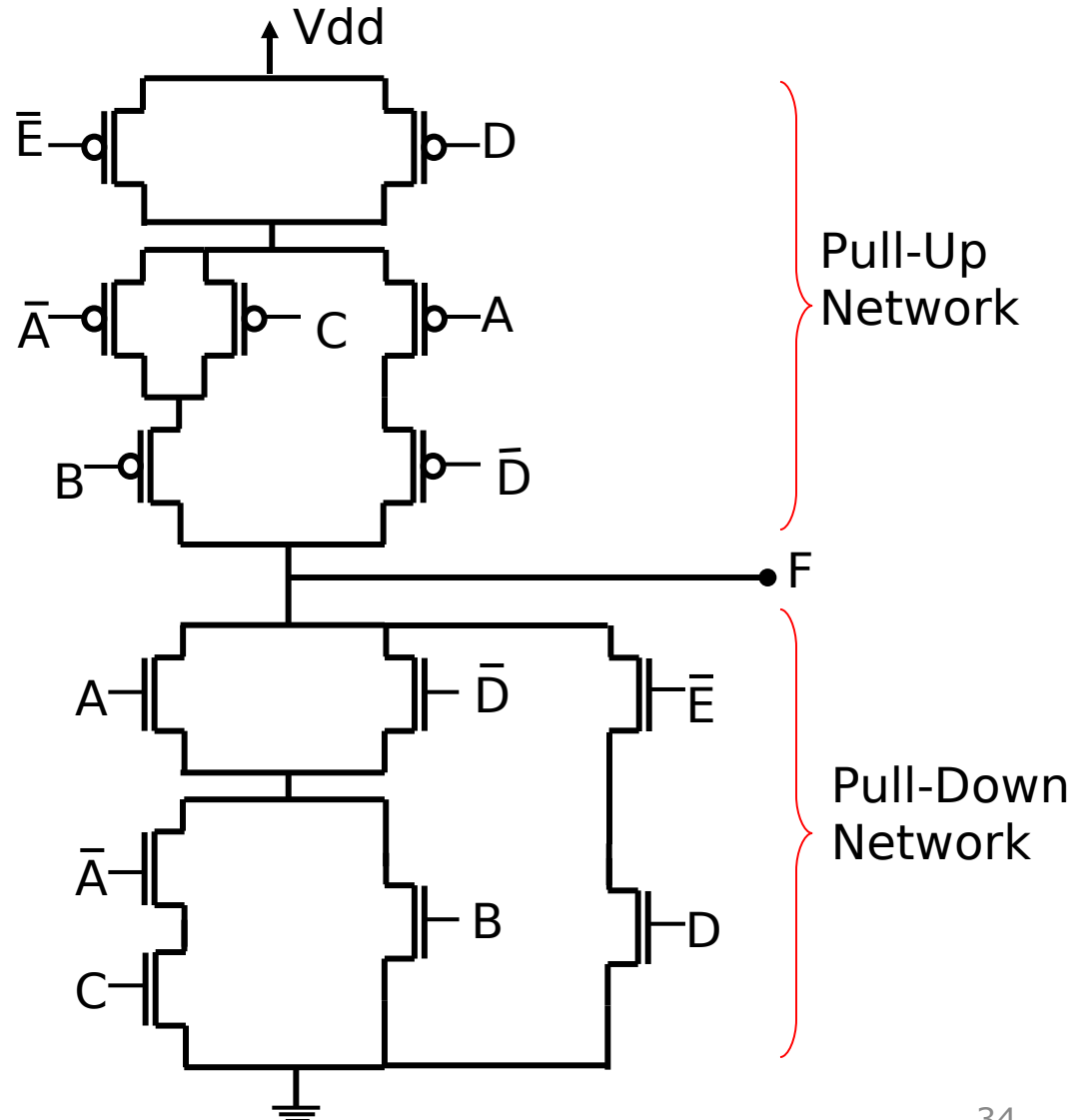
$$F = (\overline{A} \cdot D) + (\overline{B} \cdot (A + \overline{C}))$$



# Circuitos Digitais CMOS

## Exemplo 4 (Método I)

$$F = (E + \bar{D}) \cdot (\bar{A} \cdot D + \bar{B} \cdot (A + \bar{C}))$$



$$F = \overline{(A \cdot \bar{C}) + B}$$