

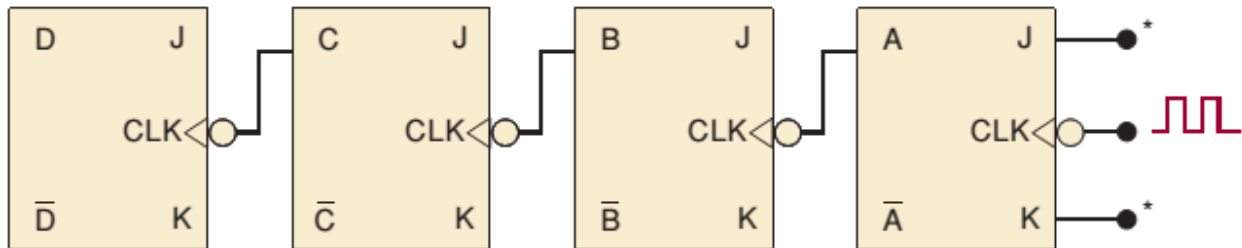
NHẬP MÔN MẠCH SỐ

Bài tập chương 6

I. ASYNCHRONOUS COUNTER (bộ đếm bất đồng bộ)

Câu 1)

Cho mạch đếm như hình bên dưới:



(* tất cả ngõ vào J, K của các FF đều bằng 1)

Thêm một Flip-flop E vào bộ đếm. Giả sử tần số xung clock là 8 MHz với 50% duty cycle.

- Tần số và duty cycle của ngõ ra E bằng bao nhiêu?
- Câu hỏi tương tự câu a với trường hợp xung clock ngõ vào có 20% duty cycle.
- Tần số của ngõ ra C bằng bao nhiêu?
- Hệ số bộ đếm (MOD number) của bộ đếm?

Câu 2)

Cho một bộ đếm bất đồng bộ 5-bit có trạng thái bắt đầu là 00000. Trạng thái của bộ đếm bằng bao nhiêu sau 144 xung clock ngõ vào?

Câu 3)

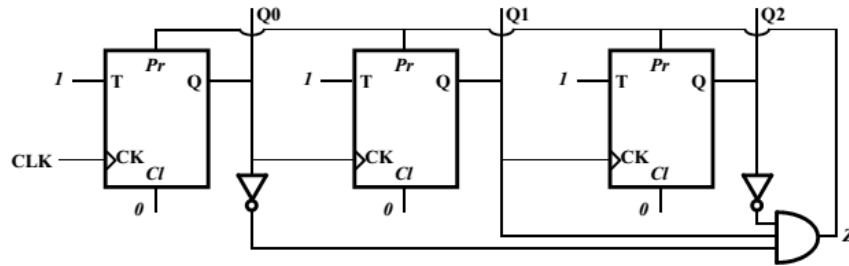
Cho một bộ đếm Ripple Counter 10-bit có tần số xung clock ngõ vào là 256 KHz

- Hệ số bộ đếm (MOD number) ?
- Tần số của ngõ ra MSB?
- Duty cycle của tín hiệu MSB?
- Giả sử bộ đếm bắt đầu từ giá trị 0.

Giá trị bộ đếm hiển thị ở dạng số Hexa bằng bao nhiêu sau 1000 xung?

Câu 4)

Cho bộ đếm sau



- Vẽ dạng sóng của bộ đếm trong 5 xung clock liên tiếp, biết rằng trạng thái ban đầu sau khi bật nguồn $Q_2Q_1Q_0 = 100$
- Cho biết bộ đếm là đếm xuống hay đếm lên. Vẽ lưu đồ trạng thái bộ đếm trong trường hợp giá trị ban đầu của bộ đếm là giá trị bất kì.
- Xác định MOD và tần số của bộ đếm. Biết tần số CLK = 10 KHz

Câu 5)

Cho sơ đồ mạch như câu 1, nhưng đổi thành **FF-T tích cực cạnh xuống**.

Thực hiện các yêu cầu như trong câu 1a, 1b, 1c.

Câu 6)

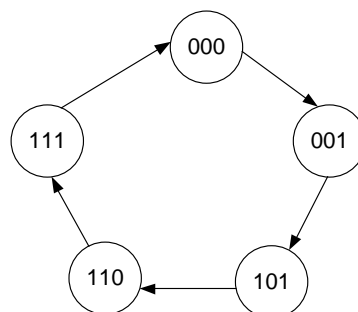
Thiết kế bộ đếm lên bất đồng bộ **MOD-5** dùng **FF-T** có xung clock tích cực cạnh xuống và ngõ vào Preset và Clear tích cực cao. Biết rằng trạng thái ban đầu của bộ đếm là **1**.

Câu 7)

Thiết kế bộ đếm xuống bất đồng bộ **MOD-5** dùng **FF-J_K** có xung clock tích cực cạnh xuống và ngõ vào Preset và Clear tích cực thấp. Biết rằng trạng thái ban đầu của bộ đếm là **2**.

Câu 8)

Thiết kế bộ đếm bất đồng bộ dùng **FF-T**, có ngõ vào xung clock kích theo cạnh xuống; các ngõ vào Preset (Pr) và Clear (Clr) tích cực thấp. Biết rằng bộ đếm có giản đồ xung như sau:

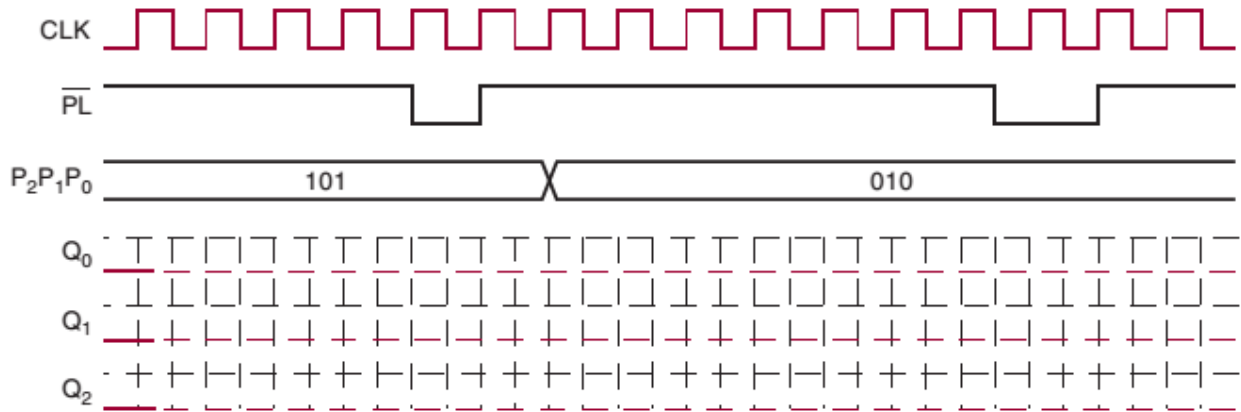


- Xác định MOD của bộ đếm
- Trình bày chi tiết cách thiết kế bộ đếm trên
- Vẽ lại giản đồ bộ đếm bao gồm đầy đủ các trạng thái.

II. SYNCHRONOUS COUNTER (Bộ đếm đồng bộ)

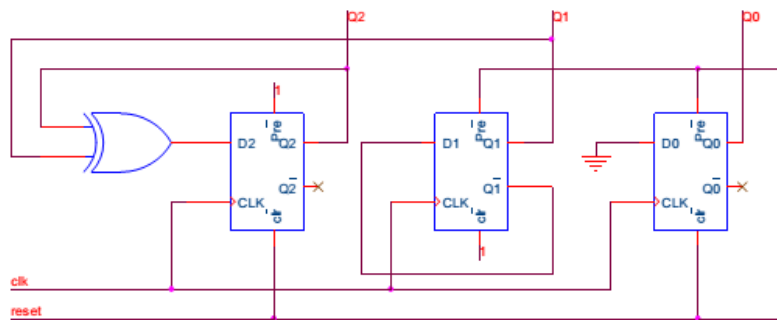
Câu 1)

Hoàn thành giản đồ định thời cho dạng sóng được cho bên dưới. Biết rằng bộ đếm được sử dụng là bộ đếm **lên (tần tự)** đồng bộ, với tín hiệu Preset bất đồng bộ và tích cực mức thấp. **Biết rằng các FF sử dụng được kích cạnh xuống.**



Câu 2)

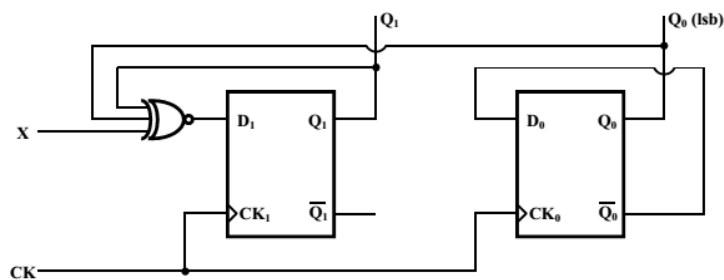
Cho mạch đếm song song dùng FF-D như hình dưới.



- Tìm phương trình ngõ vào của các FFs
- Lập bảng chuyển đổi trạng thái của mạch
- Nếu tín hiệu reset tích cực, giá trị ban đầu của bộ đếm bằng bao nhiêu? Biết rằng khi PRE và CLR tích cực đồng thời, ngõ ra của FF được Set bằng 1.

Câu 3)

Cho bộ đếm song song 2 bit Q_1 và Q_0 (LSB), bộ đếm có 1 ngõ vào điều khiển X

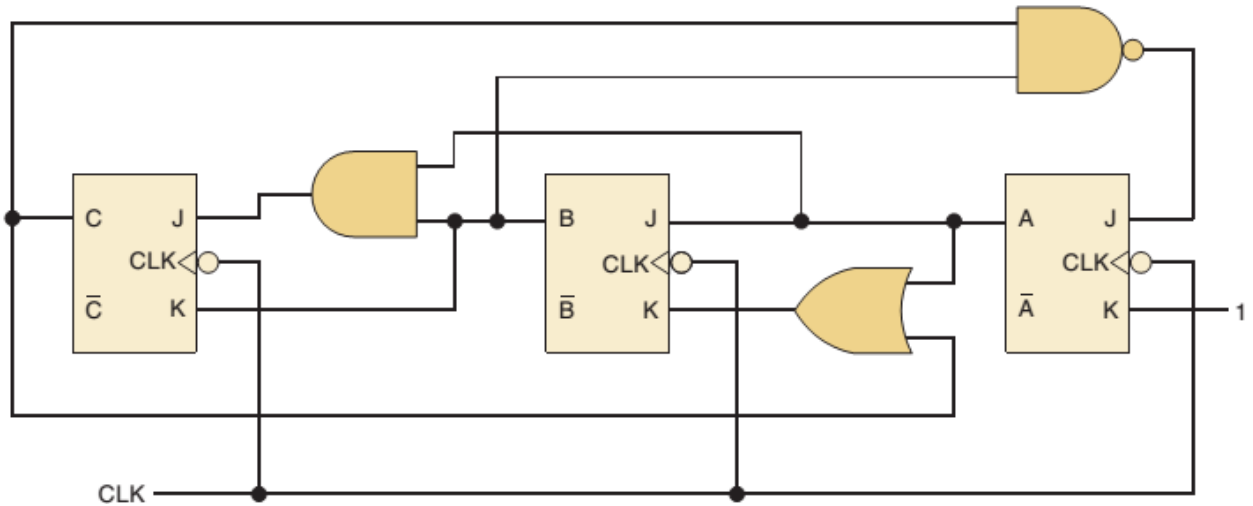


- Viết phương trình ngõ vào D1, D0 của các FFs

- b) Lập bảng chuyển trạng thái của bộ đếm
- c) Xác định dãy đếm và cho biết ý nghĩa của ngõ vào X

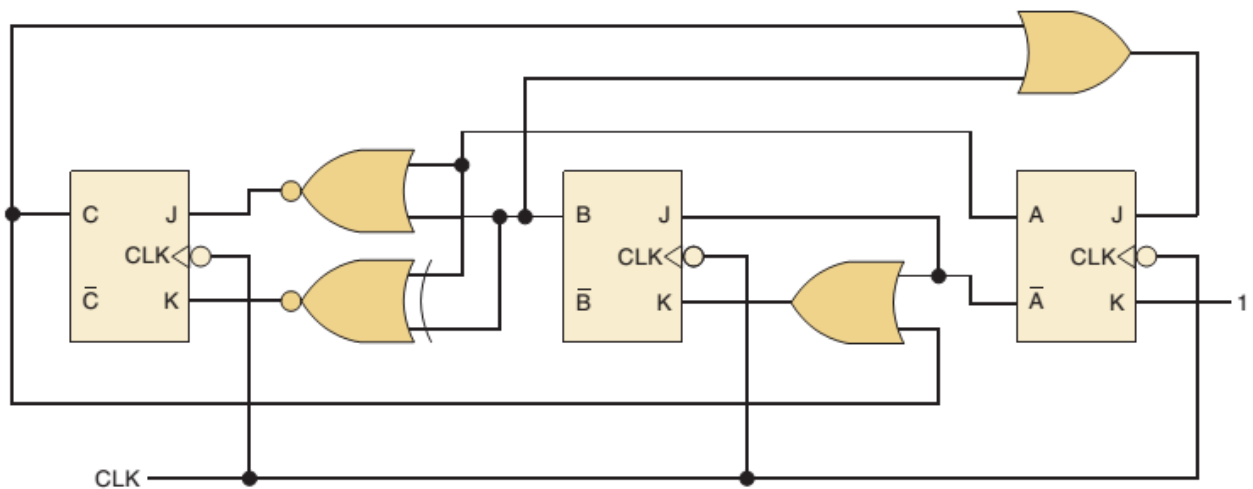
Câu 4)

Phân tích mạch đếm đồng bộ được cho ở hình dưới. Vẽ giản đồ định thời và xác định hệ số bộ đếm?



Câu 5)

Phân tích mạch đếm đồng bộ được cho ở hình dưới. Vẽ giản đồ chuyển trạng thái và xác định hệ số bộ đếm?

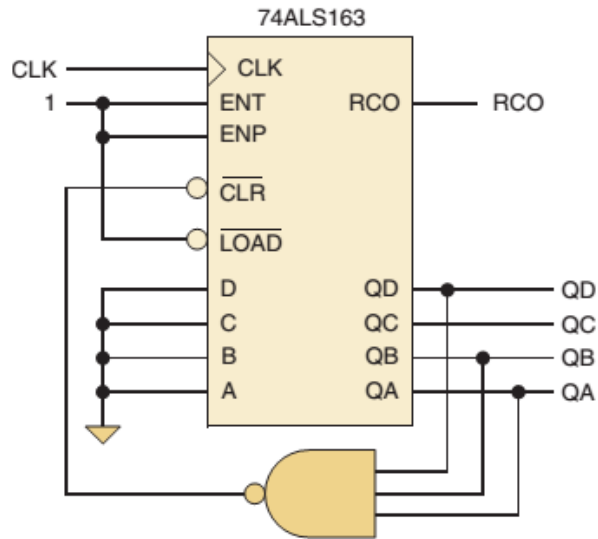


Câu 6)

Cho mạch đếm lên đồng bộ với chip 74ALS163 (CLEAR và LOAD đồng bộ) như bên dưới:

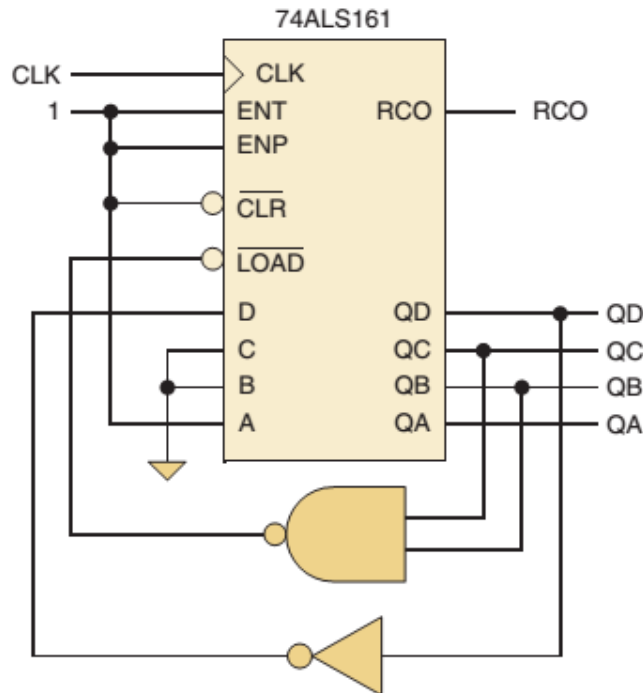
- a) Vẽ giản đồ chuyển trạng thái của bộ đếm theo $Q_D Q_C Q_B Q_A$
- b) Xác định hệ số bộ đếm
- c) Tần số ngõ ra tại Q_D bằng bao nhiêu tần số ngõ vào?
- d) Duty cycle của Q_D ?

Biết rằng ENT và ENP là các chân cho phép của bộ đếm



Câu 7)

Lắp lại các câu hỏi như trong câu 4 cho mạch đếm lên được kết nối dùng chip 74ALS161 (CLEAR bất đồng bộ và LOAD đồng bộ) như hình dưới:



Câu 8:

Thiết bộ bộ đếm lên/xuống MOD-16.

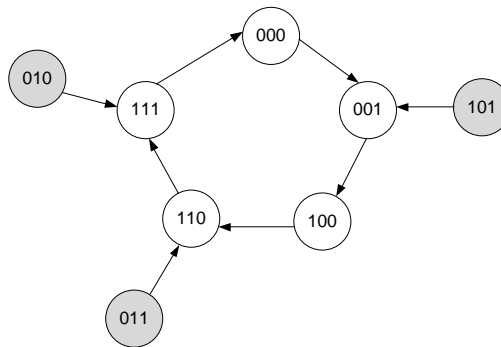
Hướng đếm của bộ đếm được điều khiển bởi tín hiệu *dir* (*dir* = 0 đếm lên).

Câu 9:

Sử dụng lần lượt FF-D, T, S_R, J_K kích theo cạnh lên, thiết kế bộ đếm đồng bộ 3-bit để điều khiển một Motor bước (Stepper Motor). Biết rằng bộ đếm sẽ đếm lên nếu ngõ vào điều khiển D=1 và đếm xuống nếu D=0

Câu 10)

Sử dụng lần lượt FF-D, T, S_R, J_K kích theo cạnh lên, thiết kế bộ đếm song song có chuỗi đếm sau:



- Lập bảng kích thích cho các ngõ vào của các Flip-Flop
- Thiết kế mạch đếm trên

Câu 11)

Sử dụng lần lượt FF-D, T, S_R, J_K kích theo cạnh xuống, thiết kế mạch đếm tuần tự song song có đặc tính sau:

Khi ngõ nhập $x=0$, các trạng thái trong mạch không thay đổi.

Khi ngõ nhập $x=1$, dãy trạng thái của mạch lần lượt là 11,01,10,00 và lặp lại.

Câu 12)

Sử dụng lần lượt FF-D, T, S_R, J_K kích cạnh lên để thiết kế bộ đếm xuống MOD-5 có chuỗi đếm 100, 011, 010, 001, 000 và lặp lại

- Các trạng thái không có trong chu trình đếm được chuyển về trạng thái 000
- Sử dụng tùy định (don't care) cho các trạng thái tiếp theo của các trạng thái không có trong chu trình đếm. Bộ đếm có phải là bộ đếm tự hiệu chỉnh không? (self-correcting)