



**Министерство науки и высшего образования Российской
Федерации
Федеральное государственное бюджетное образовательное
учреждение
высшего образования
«Московский государственный технический университет
имени Н.Э. Баумана
(национальный исследовательский университет)»
(МГТУ им. Н.Э. Баумана)**

ФАКУЛЬТЕТ ИНФОРМАТИКА И СИСТЕМЫ УПРАВЛЕНИЯ

КАФЕДРА КОМПЬЮТЕРНЫЕ СИСТЕМЫ И СЕТИ (ИУ6)

**НАПРАВЛЕНИЕ ПОДГОТОВКИ Программное обеспечение ЭВМ и
информационные технологии**

О Т Ч Е Т

по лабораторной работе № 2

Название: ИССЛЕДОВАНИЕ ДЕШИФРАТОРОВ

Дисциплина: АРХИТЕКТУРА ЭВМ

Студент ИУ7-И46Б
(Группа)

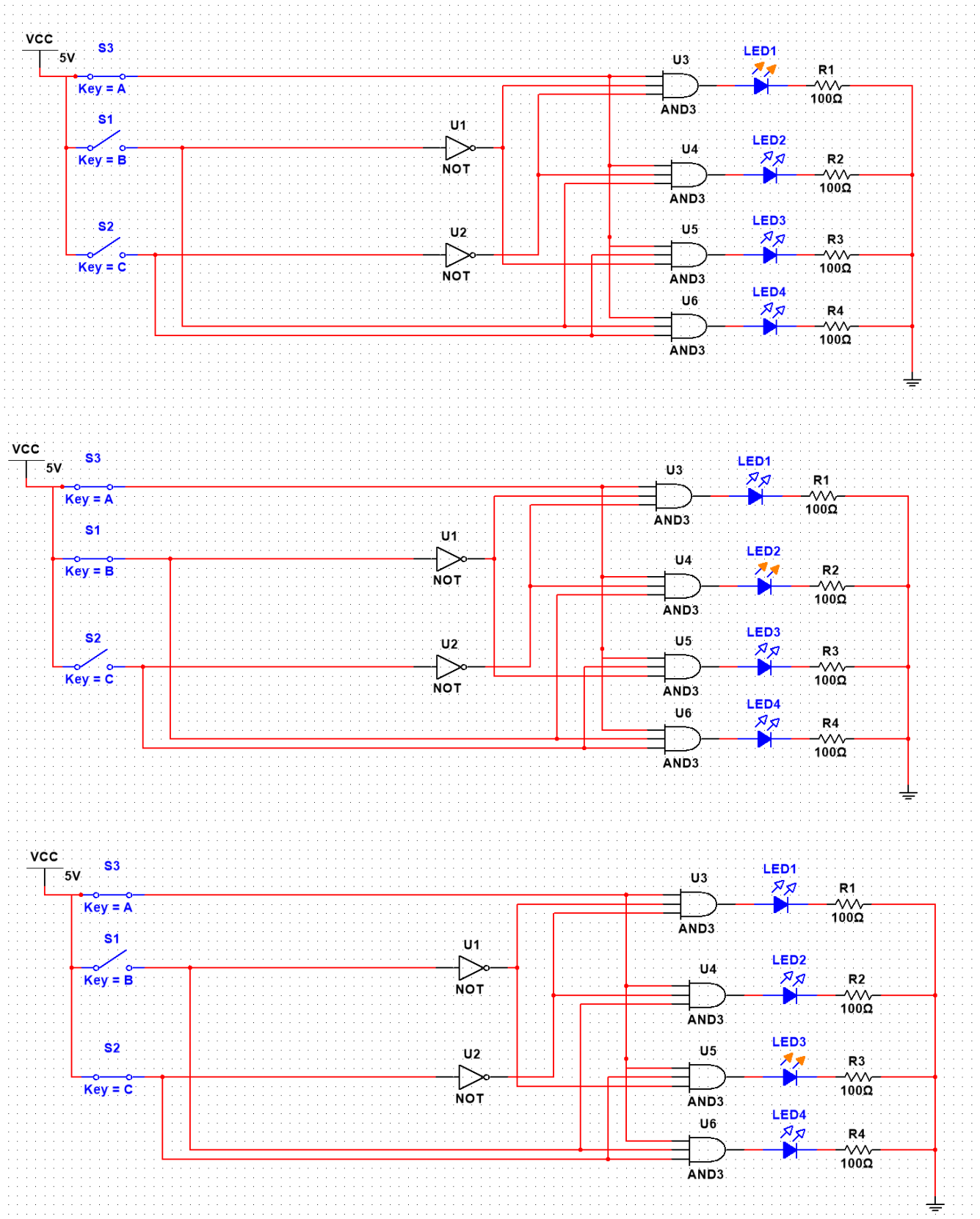
Нгуен Ань Тхы
(Подпись, дата) (И.О. Фамилия)

Преподаватель

Папов.А.Ю
(Подпись, дата) (И.О. Фамилия)

Москва, 2020

1. Исследование линейного двухвходового дешифратора с инверсными выходами:



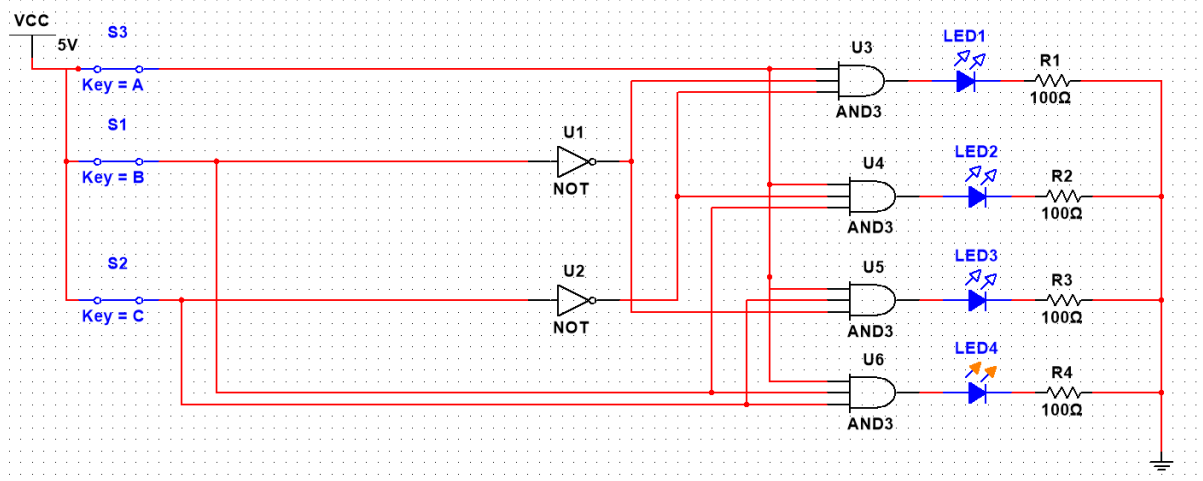
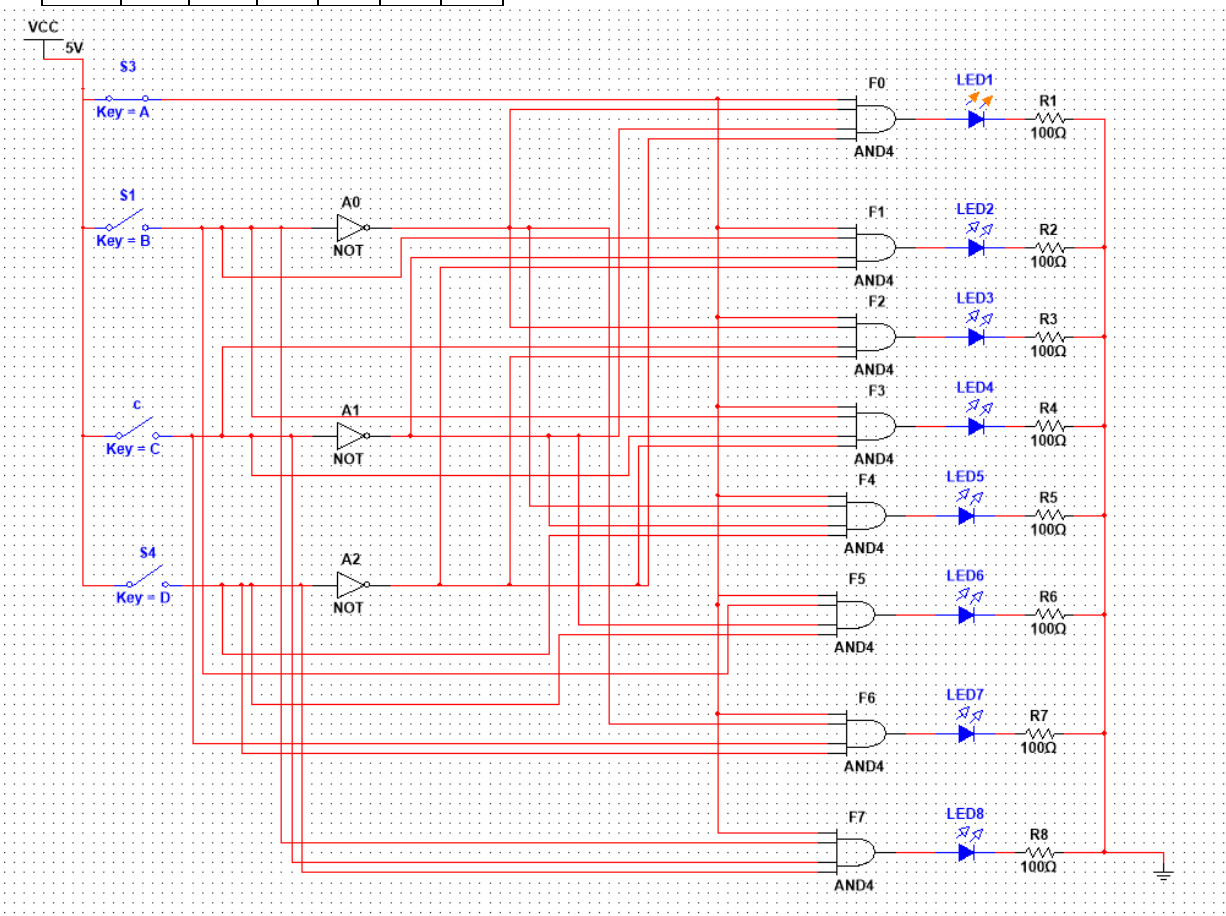
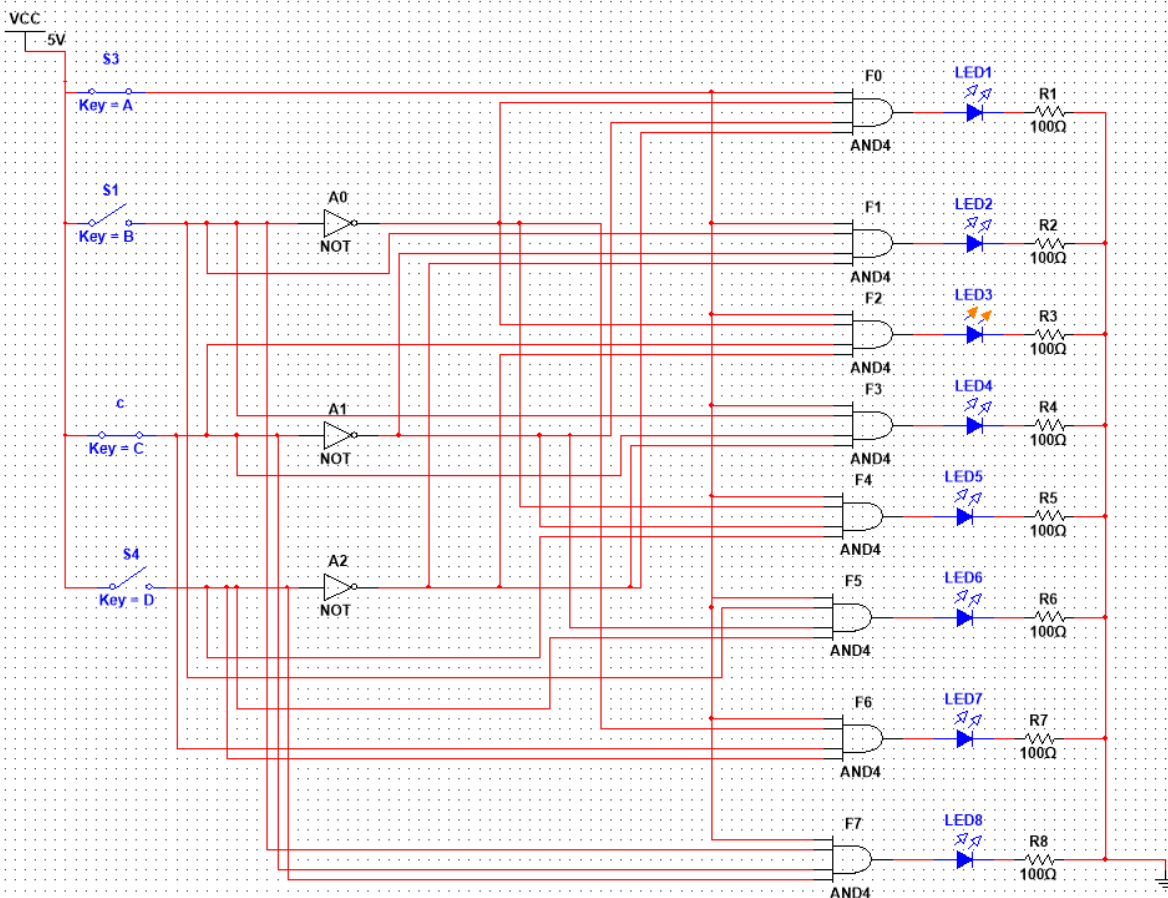
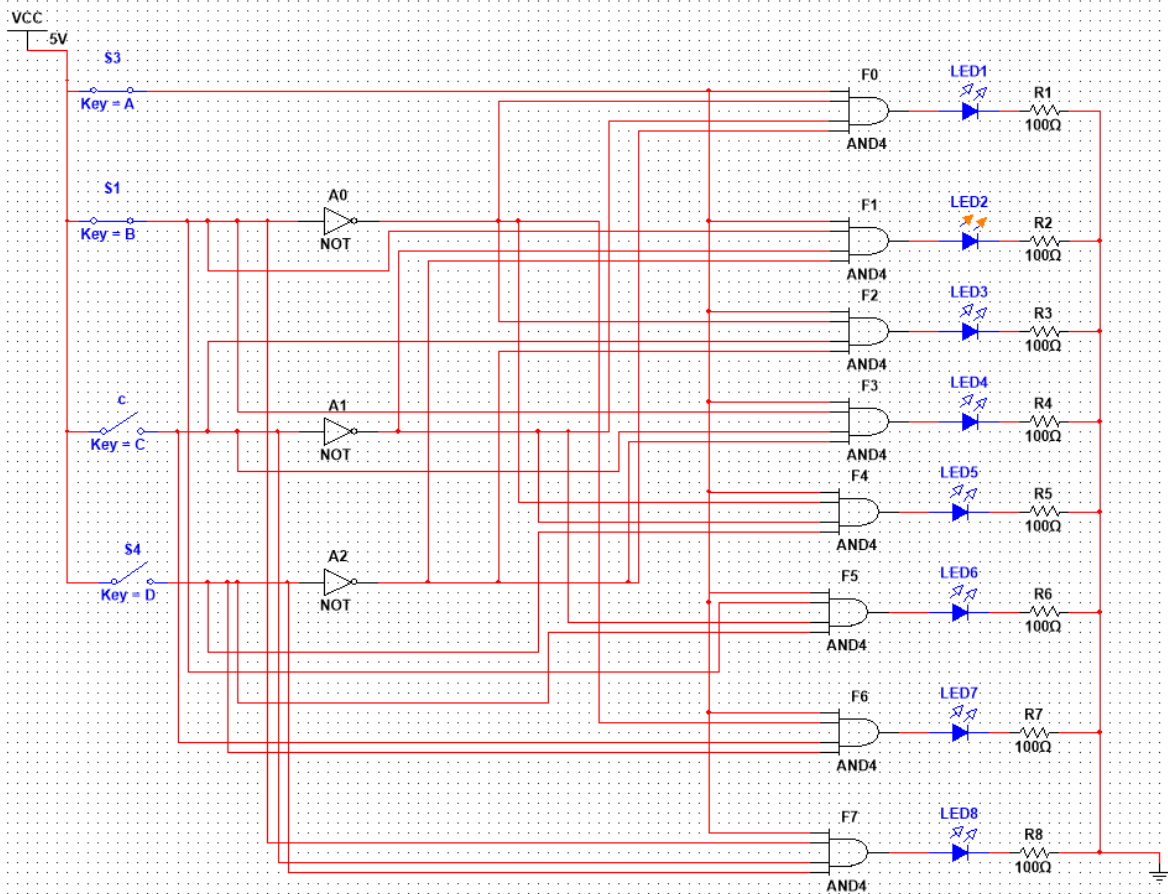
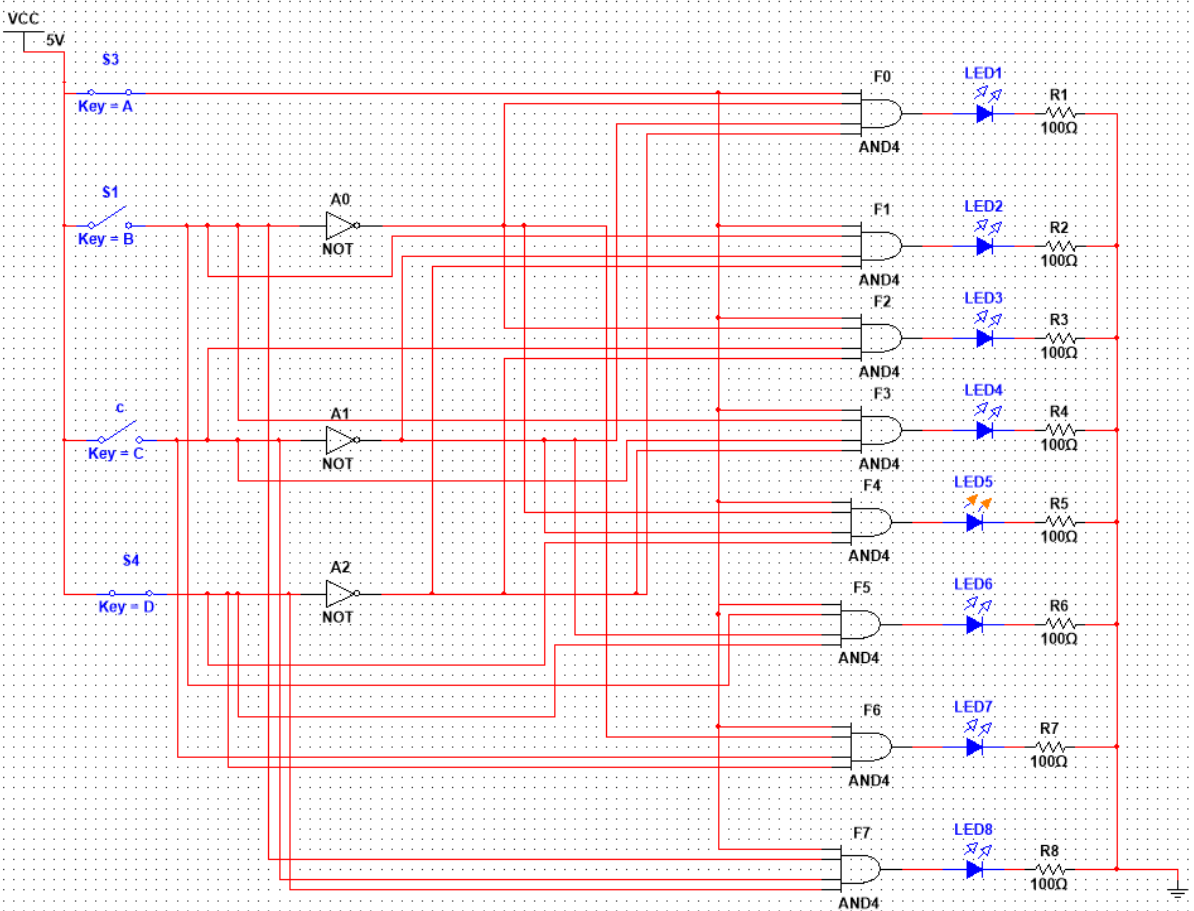
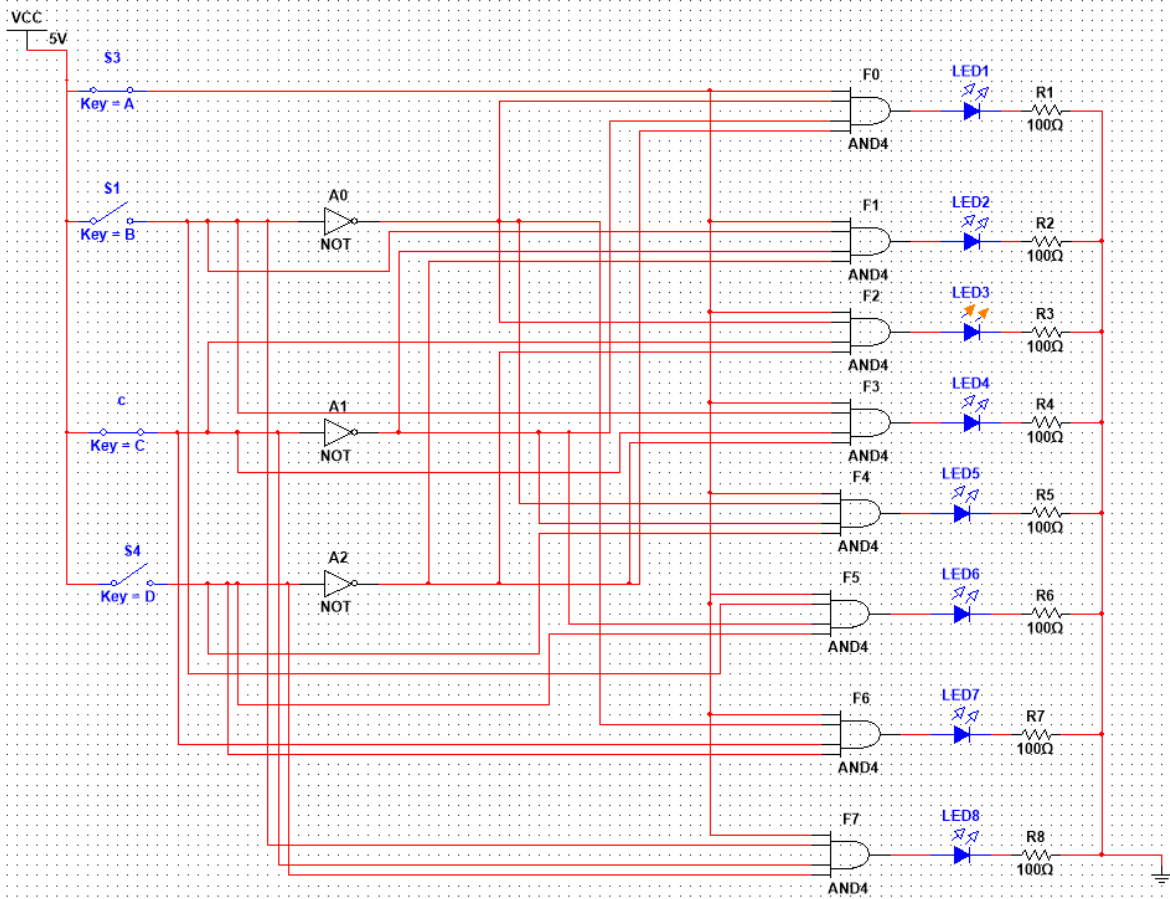


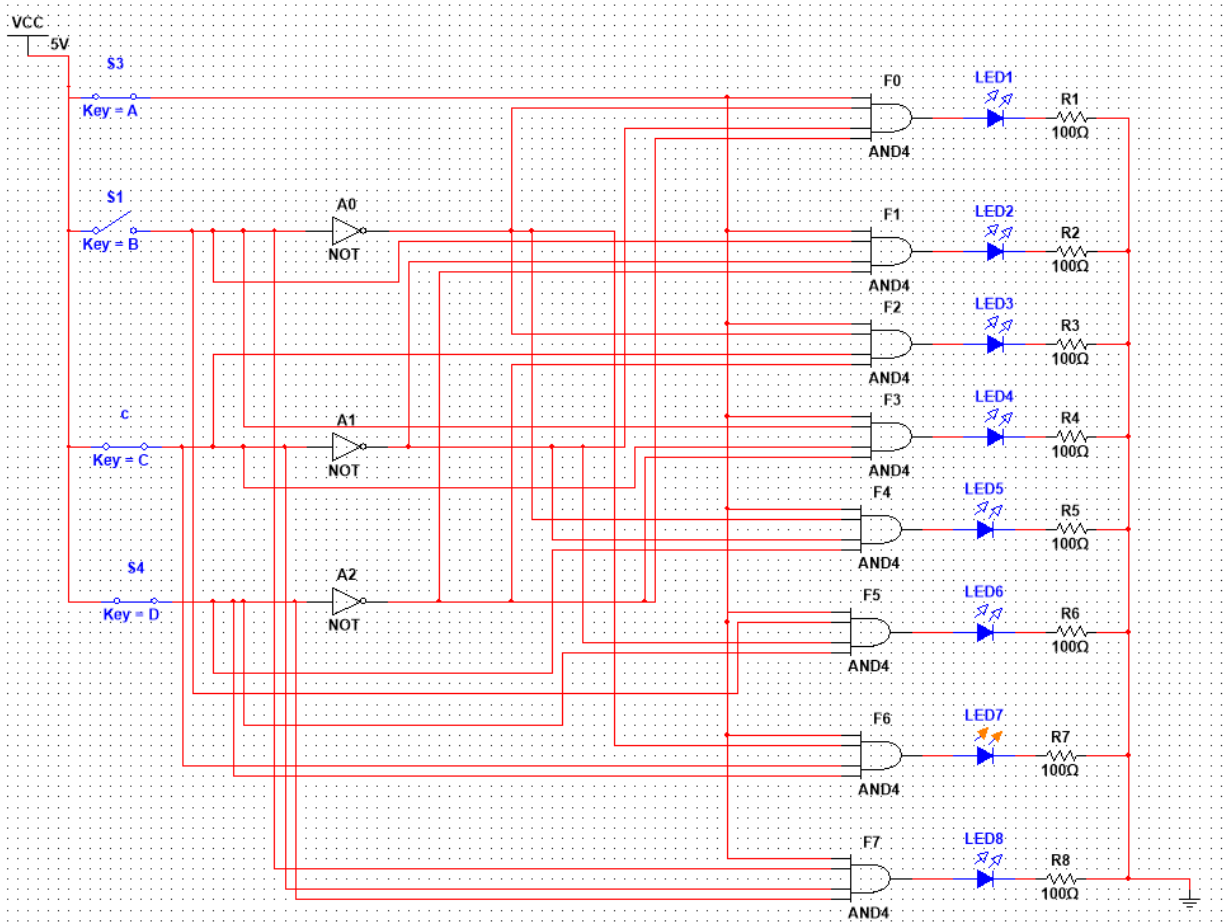
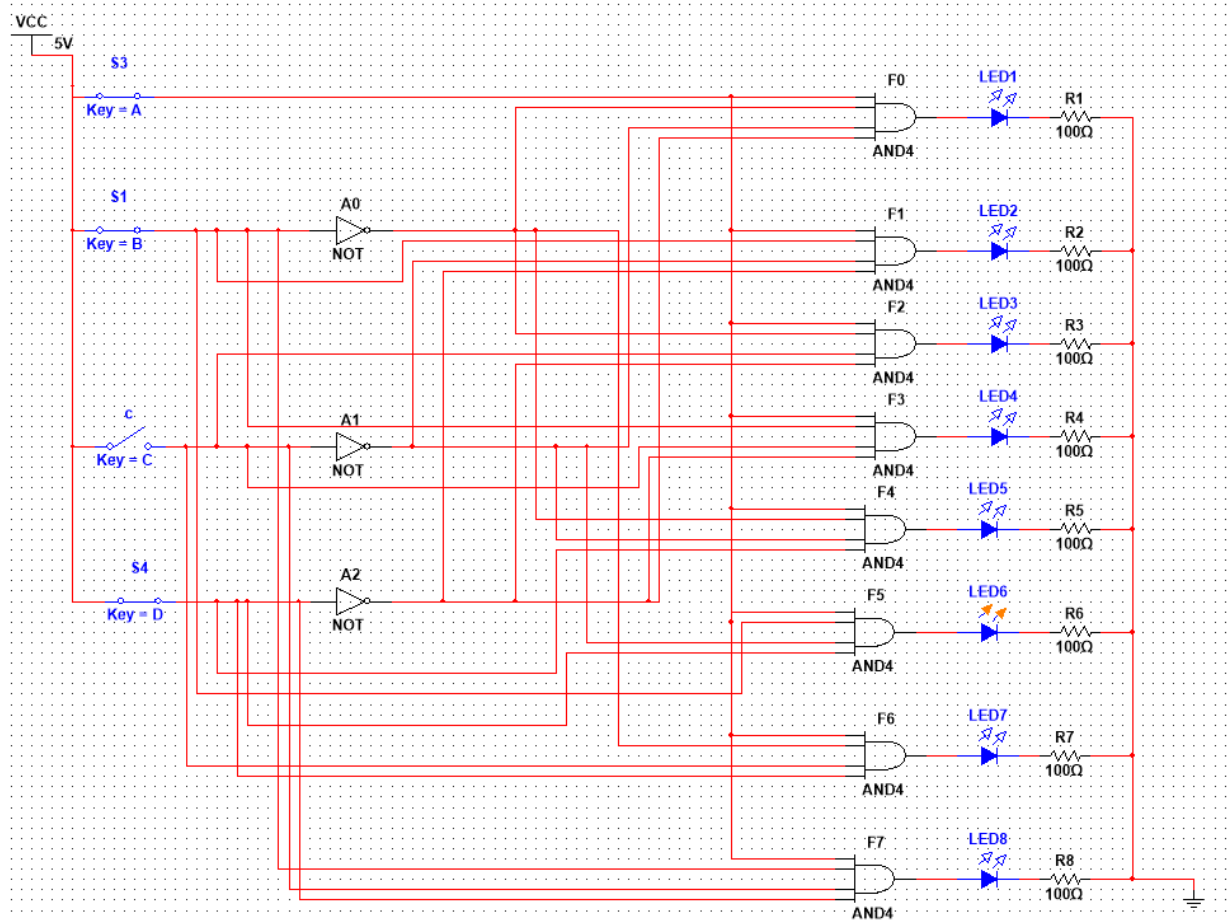
Таблица истинности дешифратора DC 2-4

EN	A ₁	A ₀	F ₀	F ₁	F ₂	F ₃
0	x	x	0	0	0	0
1	0	0	1	0	0	0
1	0	1	0	1	0	0
1	1	0	0	0	1	0
1	1	1	0	0	0	1









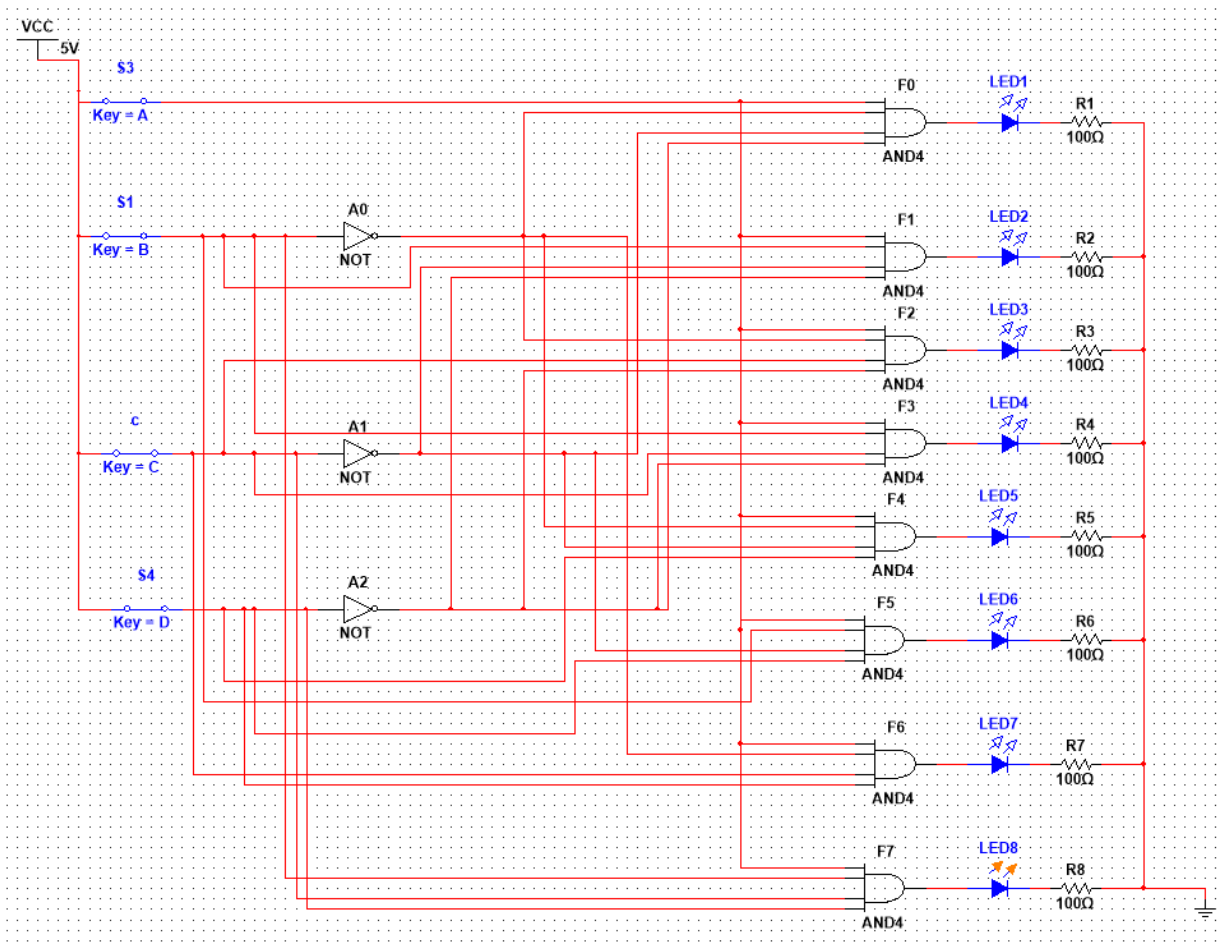
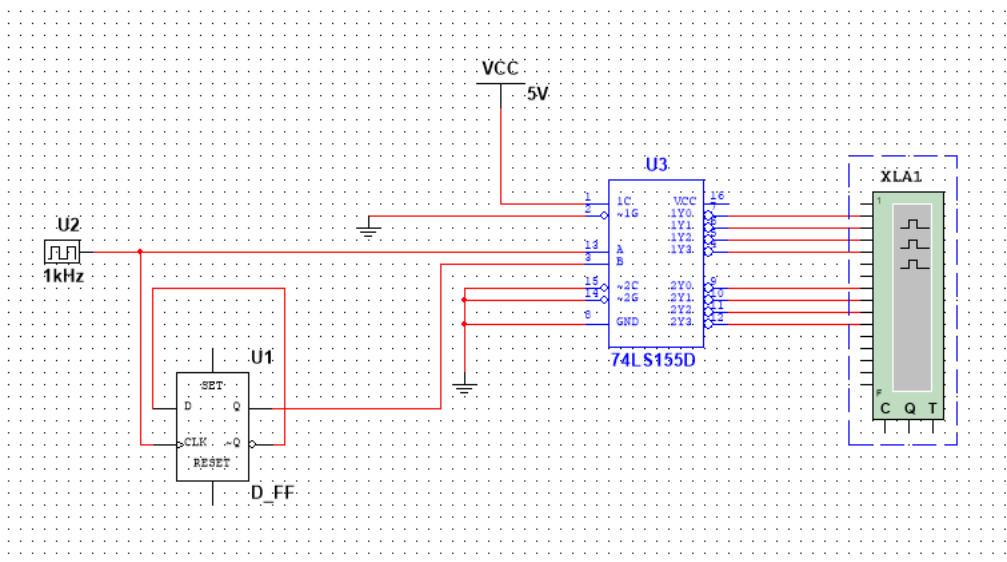


Таблица истинности дешифратора DC 3-8:

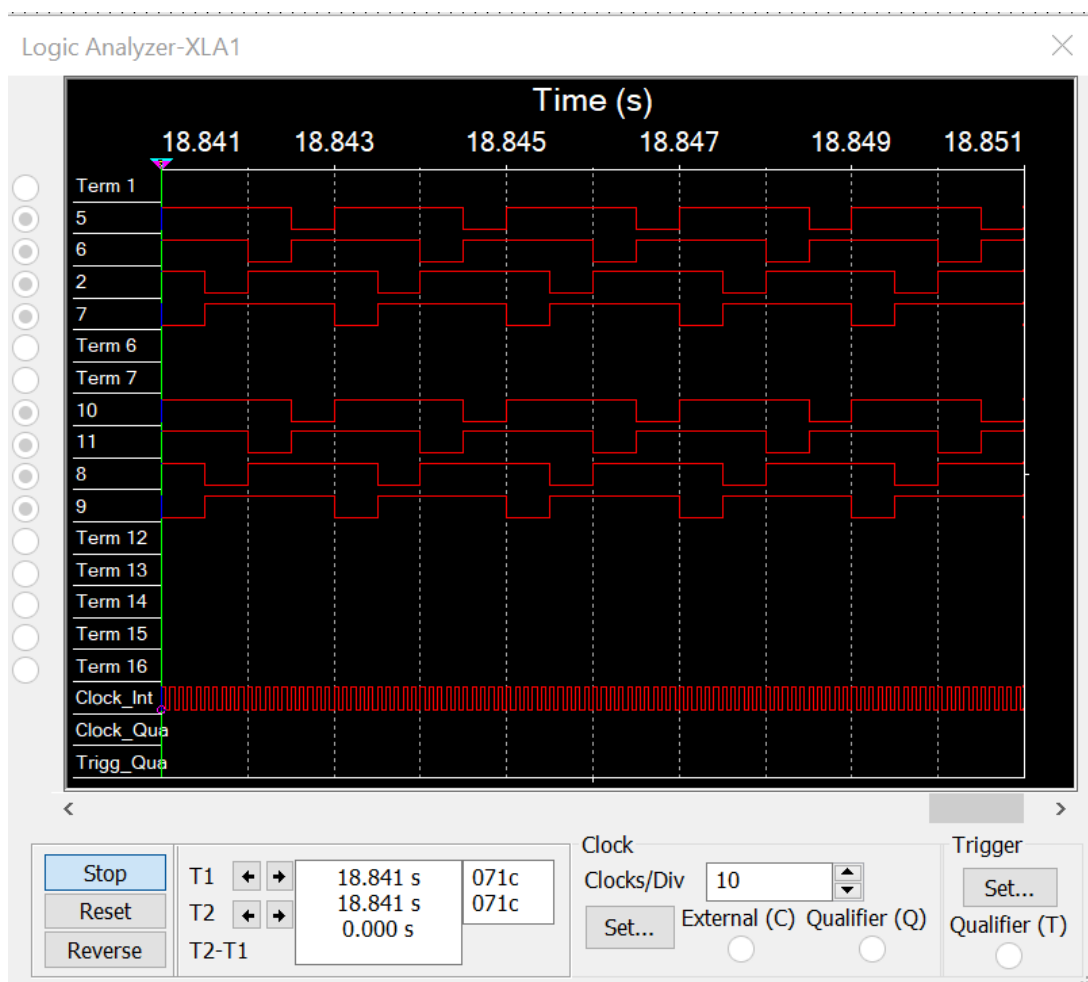
EN	A ₂	A ₁	A ₀	F ₀	F ₁	F ₂	F ₃	F ₄	F ₅	F ₆	F ₇
0	x	x	x	0	0	0	0	0	0	0	0
1	0	0	0	1	0	0	0	0	0	0	0
1	0	0	1	0	1	0	0	0	0	0	0
1	0	1	0	0	0	1	0	0	0	0	0
1	0	1	1	0	0	0	1	0	0	0	0
1	1	0	0	0	0	0	0	1	0	0	0
1	1	0	1	0	0	0	0	0	1	0	0
1	1	1	0	0	0	0	0	0	0	1	0
1	1	1	1	0	0	0	0	0	0	0	1

2. Исследование дешифраторов (74LS155D).

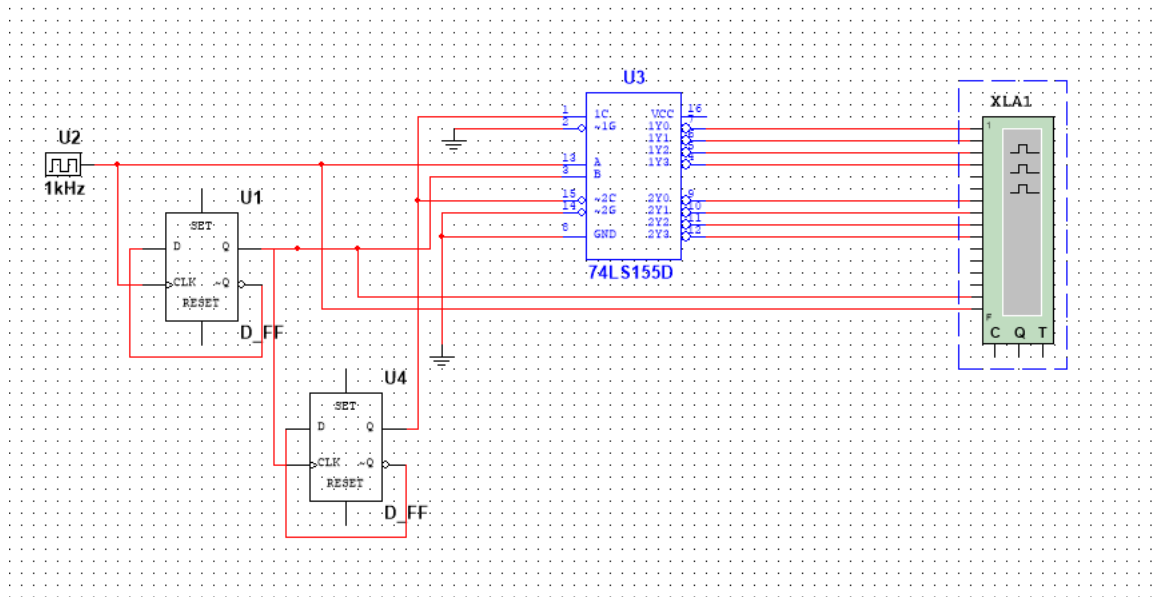
А) Схема с двухвходовым дешифратором:



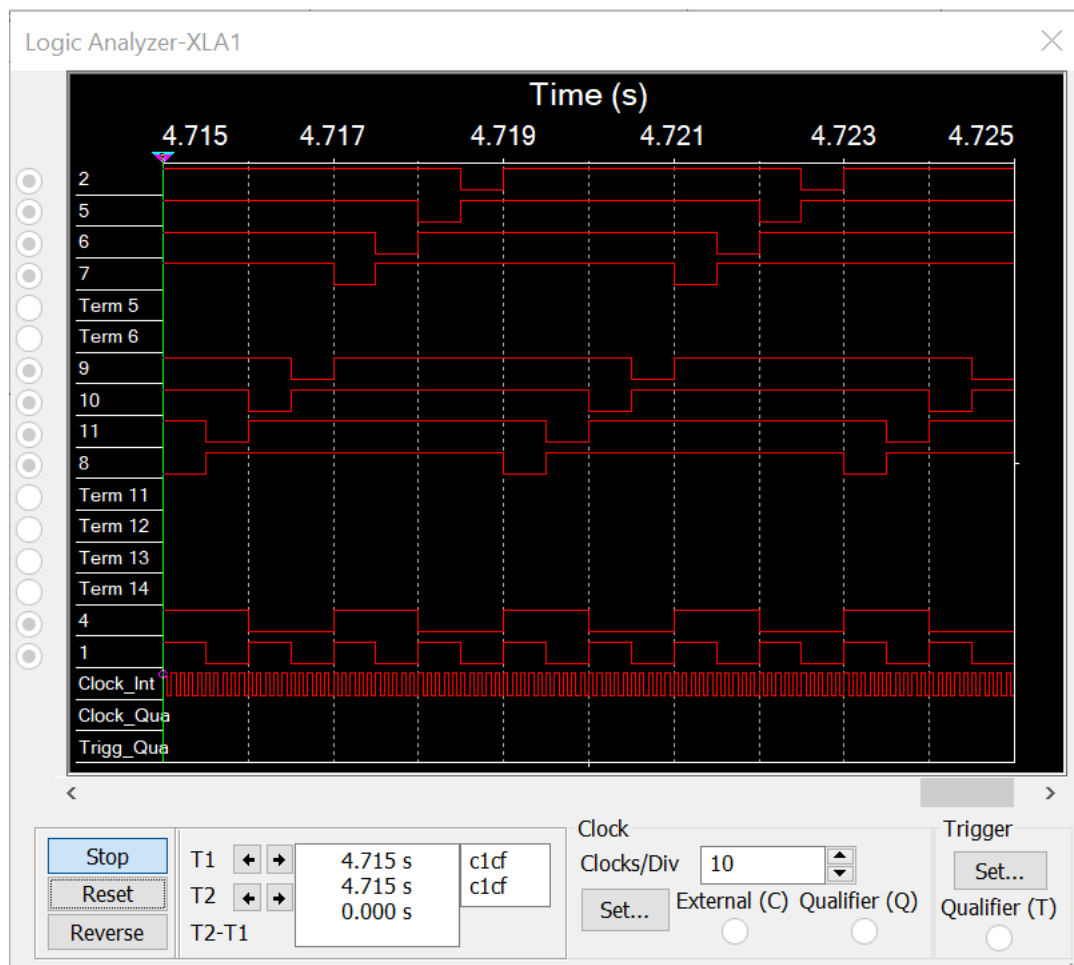
Временные диаграммы:



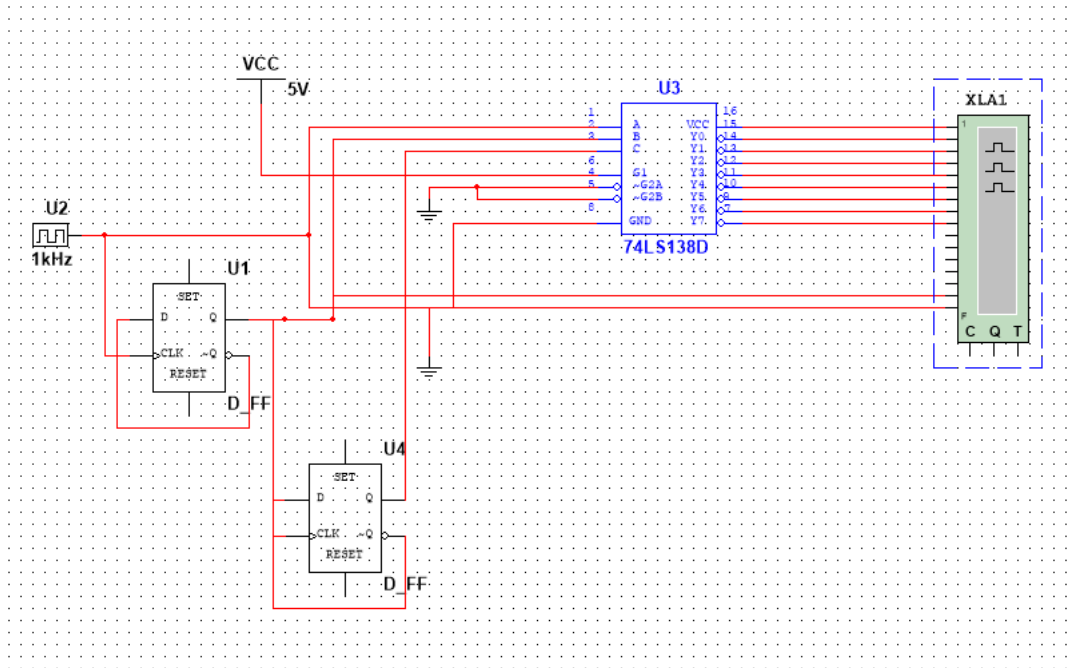
Б) Трёхвходовый дешифратор на основе дешифратора 74LS155D:



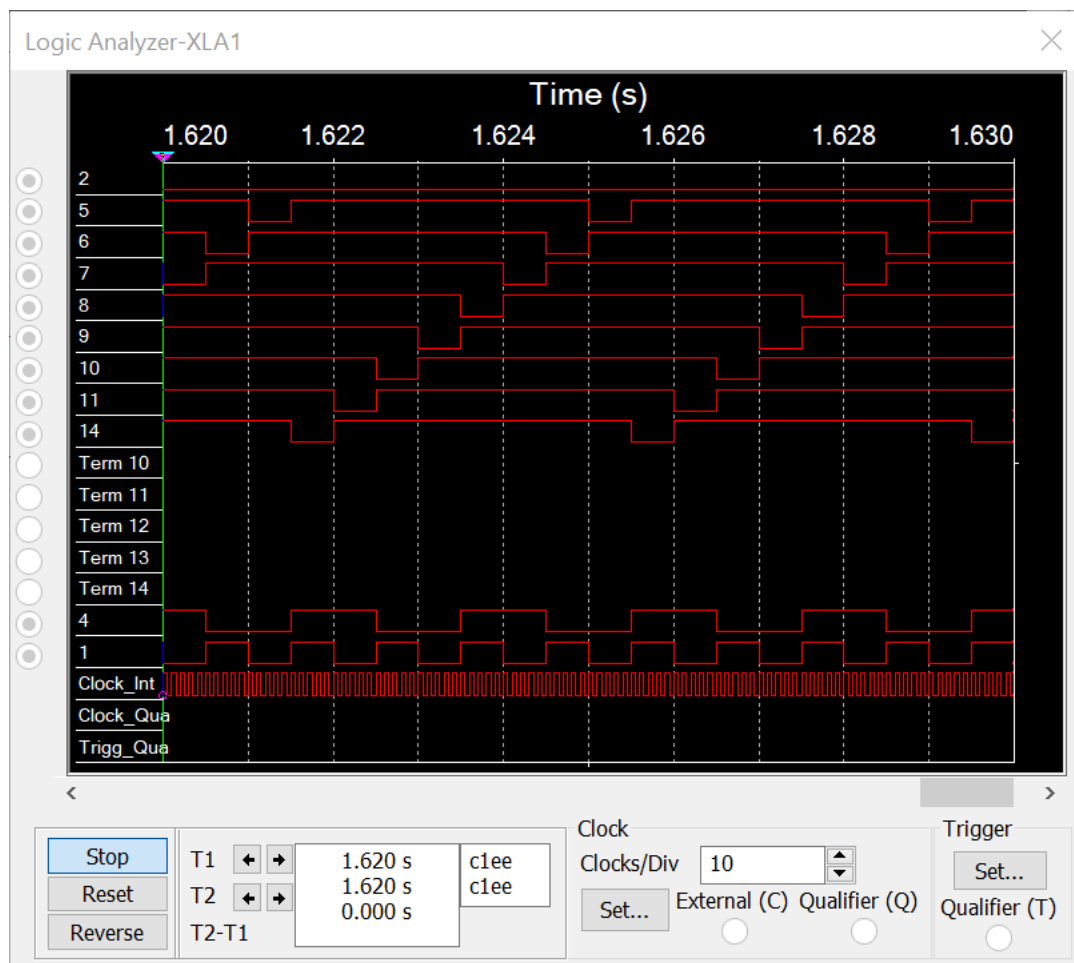
Временные диаграммы:



4. Исследовать работоспособность дешифраторов ИС 533ИД7 (74LS138)



Временные диаграммы:



Контрольные вопросы

1. Что называется дешифратором?

Дешифратором называется комбинационный узел с n входами и N выходами, преобразующий каждый набор двоичных входных сигналов в активный сигнал на выходе, соответствующий этому набору.

2. Какой дешифратор называется полным (неполным)?

В дешифраторе с n входами и N выходами $N \leq 2^n$.
Дешифратор, имеющий 2^n выходов, называется полным, при меньшем числе выходов - неполным

3. Определите закон функционирования дешифратора аналитически и таблично.

EN	A_{n-1}	A_{n-2}	A_{n-3}	...	A_1	A_0	F_0	F_1	F_2	...	F_{N-2}	F_{N-1}
0	x	x	x	...	x	x	0	0	0	...	0	0
1	0	0	0	...	0	0	0	0	0	...	0	0
1	0	0	1	...	0	1	0	0	0	...	0	0
1	0	1	0	...	1	0	1	0	0	...	0	0
.
.
.
1	1	1	0	...	1	0	0	0	0	...	1	0
1	1	1	1		0	0	0	0	0	...	0	1

$$F_0 = EN \cdot \overline{A_{n-1}} \cdot \overline{A_{n-2}} \cdot \dots \cdot \overline{A_i} \cdot \overline{A_1} \cdot \overline{A_0},$$

$$F_1 = EN \cdot \overline{A_{n-1}} \cdot \overline{A_{n-2}} \cdot \dots \cdot \overline{A_i} \cdot \overline{A_1} \cdot A_0,$$

$$F_2 = EN \cdot \overline{A_{n-1}} \cdot \overline{A_{n-2}} \cdot \dots \cdot \overline{A_i} \cdot A_1 \cdot \overline{A_0},$$

.....

$$F_{N-2} = EN \cdot A_{n-1} \cdot A_{n-2} \cdot \dots \cdot A_i \cdot A_1 \cdot \overline{A_0},$$

$$F_{N-1} = EN \cdot A_{n-1} \cdot A_{n-2} \cdot \dots \cdot A_i \cdot A_1 \cdot A_0,$$

Где:

A_i ($i = 0, n - 1$) - входные сигналы (переменные) дешифратора

F_j ($j = 1, N - 1$) - выходные сигналы (функции) дешифратора

EN- сигнал разрешения (стробирования) работы дешифратора

4. Поясните основные способы построения дешифраторов.

По способу построения дешифраторы разделяют на линейные и каскадные. Разновидностями последних являются пирамидальные и ступенчатые дешифраторы.

5. Что называется гонками и как устраняются ложные сигналы, вызванные гонками?

Вследствие переходных процессов и временных задержек сигналов в цепях логических элементов могут возникнуть так называемые гонки (состязания), приводящие к появлению ложных сигналов на выходах схемы. Основным средством, позволяющим исключить гонки, является стробирование (выделение из информационного сигнала той части, которая свободна от искажений, вызываемых гонками).

6. Каковы способы наращивания дешифраторов по количеству входов и выходов и как они реализуются схемотехнически?

Принцип наращивания числа адресных входов дешифратора. Пусть для построения сложного дешифратора DC n - N используются простые дешифраторы DC n_1 - N_1 , причем $n_1 \leq n$, следовательно и $N_1 \leq N$.

1. Число каскадов равно $K = n/n_1$. Если K – целое число, то во всех каскадах используются полные дешифраторы DC n_1 - N_1 . Если K – правильная или смешанная дробь, то во входном каскаде используется неполный дешифратор DC n_1 - N_1 .

2. Количество простых дешифраторов DC n_1 - N_1 в выходном каскаде равно N/N_1 , в предвыходном - N/N_1^2 , в предпредвыходном - N/N_1^3 и т.д.; во входном каскаде - N/N_1^k . Если N/N_1^k – правильная дробь, то это означает, что во входном каскаде используется неполный простой дешифратор.

3. В выходном каскаде дешифрируются n_1 младших разрядов адреса сложного дешифратора, в предвыходном – следующие n_1 младших разрядов адреса сложного дешифратора и т.д. Во входном каскаде дешифрируется полная или неполная группа старших разрядов адреса. Поэтому n_1 младших разрядов адреса сложного дешифратора подаются параллельно на адресные входы всех дешифраторов выходного каскада, следующие n_1 младших разрядов адреса – на адресные входы всех дешифраторов предвыходного каскада и т.д.; группа старших разрядов адреса подается на адресные входы дешифратора.

4. Выходы дешифраторов предвыходного каскада соединяются с входами разрешения простых дешифраторов выходного каскада, выходы дешифраторов предпредвыходного каскада – с входами разрешения простых дешифраторов предвыходного каскада и т.д.