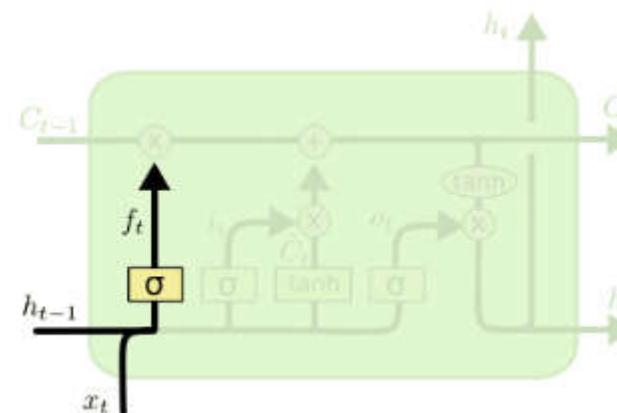
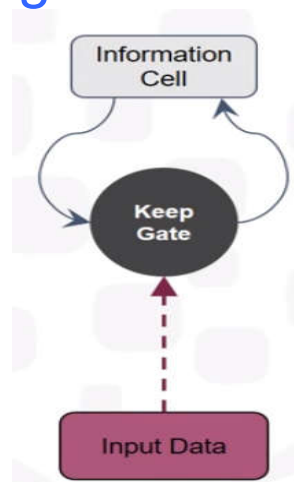




## Chi tiết của từng cổng

### • Keep gate / Forget gate

- Chịu trách nhiệm duy trì dữ liệu trong Information cell.
- Nó nhận được cùng một dữ liệu đầu vào và trạng thái của mạng, và sau đó nó tính toán số lượng dữ liệu hiện tại cần được ghi nhớ.



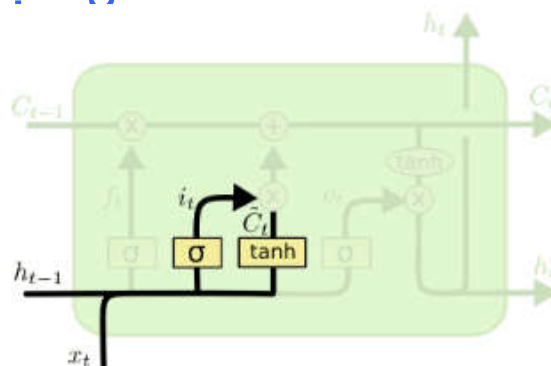
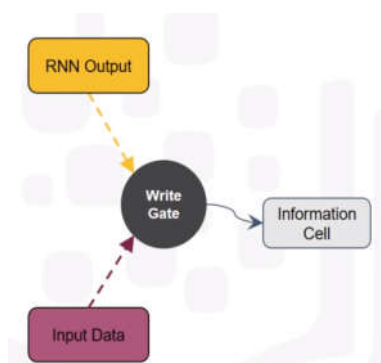
$$f_t = \sigma(W_f \cdot [h_{t-1}, x_t] + b_f)$$

# LSTM



## • Write gate/ Input gate

- Có trách nhiệm nhập dữ liệu mới vào ô nhớ.
- Giống như Keep gate, nó nhận được cùng một dữ liệu đầu vào và trạng thái như RN.
- Tuy nhiên, nó cũng nhận được dữ liệu đầu ra của RN từ bước thời gian gần nhất.
- Write gate sử dụng các input để xác định lượng dữ liệu đầu ra sẽ được ghi vào information cell.



$$i_t = \sigma(W_i \cdot [h_{t-1}, x_t] + b_i)$$
$$\tilde{C}_t = \tanh(W_C \cdot [h_{t-1}, x_t] + b_C)$$



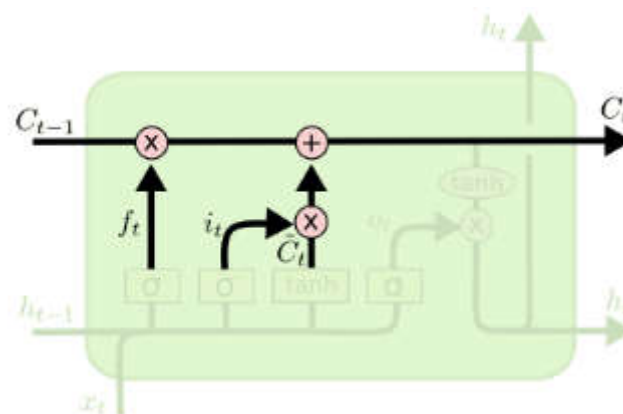
- Read gate/ Output gate

- Giống như các cổng khác, nó nhận được các input và trạng thái từ mạng.
- Read Gate đọc một giá trị từ information cell và giá trị này được hiểu là tín hiệu giữa -1 và 1.
- Dữ liệu đầu vào và trạng thái sau đó được sử dụng để xác định lượng tín hiệu sẽ được gửi đến RN.

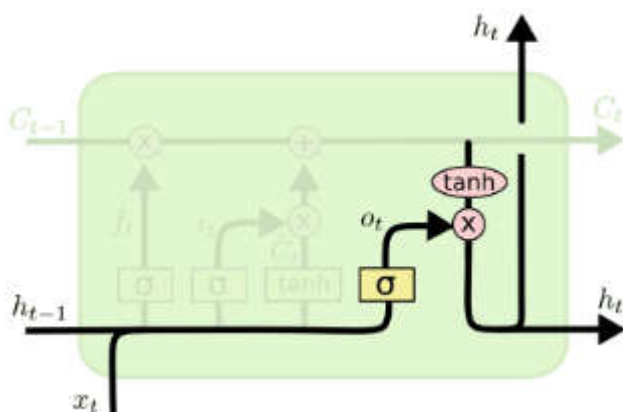
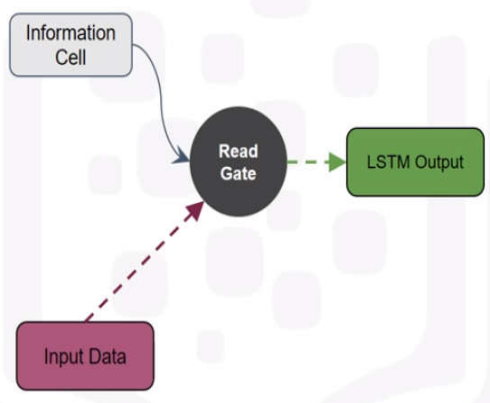
# LSTM



- Read gate



$$C_t = f_t * C_{t-1} + i_t * \tilde{C}_t$$



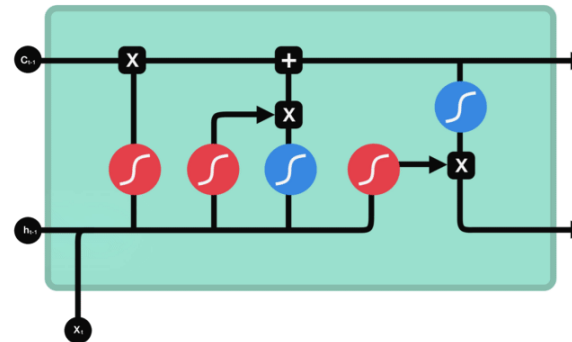
$$o_t = \sigma(W_o [h_{t-1}, x_t] + b_o)$$

$$h_t = o_t * \tanh(C_t)$$

# LSTM



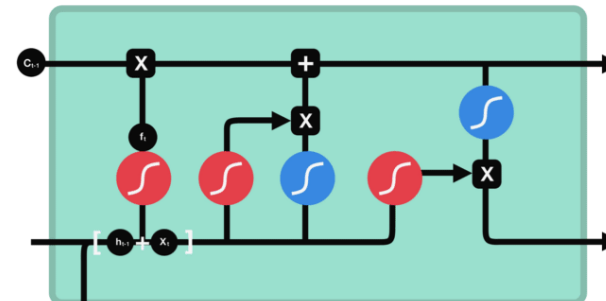
$$f_t = \sigma(W_f \cdot [h_{t-1}, x_t] + b_f)$$



- $C_{t-1}$  previous cell state
- $f_t$  forget gate output

$$i_t = \sigma(W_i \cdot [h_{t-1}, x_t] + b_i)$$

$$\tilde{C}_t = \tanh(W_C \cdot [h_{t-1}, x_t] + b_C)$$

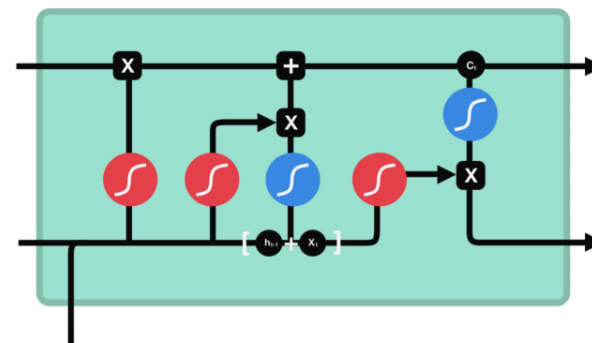


- $C_{t-1}$  previous cell state
- $f_t$  forget gate output
- $i_t$  input gate output
- $C_t$  candidate

$$C_t = f_t * C_{t-1} + i_t * \tilde{C}_t$$

$$o_t = \sigma(W_o \cdot [h_{t-1}, x_t] + b_o)$$

$$h_t = o_t * \tanh(C_t)$$



- $C_{t-1}$  previous cell state
- $f_t$  forget gate output
- $i_t$  input gate output
- $C_t$  candidate
- $C_t$  new cell state
- $o_t$  output gate output
- $h_t$  hidden state