

Computadores Avanzados

Manual de Verilog

Antonio Morán Muñoz

Manual de Verilog



Diseño Digital

Manual de Verilog

Antonio Morán Muñoz
Instituto de Investigación en Informática (I3A)

Esta publicación está basada en la plantilla NIST Handbook de Overleaf

Septiembre 2023



**Colegio Oficial de
Ingeniería Informática
de Castilla-La Mancha**

Departamento de Sistemas Informáticos

Universidad de Castilla-La Mancha

Certain commercial entities, equipment, or materials may be identified in this document in order to describe an experimental procedure or concept adequately. Such identification is not intended to imply recommendation or endorsement by the National Institute of Standards and Technology, nor is it intended to imply that the entities, materials, or equipment are necessarily the best available for the purpose.

**National Institute of Standards and Technology Handbook XXXX
Natl. Inst. Stand. Technol. Handbook XXXX, xii pages (Month Year)**

**This publication is available free of charge from:
<https://doi.org/10.6028/NIST.HB.XXXX>**

Foreword

Delete if not applicable

Preface

Delete if not applicable

Abstract

Required

Key words

Required, alphabetized, separated by semicolon, and end in a period.

Table of Contents

| | |
|--|------------|
| 1 Simulación | iv |
| 2 Bancos de pruebas | v |
| 3 Circuitos combinacionales | vi |
| 3.1 Decodificadores | vi |
| 3.1.1 Tipos de decodificadores | viii |
| 3.2 Codificadores binarios | viii |
| 3.3 Multiplexores | viii |
| 3.4 Demultiplexores | viii |
| 4 Dispositivos triestado | ix |
| 4.0.1 Buffers triestado | ix |
| 4.1 Codificación con prioridad | ix |
| 4.2 Puertas OR-exclusivas y funciones de paridad | ix |
| 5 Glosario | x |
| References | xi |
| Appendix A: Supplemental Materials | xii |
| Appendix B: Change Log | xii |

List of Tables

List of Figures

Glossary

Delete if not applicable

1. Simulación

Una vez que la tenemos un modelo de Verilog con sintaxis y semántica correcta, se puede y debe utilizar un simulador para observar su operación.

El simulador opera comenzando en un *tiempo de simulación* de cero. En este punto, el simulador inicializa todas las señales a un valor por defecto de x. A continuación, el simulador inicializa las señales o variables cuyos valores iniciales han sido declarados explícitamente. Tras esto, el simulador comienza la ejecución de las sentencias concurrentes del diseño.

Aclaración

El simulador en realidad no puede ejecutar las sentencias concurrentes simultáneamente. Sin embargo, crea esa ilusión mediante el uso de una *lista de eventos* basados en tiempo. y una matriz de sensibilidad basada en todas las listas de sensibilidad individuales.

Cada sentencia concurrente se da lugar a un procesos software, mientras que una instanciación de módulo puede dar lugar a uno o más procesos. En tiempo de simulación cero, todos los procesos generados se planifican para ejecución, de los cuales se selecciona uno. La ejecución del código procedural se lleva a cabo secuencialmente. Si se ha especificado una demora, la ejecución del proceso se suspende. Cuando esto ocurre (o cuando el proceso se ha terminado de ejecutar) se selecciona otro proceso para su ejecución.

Cuando todos los procesos se han ejecutado, se completa lo que se denomina un *ciclo de simulación*.

Cuando el simulador se encuentra una asignación no bloqueante sin demora, ésta se supone que se ejecuta en tiempo de simulación cero. No obstante, lo que ocurre realmente es que se planifica su ejecución para el tiempo de simulación actual al que se le suma una *demora delta*.

Cada vez que un ciclo de simulación es completado, la lista de eventos es escaneada para buscar las señales que antes cambien. Debido a que algunos procesos pueden ser sensibles al cambio de señales, la matriz de sensibilidad indica, para cada señal, qué procesos tienen dicha señal en su lista de sensibilidad. Cada proceso que sea sensible a una señal, será planificado para que se ejecute en el siguiente ciclo de simulación. Este proceso se repite hasta que la lista de eventos queda vacía, momento en el cual la simulación termina.

2. Bancos de pruebas

Un *banco de prueba* especifica una secuencia de entradas que serán aplicadas por el simulador al modelo HDL que será probado. Dicho modelo puede ser un módulo Verilog o un diseño más grande. La entidad sujeta a las pruebas se denomina *unidad bajo prueba (UBP)*.

En bancos de pruebas es frecuente emplear otro tipo de sentencia concurrente, el bloque *initial*. Esta sentencia se ejecuta una sola vez, en tiempo de simulación cero. Al igual que el bloque *always*, se puede incluir un bloque *begin-end* para declarar el código procedural.

Listing 1. Banco de prueba para un circuito detector de numeros primos.

```
1  `timescale 1 ns / 100 ps
2
3  module Vrprime_tb1();
4  reg [3:0] Num;
5  wire Prime;
6
7  Vrprimed UUT (.N(Num), .F(Prime));
8
9      initial begin: TB
10         integer i;
11         for (i = 0; i <= 15; i = i+1) begin #10
12             Num = i;
13         end
14     endmodule
```

Los simuladores suelen generar un fichero que especifica las formas de onda que cada señal toma durante la simulación. Dicho fichero puede ser leído por aplicaciones específicas para su visualización. El correcto funcionamiento la UBP quedará a cargo del usuario, cuya función es interpretar si las formas de onda tienen sentido. Debido a que este proceso es tedioso, es conveniente formatear la salida del simulador para que sea más amigable. Para ello se pueden usar tareas del sistema como `$write` o `$display` para mostrar información que se considere útil por consola o, incluso, redirigirla a un fichero.

Hay situaciones en las que la combinación de entradas que una UBP puede recibir es tan elevada. En estos casos, puede no resultar factible para el diseñador examinar los resultados obtenidos para cada combinación de entradas. En estos casos, conviene escribir un banco de prueba autoevaluado

3. Circuitos combinacionales

3.1 Decodificadores

A pesar de que los decodificadores en Verilog suelen formar parte de diseños mayores, también se pueden definir y probar de manera aislada. Para diseñar un decodificador, existen las siguientes aproximaciones:

- *Estilo estructural.* Consistiría en definir la operación del decodificador mediante puertas lógicas. Esta aproximación daría lugar a un código difícil de leer y de mantener.
- *Estilo de flujo de datos.* Se define el comportamiento del circuito mediante sentencias de asignación continua. El Listing 2 muestra un posible diseño.

Listing 2. Estilo de flujo de datos.

```
1 module decodificador_2a4(input a0 ,
2                           input a1 ,
3                           input en ,
4                           output y0 ,
5                           output y1 ,
6                           output y2 ,
7                           output y3);
8     assign y0 = en ? ({a1,a0} == 2'b00) : 0;
9     assign y1 = en ? ({a1,a0} == 2'b01) : 0;
10    assign y2 = en ? ({a1,a0} == 2'b10) : 0;
11    assign y3 = en ? ({a1,a0} == 2'b11) : 0;
12 endmodule
```

- *Estilo conductual.* Se modela el circuito por medio de código procedural. El Listing 3 muestra un posible diseño.

Listing 3. Estilo conductual.

```
1 module decodificador_2a4(input a0 ,
2                           input a1 ,
3                           input en ,
4                           output reg y0 ,
5                           output reg y1 ,
6                           output reg y2 ,
7                           output reg y3);
8
9     always @(*) begin
10         if(en) begin
11             {y3,y2,y1,y0} = 0
12             case ({a1,a0})
```

```

13         2'b00: y0 = 1;
14         2'b00: y1 = 1;
15         2'b00: y2 = 1;
16         2'b00: y3 = 1;
17         default: {y3,y2,y1,y0} = 0;
18     endcase
19 end
20 end
21
22 endmodule

```

Una vez diseñado el circuito, es hora de probarlo.

Listing 4. Banco de pruebas del decodificador.

```

1  `timescale 1 ns / 1 ps
2  module tb_decodificador_2a4();
3
4      // declaracion de tipos de datos
5      reg a0_p, a1_p, en_p;
6      wire y0_p, y1_p, y2_p, y3_p;
7      integer i, errores;
8      reg [3:0] resultado_esperado;
9
10     decodificador_2a4 UBP (.a0(a0_p),
11                           .a1(a1_p),
12                           .en(en_p),
13                           .y0(y0_p),
14                           .y1(y1_p),
15                           .y2(y2_p),
16                           .y3(y3_p)
17                           );
18     initial begin
19         errors = 0;
20         for(i = 0; i < 8; i++) begin
21             {en, a0, a1} = i;
22             #10;
23             resultado_esperado = 4'b0000;
24             if(en) resultado_esperado[{a1,a0}] = 1'b1;
25             if ({y3,y2,y1,y0} !== resultado_esperado)
26                 begin
27                     errores = errores + 1;
28                 end
29             end
30         end
31         $display("Test completado con %d errores", errores);
32     end

```

```

30     end
31
32 endmodule

```

Si la compilación con iverilog ha sido correcta, el banco de pruebas debería mostrar 0 errores.

3.1.1 Tipos de decodificadores

- *Decodificadores binarios.* Un decodificador binario n -a- 2^n es un circuito con una entrada de n bits y una salida activa de las 2^n totales.
- *Decodificadores de siete segmentos.* Estos circuitos tienen una entrada de 4 bits (Decimal Codificado en Binario) y una salida de 1 bit para cada segmento del LCD.

3.2 Codificadores binarios

Un codificador binario es un circuito que hace la acción opuesta al decodificador binario. Si un decodificador binario convierte un código de n bits en otro de m bits, el codificador binario correspondiente debe ser capaz de transformar el código de m bit en el de n bits.

3.3 Multiplexores

Una operación muy común en diseño digital es escoger una fuente de datos entre varias para transferirla a su destino a través de un medio compartido, como un bus. Esta operación es tan común que tiene su propio nombre, *multiplexación* o *mux* para abreviar.

Una definición más precisa de multiplexador es la de *conmutador digital que conecta los datos de 1 entre n fuentes a una sola salida*. Para ello, al multiplexor hay que conectarle una entrada que permita hacer una selección entre n fuentes. La anchura de este entrada de selección tendrá que ser $\log_2(n)$, donde n es el número de fuentes.

3.4 Demultiplexores

Los demultiplexores son los dispositivos digitales que realizan la operación opuesta a los multiplexores, es decir, conectar una entrada (de b bits) a una de entre n destinos/salidas.

4. Dispositivos triestado

Los *dispositivos triestado* son muy importantes porque, a nivel de la placa de circuito impreso son una alternativa ampliamente utilizada a los multiplexores. Existen diferentes tipos de dispositivos triestado.

4.0.1 Buffers triestado

Es el dispositivo triestado más sencillo. También se le puede llamar *conductor triestado*. El buffer triestado es como un buffer normal al que se le conecta una tercera señal llamada *habilitación triestado*. Cuando esta señal está activa, el buffer actúa como un buffer corriente, conectando la entrada a la salida. Por el contrario, cuando habilitación triestado es cero, la salida pasa a un estado de alta impedancia y el buffer se comporta como si ni siquiera estuviese ahí.

Los buffers triestado son raramente usados en chip, es decir, dentro de ASICs o FPGAs, ya que los multiplexores suelen ofrecer un mayor desempeño.

4.1 Codificación con prioridad

En la sección de codificadores binarios (**REFERENCIAR**) se vio que estos dispositivos seleccionan la entrada activa de entre 2^n para codificarla en la salida pero, ¿qué ocurre si varias entradas están activas al mismo tiempo? En este caso convendría asignar una *prioridad* a cada una para que la entrada con más prioridad sea la seleccionada por el codificador. Los dispositivos que hacen esto se denominan *codificadores con prioridad*.

Los codificadores con prioridad tienen una salida *OCIOSA* que se activa si ninguna de las entradas está activa.

4.2 Puertas OR-exclusivas y funciones de paridad

Las puertas *OR-exclusivas* son importante en cuatro aplicaciones:

- *Comparación.*
- *Comparación.*
- .
- *Contaje.*

5. Glosario

- Sentencia de demora (*delay statement*).
- Tiempo de simulación (*simulation time*).
- Lista de eventos (*event list*).
- Matriz de sensibilidad (*sensitivity matrix*).
- Ciclo de simulación (*simulation cycle*).
- Banco de prueba (*test bench*).
- Unidad bajo prueba (*unit under test (UUT)*).
- Decodificador de siete segmentos (*seven-segment decoder*).
- Multiplexación (*multiplexing*).
-
- Dispositivo triestado (*three-state device*).
-
-
- Conductor triestado (*three-state driver*).
-
-
- Habilitación triestado (*three-state enable*).
-
-
- Codificador con prioridad (*priority encoder*).
-
-
- OCIOSA (*IDLE*).

Acknowledgments

Delete if not applicable

References

- [1] Wilkinson JP (1990) Nonlinear resonant circuit devices. United States Patent 3 624 125.
- [2] Joint Task Force Transformation Initiative Interagency Working Group (2013) Security and privacy controls for federal information systems and organizations (National Institute of Standards and Technology, Gaithersburg, MD), NIST Special Publication (SP) 800-53, Rev. 4, Includes updates as of January 22, 2015. <https://doi.org/10.6028/NIST.SP.800-53r4>
- [3] National Institute of Standards and Technology (2001) Security requirements for cryptographic modules (U.S. Department of Commerce, Washington, D.C.), Federal Information Processing Standards Publications (FIPS PUBS) 140-2, Change Notice 2 December 03, 2002. <https://doi.org/10.6028/NIST.FIPS.140-2>
- [4] Xiong H (2015) Multi-level bell-type inequality from information causality and noisy computations. *Chinese Journal of Electronics* 24(2):408–413. <https://doi.org/10.1049/cje.2015.04.031>
- [5] Prives L (2016) For whom the bell tolls: Inventing success through creativity and analytical skills [wie from around the world]. *IEEE Women in Engineering Magazine* 10(1):37–39. <https://doi.org/10.1109/MWIE.2016.2535841>
- [6] Roberts LJ (1982) Cameras and systems: A history of contributions from the bell; howell co. (part i). *SMPTE Journal* 91(10):934–946. <https://doi.org/10.5594/J00229>
- [7] Maloney TJ (2016) Unified model of 1-d pulsed heating, combining wunsch-bell with the dwyer curve: This paper is co-copyrighted by intel corporation and the esd association. *38th Electrical Overstress/Electrostatic Discharge Symposium (EOS/ESD)* (Publisher name, location), Vol. 22, pp 1–8. <https://doi.org/10.1109/EOS/ESD.2016.7592562>
- [8] Giancoli D (2008) *Physics for Scientists and Engineers with Modern Physics* (Pearson Education), 4th Ed.
- [9] Eston P (1993) *Book section title* (The name of the publisher, The address of the publisher), Vol. 4, Chapter 8, 3rd Ed., pp 201–213.
- [10] Behrends R, Dillon LK, Fleming SD, Stirewalt REK (2006) White paper: Programming according to the fences and gates model for developing assured, secure software systems (Department of Computer Science, Michigan State University, East Lansing, Michigan), MSU-CSE-06-2.
- [11] Farindon P (1993) The title of the collection section. *The title of the book*, ed Lastname F (The name of the publisher, The address of the publisher), Vol. 4, pp 201–213.
- [12] Marcheford P (1993) The title of the unpublished work.

- [13] Joslin P (1993) *The title of the PhD Thesis*. Ph.D. thesis. The school of the thesis, The address of the publisher. An optional note.
- [14] Caxton P (1993) The title of the booklet. How it was published, The address of the publisher. An optional note.
- [15] Isley P (1993) The title of the webpage. Available at <https://nist.gov>.

Appendix A: Supplemental Materials

Brief description of supplemental files

Appendix B: Change Log

If updating document with errata, detail changes made to document – delete if not applicable.