

2. OSNOVNI POJMOVI ARHITEKTURE RAČUNARSKOG SISTEMA

2.1. RAČUNARI I NJIHOVA PODELA

Prema povećanju snage mikorprocesora, odnosno prema mogućnostima obrade i ceni računari se dele na:

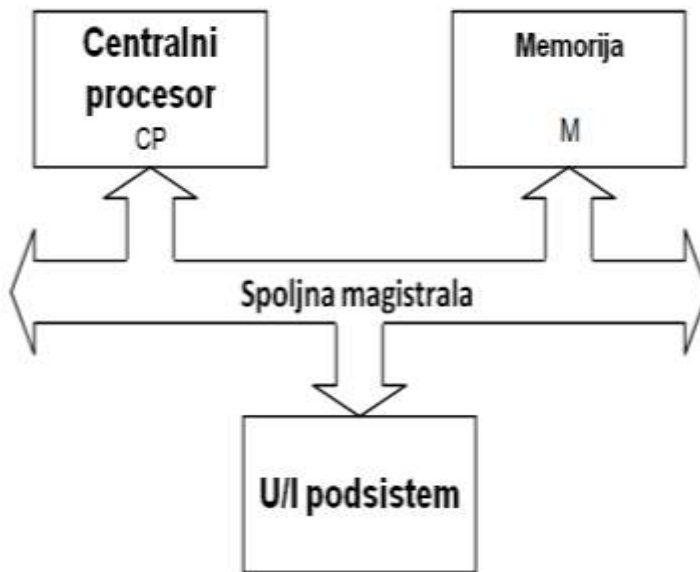
- makroračunare,
- miniračunare,
- mikroračunare.

Prema načinu predstavljanja podatka računari se dele na:

- elektronske računare koji operišu podacima u diskretnom obliku - digitalni,
- elektronske računare koji operišu podacima u kontinualnom obliku - analogni,
- hibridni.

2.2. SASTAVNI DELOVI RAČUNARA

Digitalni elektronski računarski sistem se sastoje iz osnovnih delov:

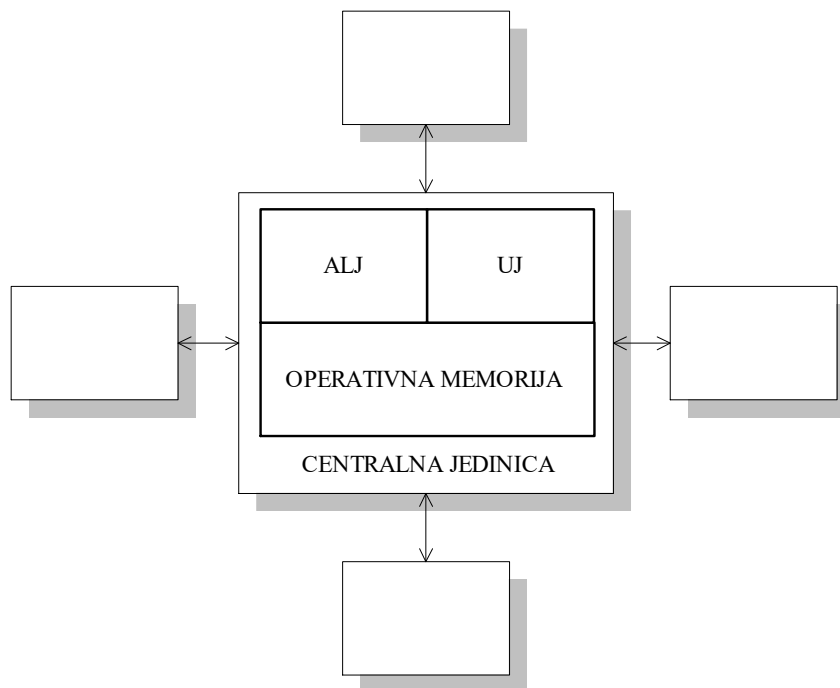


Računarski sistem sadrži sledeće osnovne jedinice:

- procesor(e),
- module operativne memorije,
- ulazno – izlazne kanale,
- jedinice za upravljanje perifernim jedinicama (kontrolere),
- periferni jedinice.

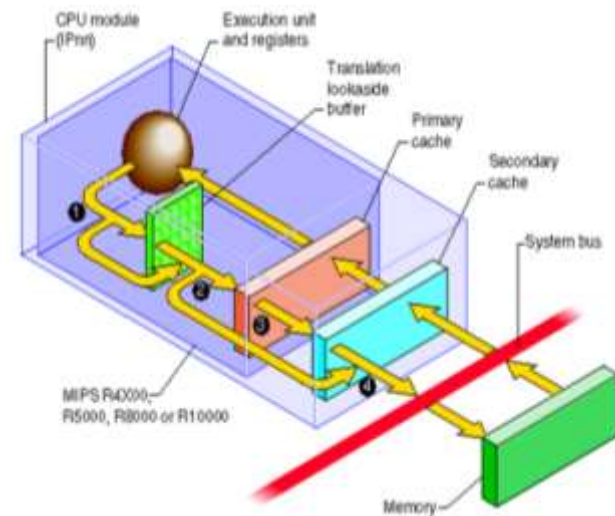
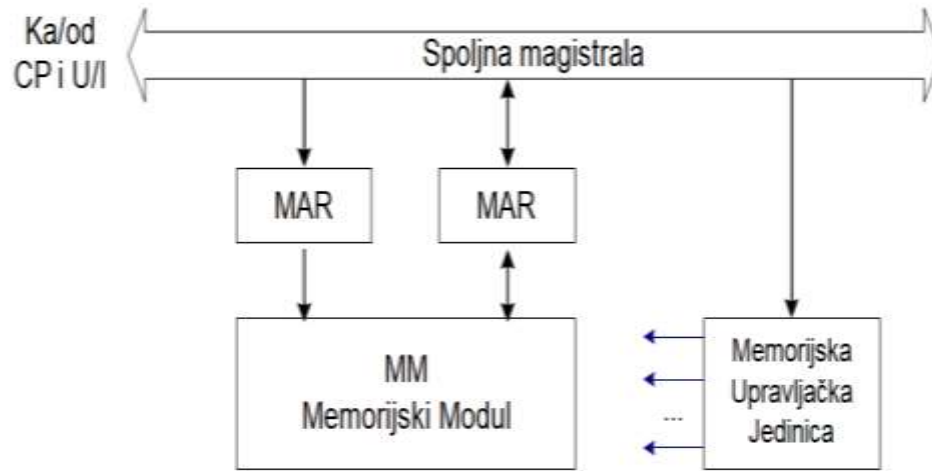
Digitalni elektronski računar

2.2. SASTAVNI DELOVI RAČUNARA



Centralne jedinice (CPU - Central Processing Unit)

2.2. SASTAVNI DELOVI RAČUNARA



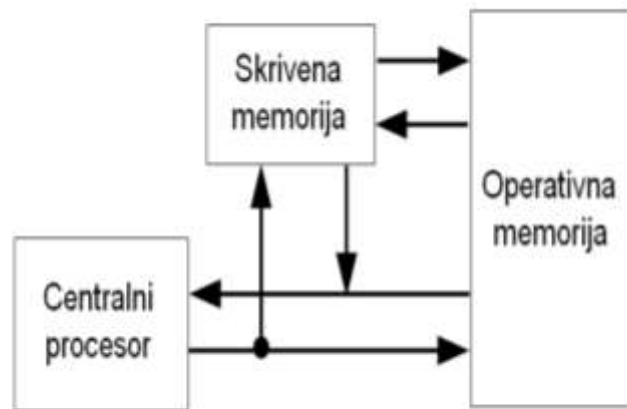
Memorija i pristup memoriji

- Memorije su organizovane u obliku reči, koje čuvaju instrukcije ili podatke.
- Svaka reč sadrži određen broj memorijskih elemenata, koji čuvaju jedan bit informacije.
- Pristup informacijama organizovan je u obliku reči, polu reči, okteta.
- Dužina reči može biti različita: 8-64 bita

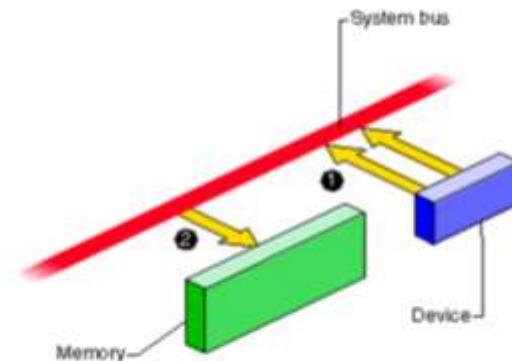
2.2. SASTAVNI DELOVI RAČUNARA

S obzirom na to, da li je ultrabrza memorija dostupna programeru (da li joj programer može pristupiti ili ne) ultrabrza memorija se deli na:

- neskrivenu memoriju (programer može da pristupi memorijskim lokacijama, zahvata i modifikuje njihov sadržaj),
- skrivenu (cache) memoriju (programer ovu memoriju ne može adresirati već u nju hardver po posebnim alogritmima prebacuje operande).

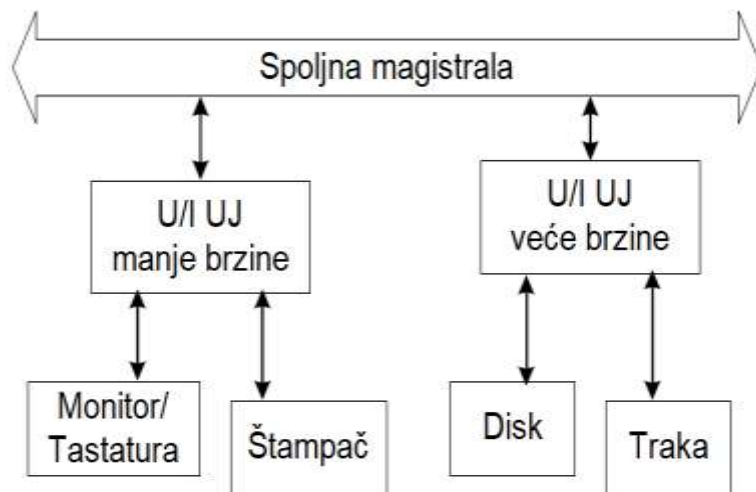


Cache Memorija



Direktan pristup memoriji

2.2. SASTAVNI DELOVI RAČUNARA



Struktura U/I podsistema

- Razmena informacija sa okolinom
- Periferne jedinice
 - Ulazne, izlazne i dvosmerne (ulazno-izlazne)
- U/I kontroleri – upravljačke jedinice perifernih uređaja

3.1. INTERFEJS

Interfejs predstavlja sveukupnost linija za predaju informacija a takođe i algoritme za upravljanje razmenom poruka. Interfejs se obično smešta u samim uređajima koje povezuje.

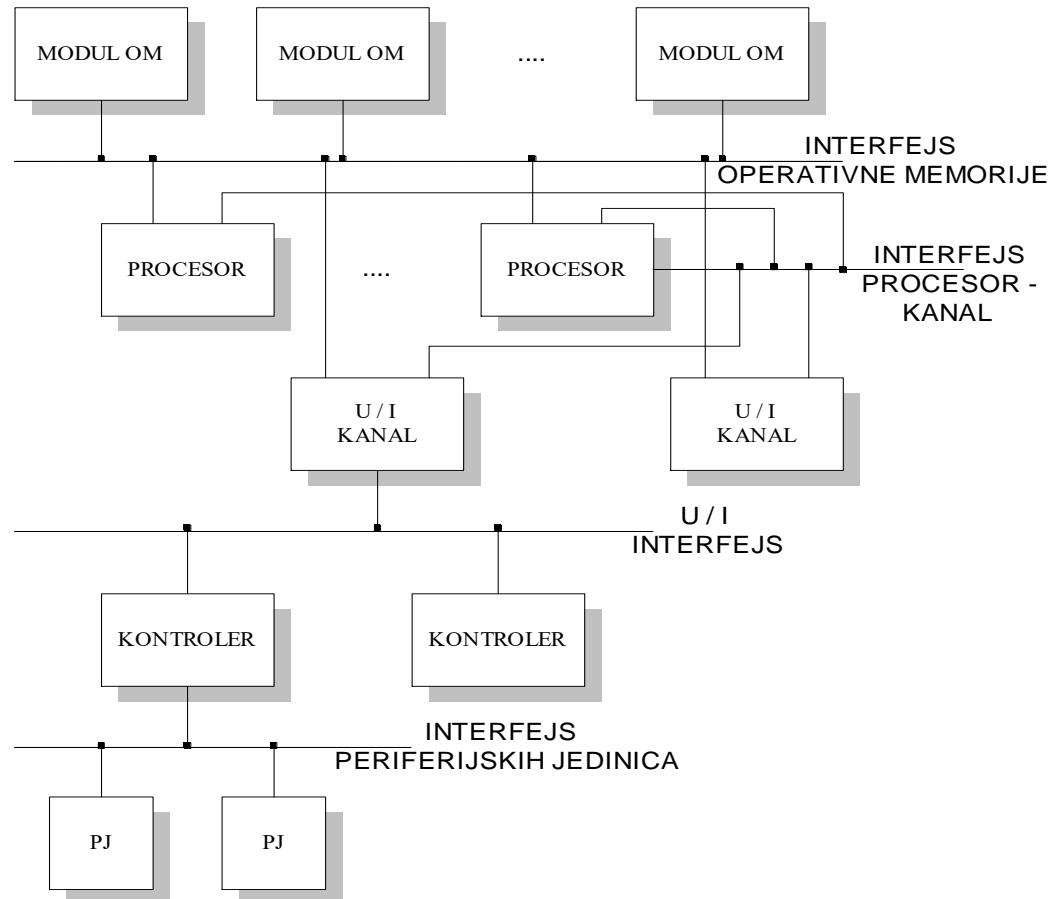
Karakteristike interfejsa su sledeće:

- vreme predaje poruka,
- izobličenja pri predaji poruka,
- zahtev za strogo definisanim upravljačkim signalima.

Kod savremenih računarskih sistema mogu se uočiti četiri tipa interfejsa:

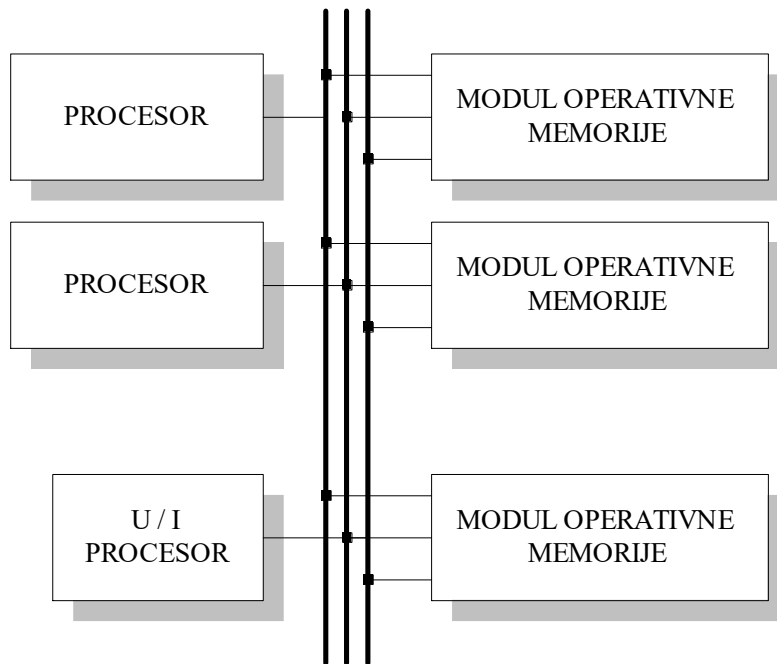
- interfejs operativne memorije,
- interfejs procesor – kanal,
- ulazno – izlazni interfejs (kanal – kontroler periferijske jedinice),
- interfejs periferijske jedinice.

3.1. INTERFEJS



Slika: Interfejsi računarskog sistema

3.2. INTERFEJS OPERATIVNE MEMORIJE



Slika: Višestruki interfejs operativne memorije

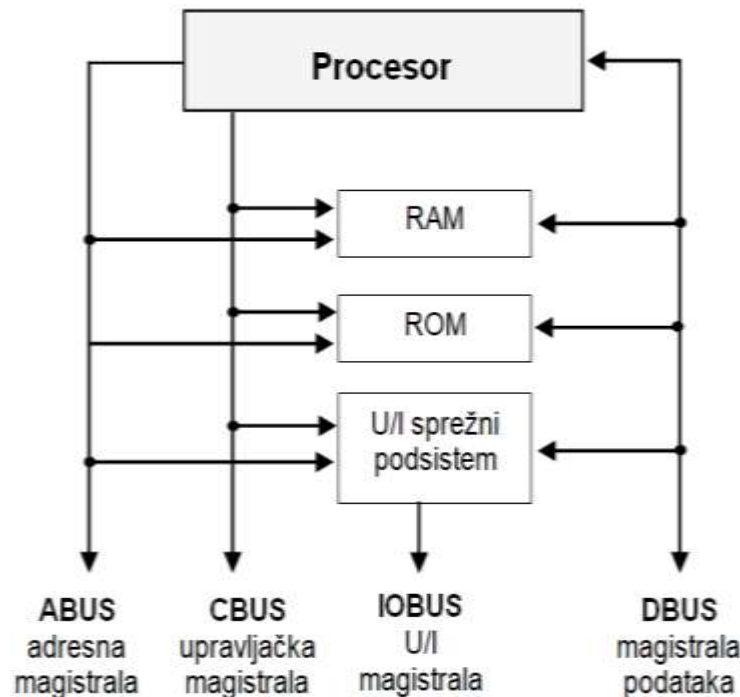
Linije interfejsa mogu se pogodno podeliti u dve osnovne grupe linija (grupu linija koja čini logičku celinu nazivamo magistrala):

- ulazne magistrale, koje služe za prenos poruka od procesora i/ili kanala u operativnu memoriju,
- izlazne magistrale, koje služe za prenos poruka od operativne memorije do procesora odnosno kanala.

U zavisnosti od broja magistrala razlikuje se:

- jednostruki interfejs,
- višestruki interfejs.

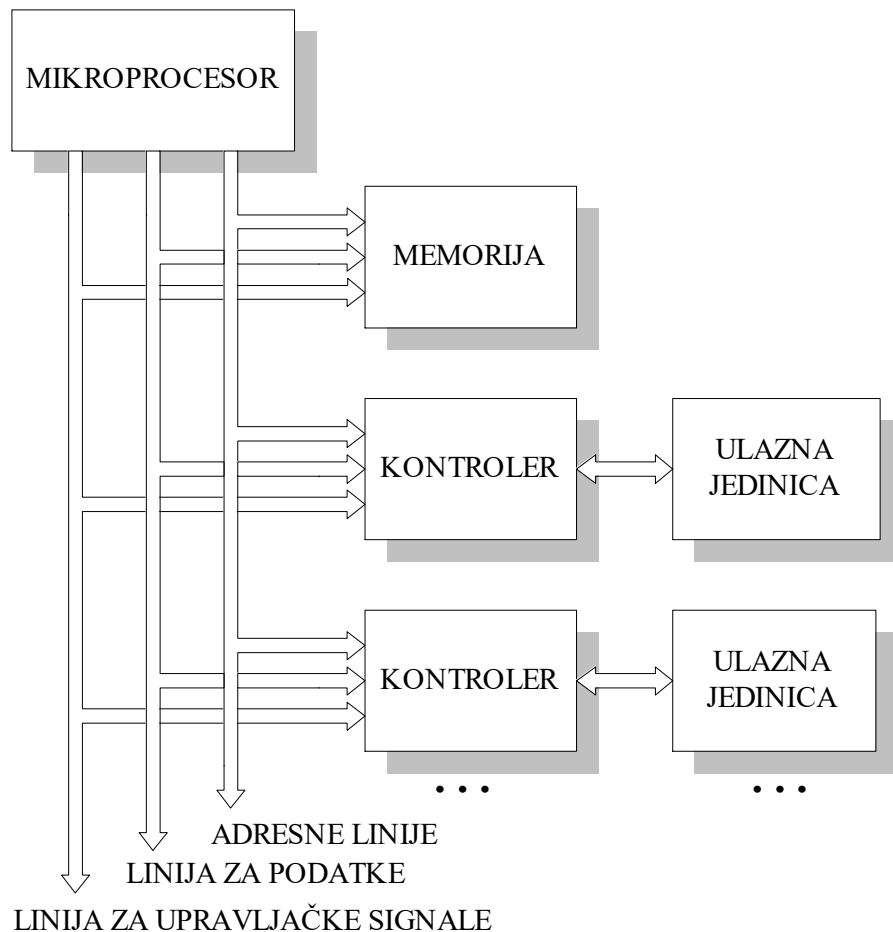
3.2. INTERFEJS OPERATIVNE MEMORIJE I PERIFERALA



- ABUS – adresiranje memorije i U/I uređaja
 - jednosmerna, m linija
 - određuje kapacitet memorije (2^m)
- DBUS - prenos podataka
 - dvosmeran prenos, n linija (reč)
 - korišćenje kapija sa tri stanja
- CBUS - skup kontrolnih signala za
 - komunikaciju preko dve magistrale, i
 - sve ostale potrebno za uspešno funkcionisanje računarskog sistema
- IOBUS – sprega sa UI uređajima
 - IC sprega – SPI, I2C

Slika: Sprežne magistrale mikroprocesora

3.3. INTERFEJS PERIFERNIH JEDINICA



Slika: Blok šema mikroračunarskog sistema

U interfejsu perifernih jedinica kod savremenih računarskih sistema obično se koristi sistem zajedničkih linija. Na taj način razmena poruka između kanala i perifernih jedinica se najčešće vrši asinhrono.

Prema tome sistem numeracije perifernih jedinica mora da obezbedi:

- dodeljivanje broja perifernoj jedinici,
- poređenje broja perifernih jedinica sa kodom na linijama interfejsa,
- predaju koda broja preko linija interfejsa kada periferna jedinica zatraži usposvljanje veze sa centralnim delom računara.

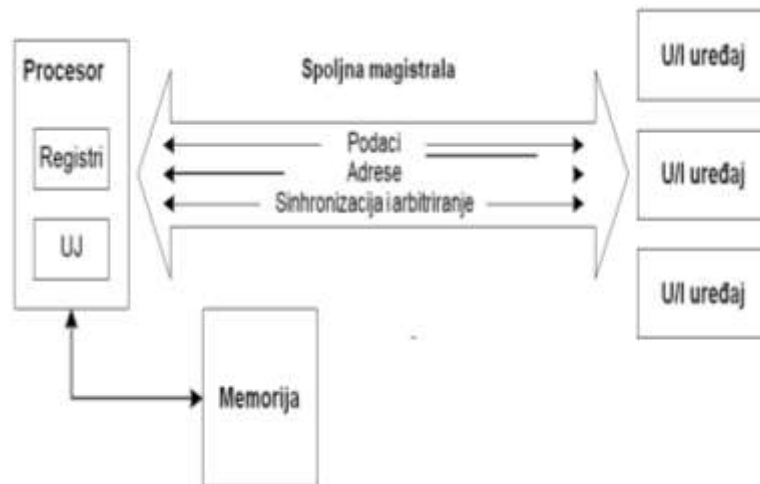
3.4. INTERFEJS MAGISTRALA

Linije veza u sklopu magistrale se mogu pogodno podeliti u dve grupe:

- Linije namenjene za predaju poruka,
- Linije za odabiranje rukovodeće jedinice.

Za predaju poruka koriste se sledeće linije:

- Linije podataka, po kojima se između rukovodeće i izvršne jedinice vrši razmena podataka koristeći paralelni kod,
- Adresne linije, preko kojih rukovodeća jedinica predaje kod adrese odabirajući tako izvršnu jedinicu,
- Skup upravljačkih linija preko kojih se predaju signali koji definišu tip operacije kao i smer predaje, a isto tako omogućavaju sinhronizaciju predaje.



4.1. ARHITEKTURA MIKROPROCESORA

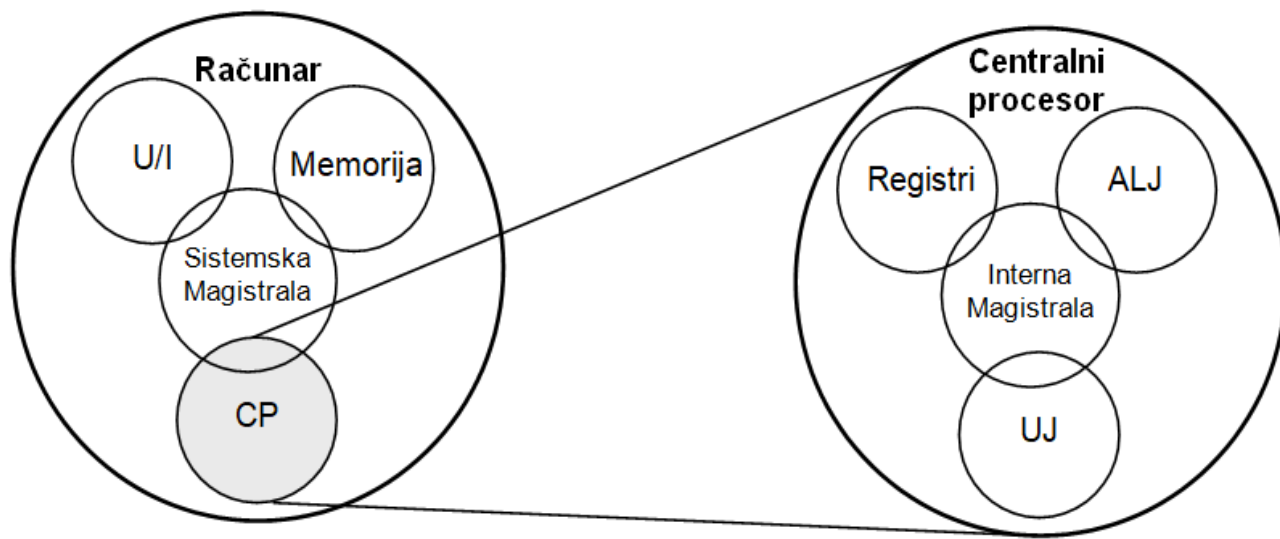
Osnovni delovi mikroprocesora prikazani su na slici na kojoj je prikazan model jednog jednostavnog mikropšorceosra, a to su:

skup registara <u>opšte</u> namene	skup registara <u>posebne</u> namene	podsistem za sprezanje sa drugim komponentama (inerface)	spoljni izvodi
aritmetičko – logička jedinica (ALJ)	upravljačka jedinica (UJ)		

Slika: Osnovni delovi mikroprocesora

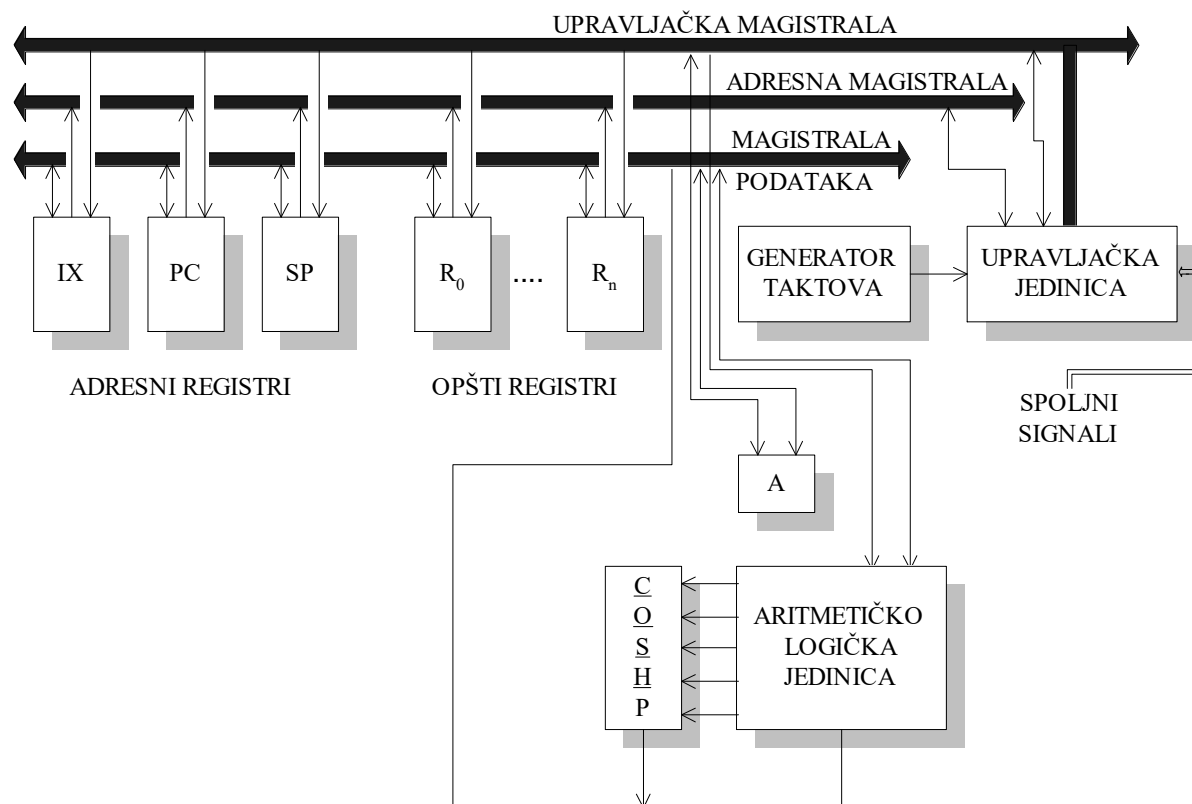
4.1. ARHITEKTURA MIKROPROCESORA

Procesor je jedinica koja izvršava operacije obrade podataka definisane programom i vrši upravljanje računarskim procesima i interakcijama između pojedinih jedinica računara. Njegova struktura je definisana njegovim funkcijama. Funkcija obrade podataka vrši aritmetičko - logička jedinica (ALJ) a upravljanje računarskim procesima vrši upravljačka jedinica (UJ).



4.2. STRUKTURA MIKROPROCESORA

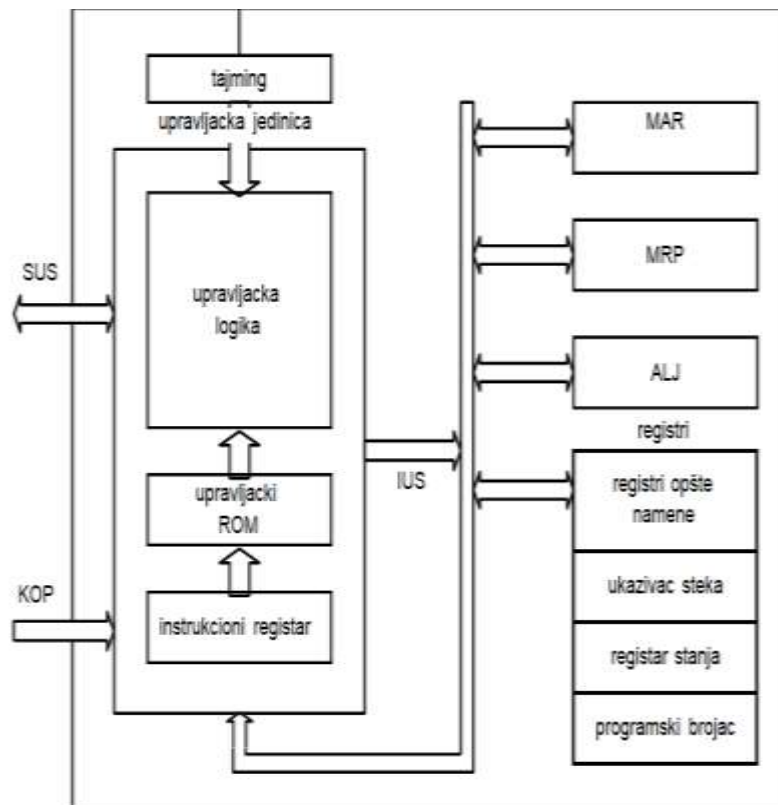
Uopštena arhitektura mikroprocesora data je na sledećoj slici:



Slika: Uopštena arhitektura mikroprocesora

4.2. STRUKTURA MIKROPROCESORA

Uopštena arhitektura mikrop procesora data je na sledećoj slici:



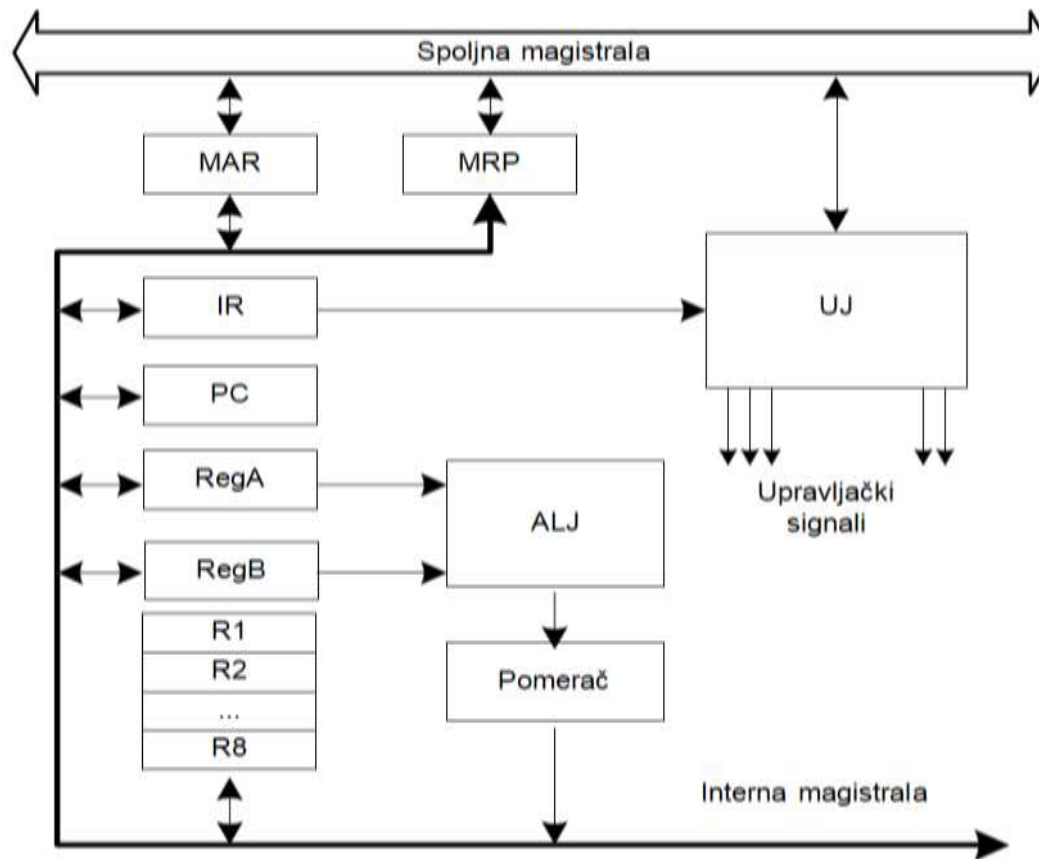
- ALJ (int, float)
- Registri (data, adr)
- Interne magistrale
- UJ - upravljački signali
 - interni
 - spoljni
- Specijalni registri
 - PC, IR
 - MAR, MRP
 - SR, SP

MAR - adresni prihvatni registar
MRP - Prihvatni registar podataka
ALJ - Aritmeticko-logicka jedinica

KOP - Spoljni ulazi
SUS - Spoljni upravljacki signali
IUS - Interni upravljacki signali

Slika: Osnovna organizacija registara u mikrop procesoru

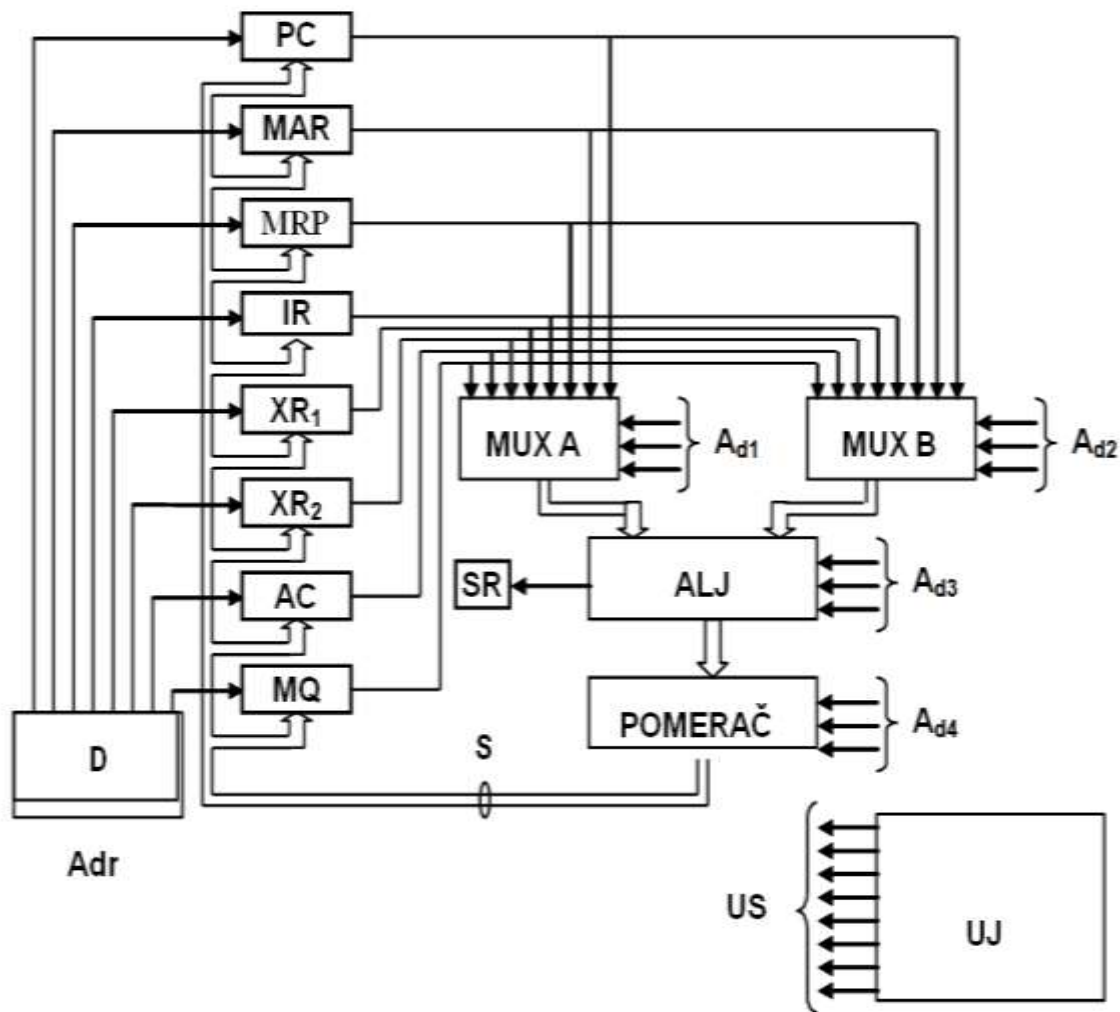
4.2. STRUKTURA MIKROPROCESORA



Uslov	Mikroinstrukcije	Komentar
t_0 :	$MAR \leftarrow PC$	prenos adrese
t_1 :	$MBR \leftarrow M[MAR], \quad PC \leftarrow PC + 1$	čitanje KOP, uvećanje PC
t_2 :	$IR \leftarrow MBR$	postavljanje q_i

Slika: Organizacija centralnog procesora

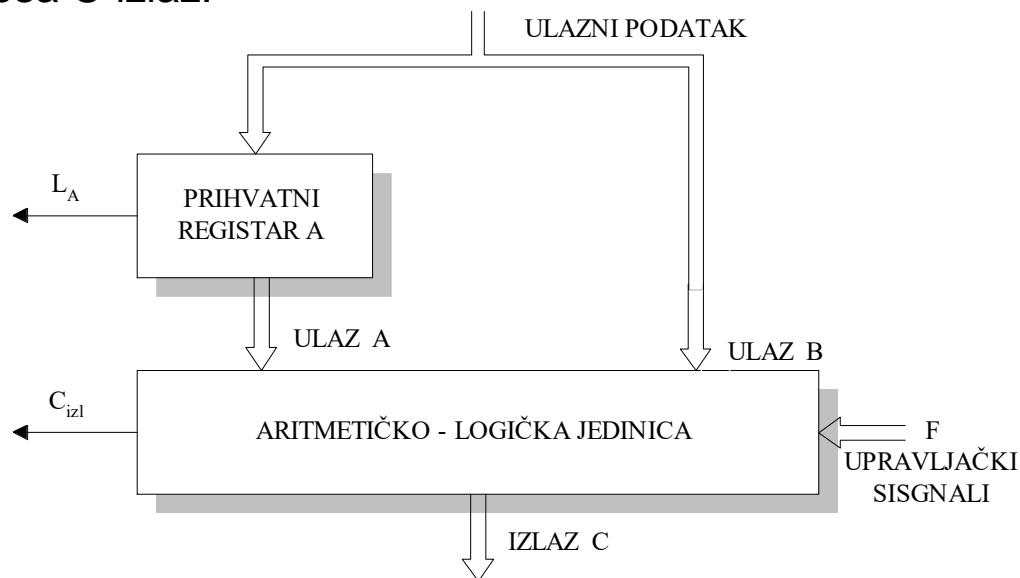
4.2. STRUKTURA MIKROPROCESORA



Slika: Organizacija magistrala centralnog procesora

4.3. ARITMETIČKO – LOGIČKA JEDINICA

Aritmetičko – logička jedinica (ALJ) je kombinaciona mreža čija Bulova funkcija, koja opusuje zavisnost izlaznih signala od ulaznih može da se bira skupom upravljačkih signala. AL jedinica ima dva skupa linija za ulazne podatke, jedan skup linija za izlazne podatke, skup linija za upravljačke signale i liniju za izlazni signal prenosa C-izlaz.



Slika: Blok šema aritmetičko – logičke jedinice

4.3. ARITMETIČKO – LOGIČKA JEDINICA

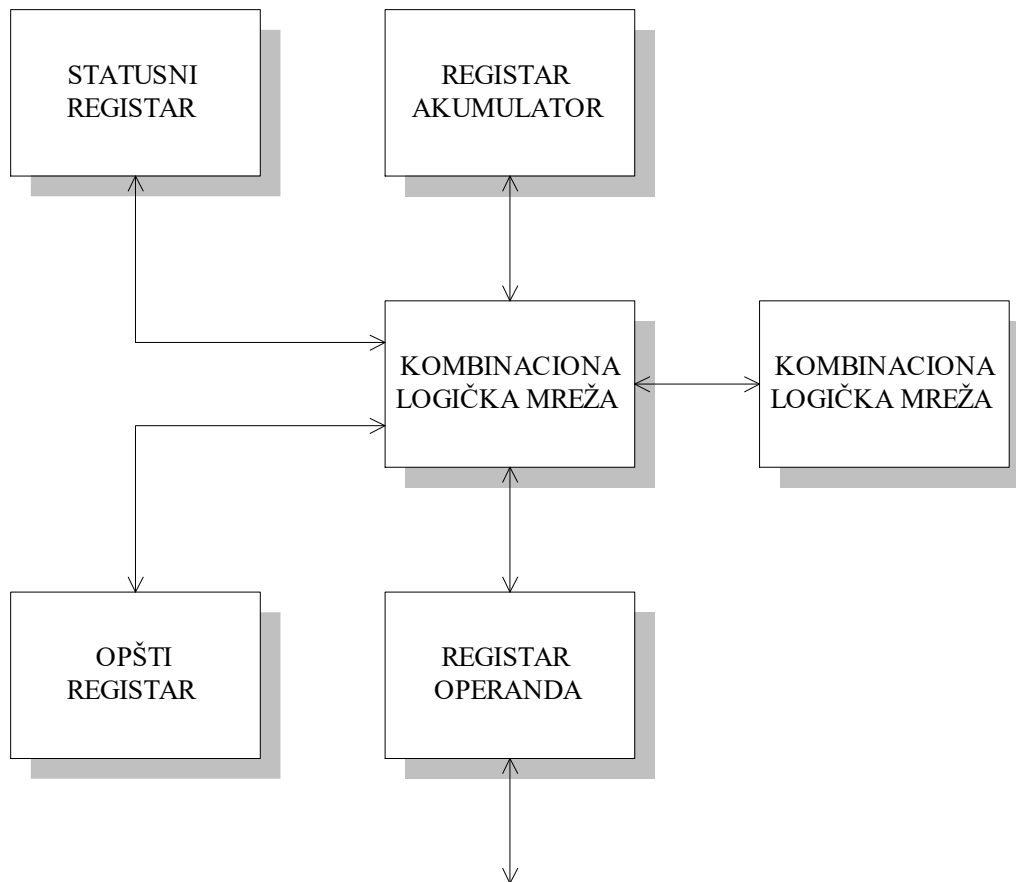
ALJ - aritmetičko logičke jedinice se mogu klasifikovati na više načina. Po načinu izvršavanja operacija ALJ se dele na:

- paralelne,
- serijske,
- paralelno-serijske.

Po načinu predstavljanja brojeva nad kojima se vrše operacije ALJ se mogu klasifikovati kao ALJ sa:

- sa fiksnim zarezom,
- sa pokretnim zarezom,
- decimalne.

4.3. ARITMETIČKO – LOGIČKA JEDINICA



Slika: Struktura
ALJ – aritmetičko logičke jedinice

Razvojem mikroprocesora sve se više razvijaju i koriste ALJ sa magistralnom strukturom.

U sastav **ALJ** sa magistralnom strukturom ulaze:

- registri,
- komutatori,
- logička mreža za obavljanje operacija.

4.3. REGISTRI OPŠTE NAMENE

Registri opšte namene su brzi registri za privremeno smeštanje često korišćenih podataka u mikroporcesoru. Realiziju se u obliku:

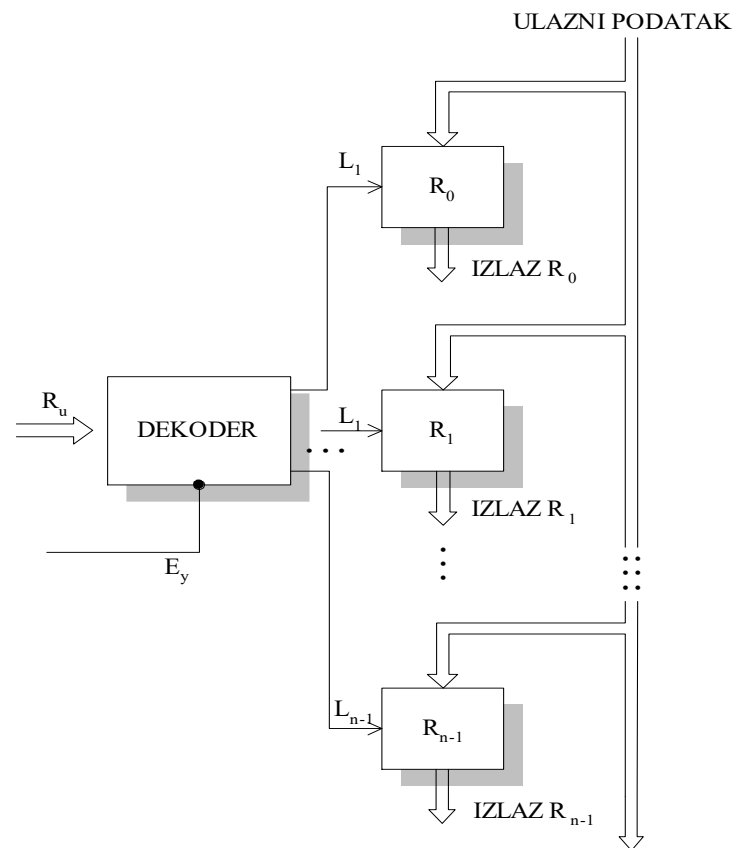
- registara sa paralelnim ulazom i
- registara sa paralelnim izlazom i
- registara sa upravljačkim signalom L za upravljanje paralelnim upisom.

Radi smanjenja broja upravljačkih signala obično se postavlja ograničenje jer se u svakom intervalu upisa može izvršiti mikrooperacija upisa u samo jedan od svih registara opšte namene i u tom slučaju genereisanje upisa vrši se primenom dekodera.

U grupu registara kojima programer može pristupiti spadaju:

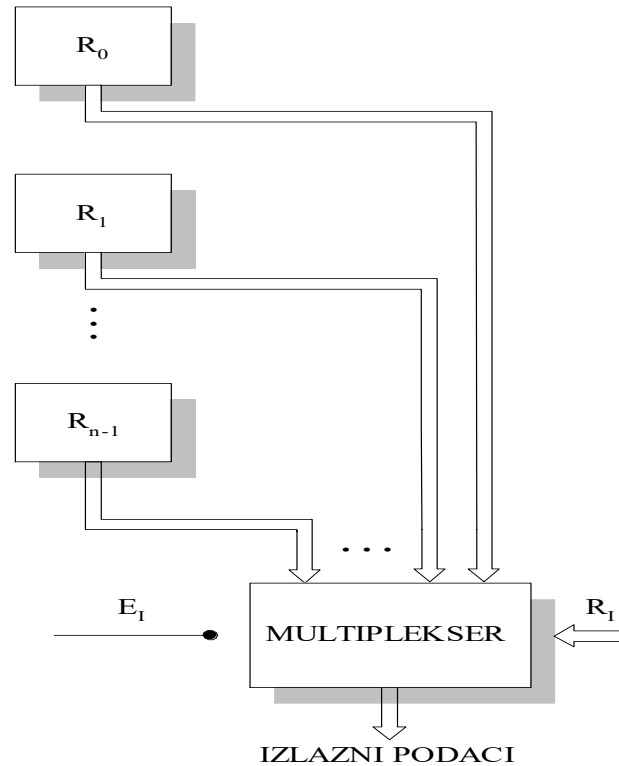
- indeksni registri, čiji se sadržaj dodaje adresnom delu instrukcije u procesoru indeksne modifikacije adresa,
- bazni registri, koji sadržavaju bazne adrese omogućavajući relativnu modifikaciju adresa u cilju proširenja opsega adresiranja (adresiranje više memorijskih modula),
- programski brojač, koji sadrži adresu naredne instrukcije.

4.3. REGISTRI OPŠTE NAMENE



Slika: Registri opšte namene sa zajedničkim linijama za ulaz podataka

4.3. REGISTRI OPŠTE NAMENE



Slika: Zajedničke izlazne linije registara opšte namene

4.3. REGISTRI POSEBNE NAMENE

Najvažniji registri posebne namene su:

- **adresni registar memorije** – čitanje sadržaja iz memorije ili upis sadržaja u memoriju vrši se tako što se prethodno memorijske lokacije kojoj treba pristupiti upisuje u poseban registar procesora koji se naziva adresni registar memorije. Na osnovu adrese u adresnom registru u momentu davanja signala za čitanje iz memorije ili za upis u memoriju posebnim dekoderskim kolima nalazi se potrebna memorijska lokacija i u nju se obavlja upis ili čitanje.
- **prihvatni registar memorije** – svaki podatak koji treba upisati u memoriju mora se prethodno smestiti u poseban registar procesora koji se naziva prihvatni registar memorije. Naime, upis i čitanje iz memorije može se vršiti samo iz tog registra. Prilikom upisa u memoriju prethodni sadržaj odgovarajuće memorijske lokacije se uništava (briše se), dok se pri čitanju vrši kopiranje sadržaja memorijske lokacije.
- **programski brojač (brojač instrukcija)** – daje informaciju o adresi sledeće instrukcije koja će se izvršavati.
- **registra instrukcija** – je registar u kome se smešta instrukcija dok upravlja izvršenjem operacija.

4.3. REGISTRI POSEBNE NAMENE

- **akumulator** – sve aritmetičke i logičke operacije, operacije pomeranja i mnoge druge mašinske operacije, izvršavaju se posebnim registrom procesora koji se naziva akumulator. Tokom izvršenja neke operacije u njemu se uvek nalazi jedan od operandi (+, -, *, /), i u njega se uvek smešta rezultat dobijen po izvršenju te operacije. Pri tome se stari sadržaj akumulatora briše.
- **indikatorski registar** ili **registar statusa** ("program status word") je registar koga čini određeni broj bistabilnih kola koja služe za pamćenje kodova uslova ili kodova stanja, koji predstavljaju informacije dobijene po izvršenju operacija. Svaki bit registra PSW naziva se indikator stanja i postavlja se nezavisno od ostalih saglasno uslovima koje daje izlazna reč rezultata iz aritmetičko – logičke jedinice koja se upisuje u akumulator.

Najčešće korišćeni uslovi su:

prenos ("carry" - C),
znak ("Sign" - S),
nula ("Zero" - Z),
prekoračenje ("Overflow" - V).

4.4. UPRAVLJAČKA JEDINICA

Upravljačka jedinica ima zadatak da pravovremeno i po određenom redosledu generiše upravljačke signale koji određuju i sinhronizuju mikrooperacije svih delova mikroprocesora i mikroračunarskog sistema.

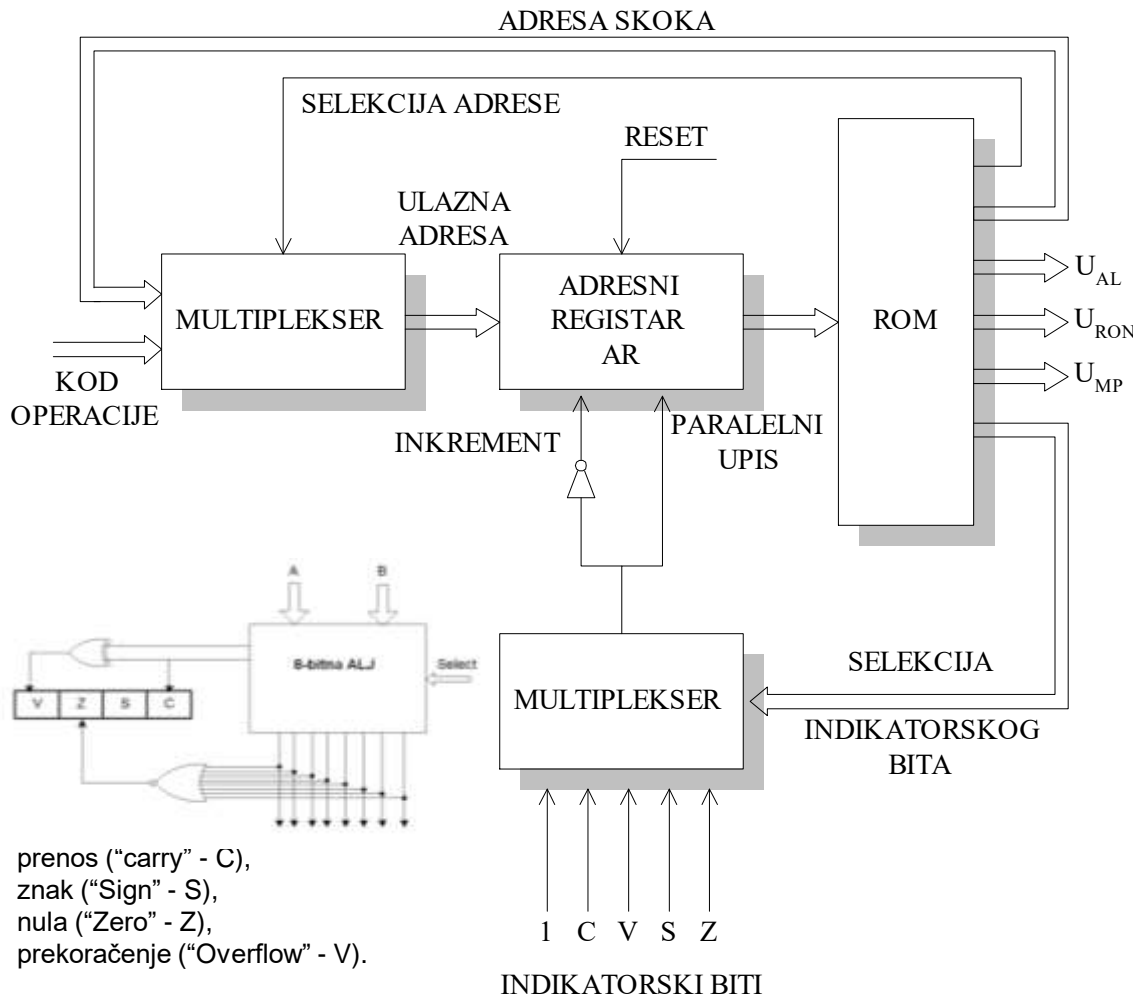
Upravljačka jedinica savremenih mikroprocesora realizuje se na dva načina:

- u obliku mikroprogramskog automata i
- u obliku složene sekvencijalne mreže koja je projektovana prema zahtevima mikropcesora

Zadaci UJ - upravljačke jedinice su da upravlja, kordinira rad svih funkcija i delova računarskog sistema kao što su:

- da upravlja radom ulazno - izlazne (U/I) jedinice,
- da uvodi i opoziva podatke iz opevativne memorije,
- da kontroliše i upravlja prenosom podataka iz aritmetičko-logičke jedinice u operativnu memoriju i obrnuto,
- da kontroliše izvršenje aritmetičkih operacija i donosi logičke zaključke i odluke.

4.4. UPRAVLJAČKA JEDINICA



- Ulazni signal RESET upisuje **nulu** u adresni registar AR: RESET tj. $AR \leftarrow 0$

- Nad adresnim registrom AR definisane su dve mikrooperacije:

inkrement - upis i povećanje sadržaja za 1 koji su određeni upravljačkim signalima:

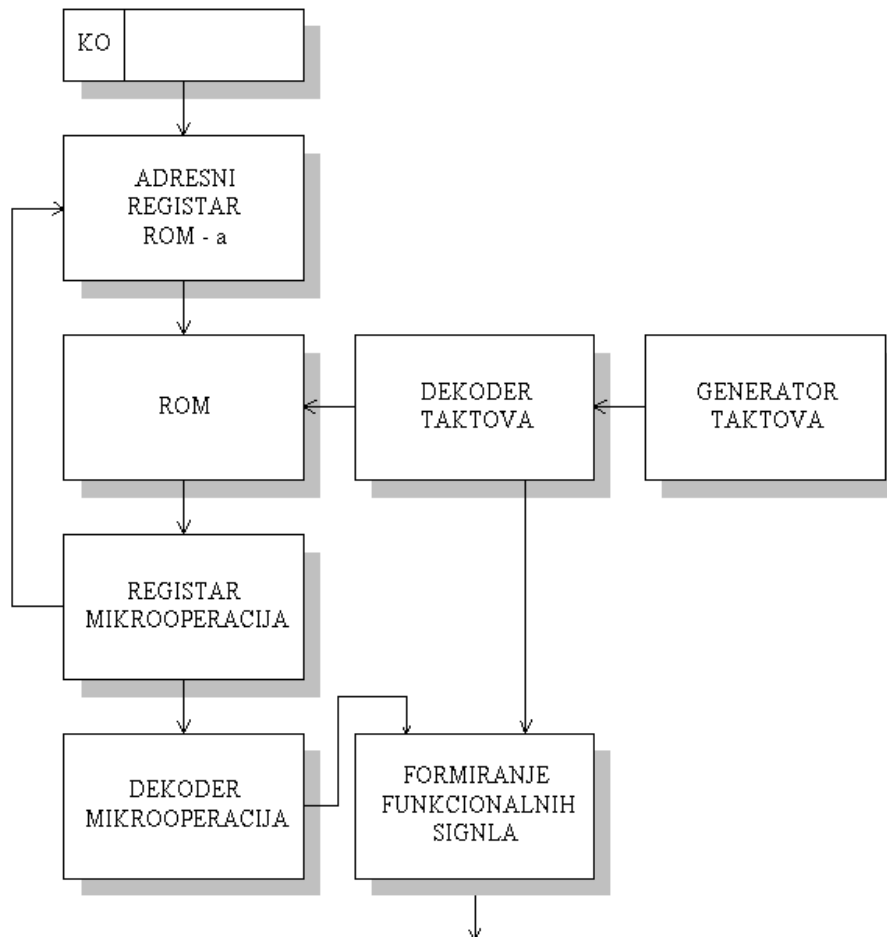
$AR \leftarrow$ ulazna adresa i povećanje sadržaja za 1 tj. $AR \leftarrow AR + 1$

Operacija množenja se sastoji od više mikrooperacija:

- prenos adrese operanda u memorijski adresni registar,
- dekodiranje adrese i generisanje signala za očitavanje sadržaja,
- prebacivanje sadržaja memorijske lokacije u prihvatni registar memorije itd.

Slika: Blok šema mikroprogramske upravljačke jedinice

4.4. UPRAVLJAČKA JEDINICA

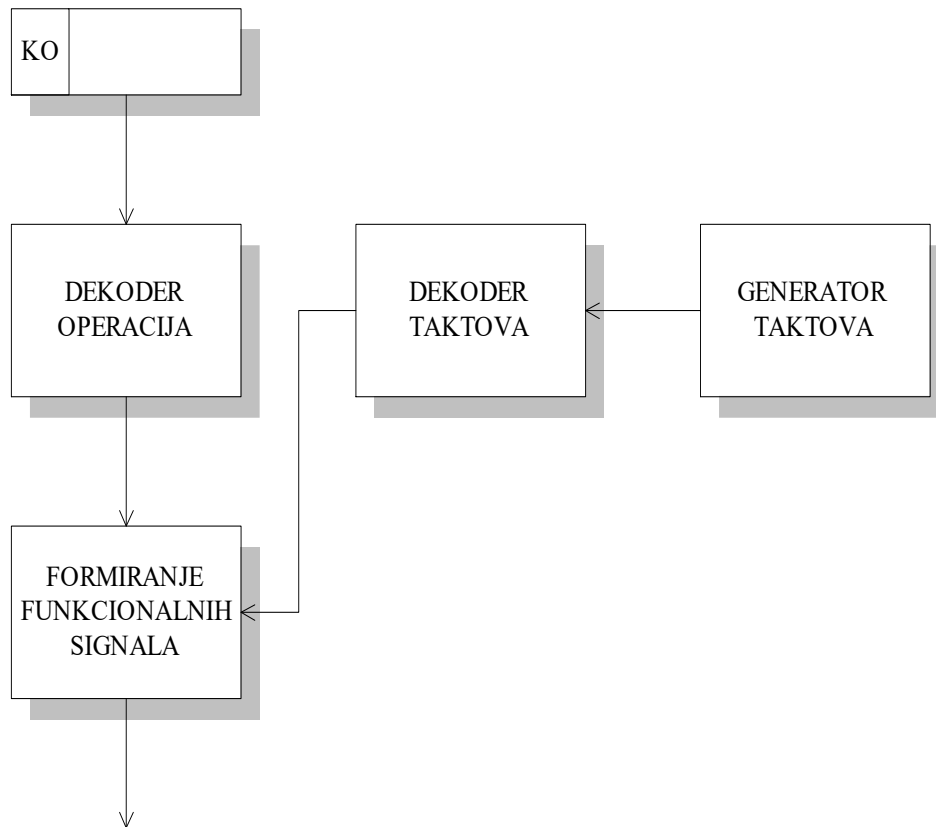


Slika: Struktura hardverski realizovane
UJ - upravljačke jedinice

U sastav hardverski realizovane **UJ** - upravljačke jedinice ulaze:

- registar koda instrukcija, koji predstavlja deo registra instrukcija (RIN) koji čuva instrukciju u procesu njenog izvršavanja,
- mikroprogramska (upravljačka) memorija (ROM),
- dekodek koda operacije,
- generator sinhronizacionih impulsa,
- brojač taktova,
- dekodek taktova,
- logičke mreže za generisanje funkcionalnih signala,
- kola za formiranje funkcionalnih signala.

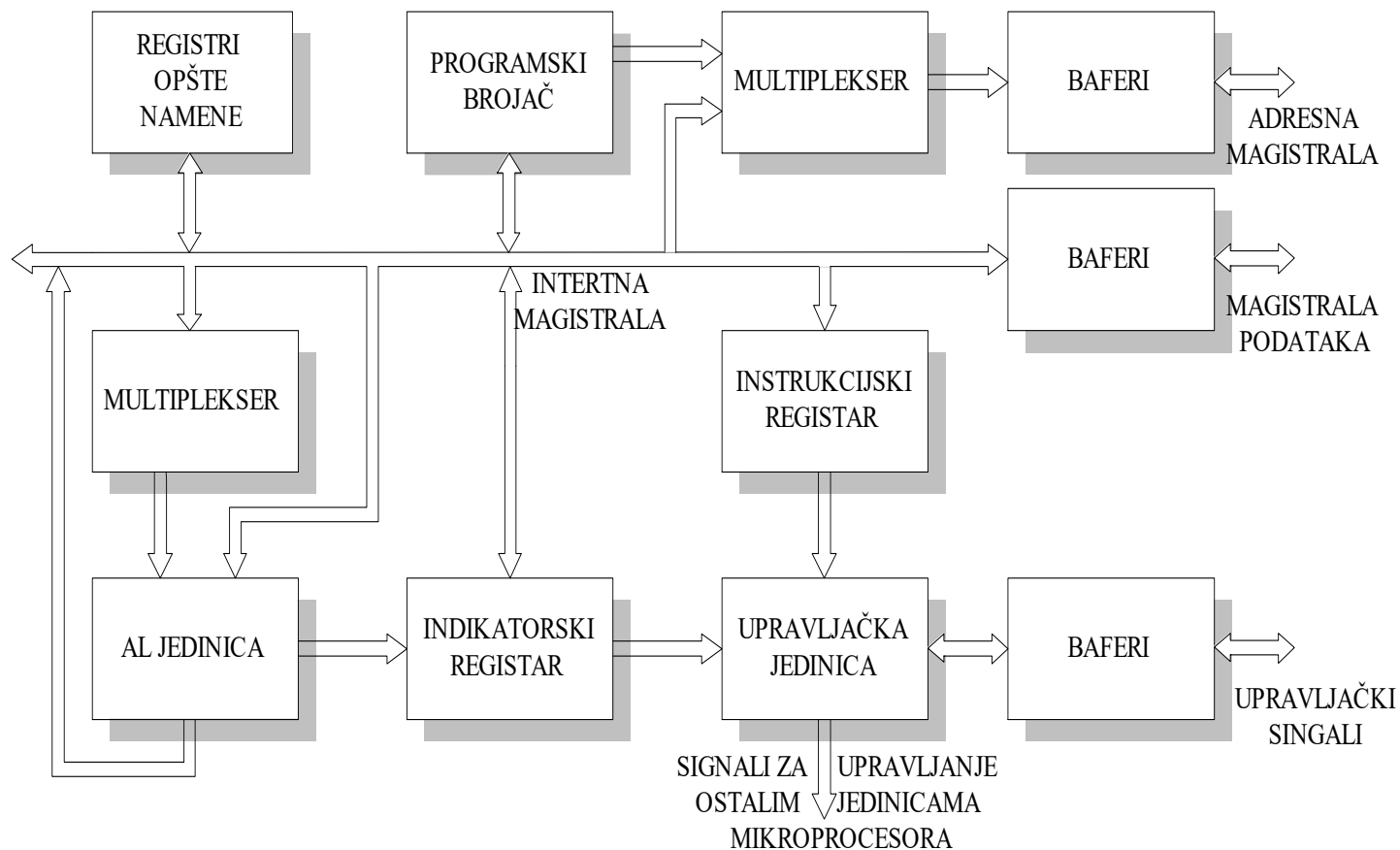
4.4. UPRAVLJAČKA JEDINICA



- dekodek koda operacije,
- brojač taktova, dekodek taktova,
- generator sinhronizacionih impulsa,
- logičke mreže za generisanje funkcionalnih signala

Slika: Mikroprogramska realizacija (podsystem) upravljačke jedinice

4.5. MODEL MIKROPROCESORA

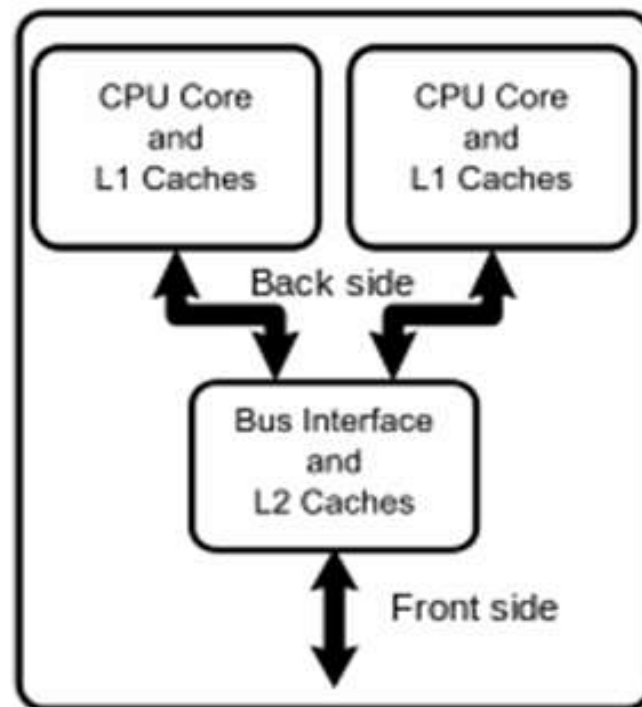
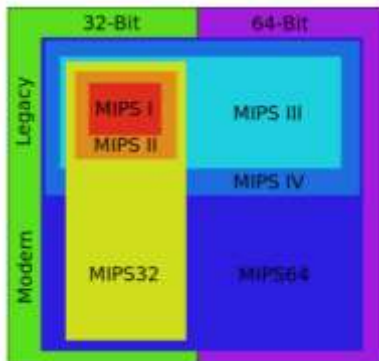


Slika: Logička šema jednostavnog mikroprocesora

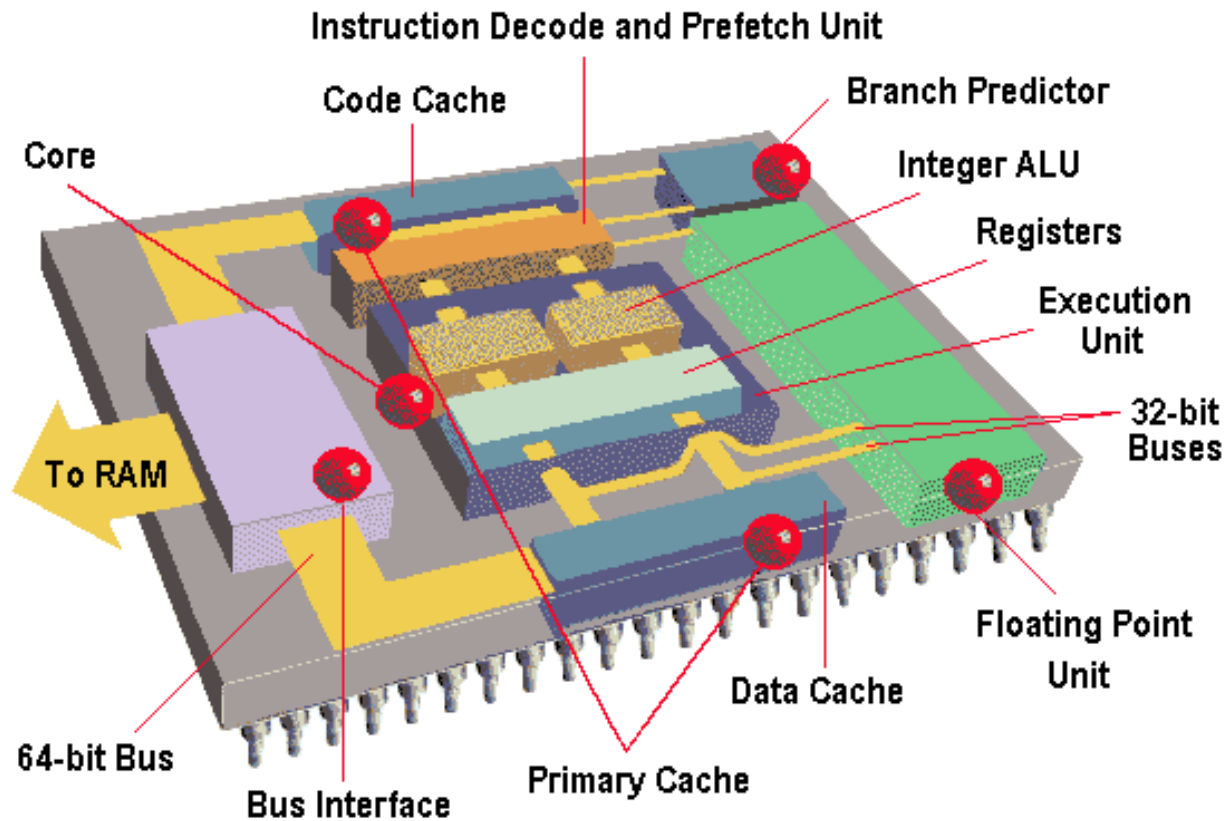
4.5. MODEL MIKROPROCESORA

Brzina mikroprocesora se izražava u milionima instrukcija u sekundi. Instrukcija može biti na primer sabiranje dva cela broja. Ova jedinica se označava sa MIPS (Milion Instructions Per Second) i kod mikroproceesora se kreće do 100 MIPS – a. Brzina mikroprocesora je složena veličina koja zavisi od više parametara kao što su:

- Procesorska reč
- Učestanost časovnika
- Interni keš
- Matematički koprocesor
- Širina magistrale
- Multi procesor



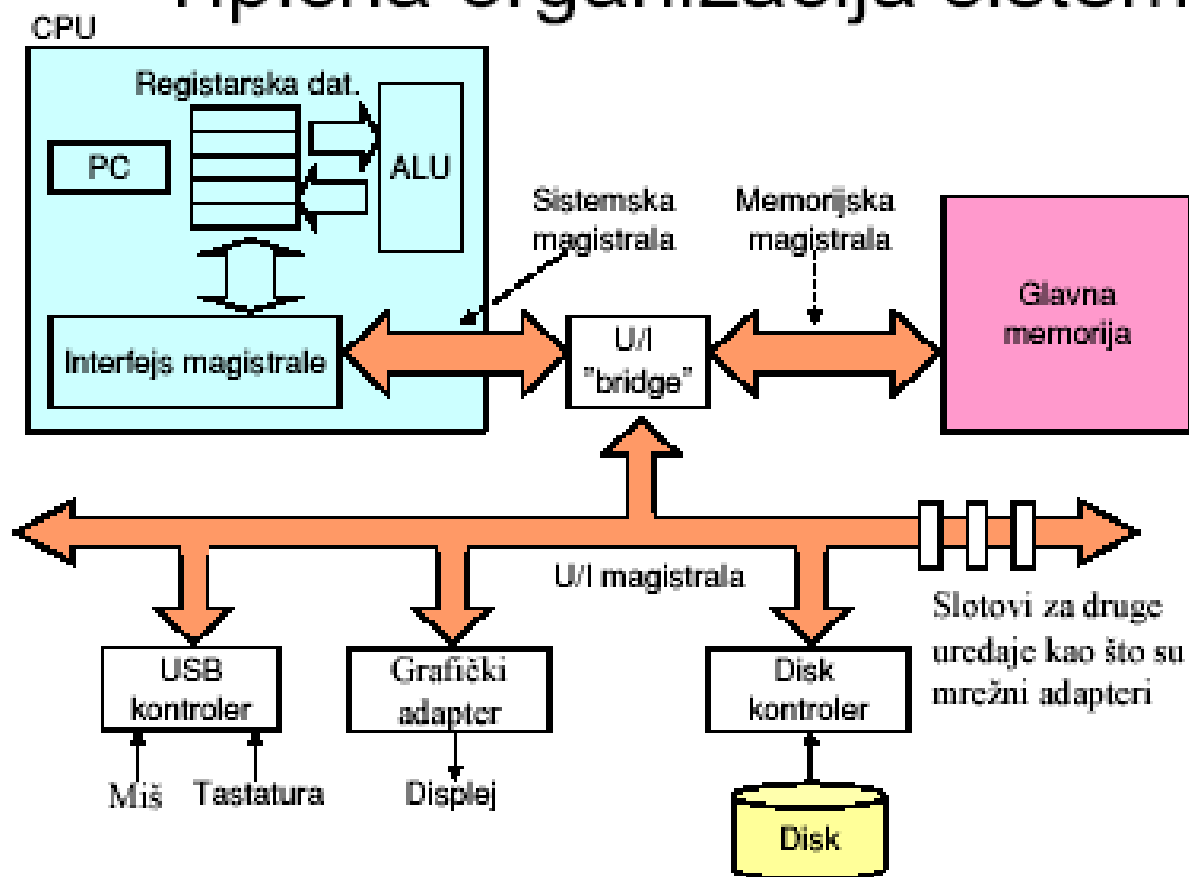
4.5. MODEL MIKROPROCESORA



Slika: Glavni funkcionalni sestavni delovi procesora

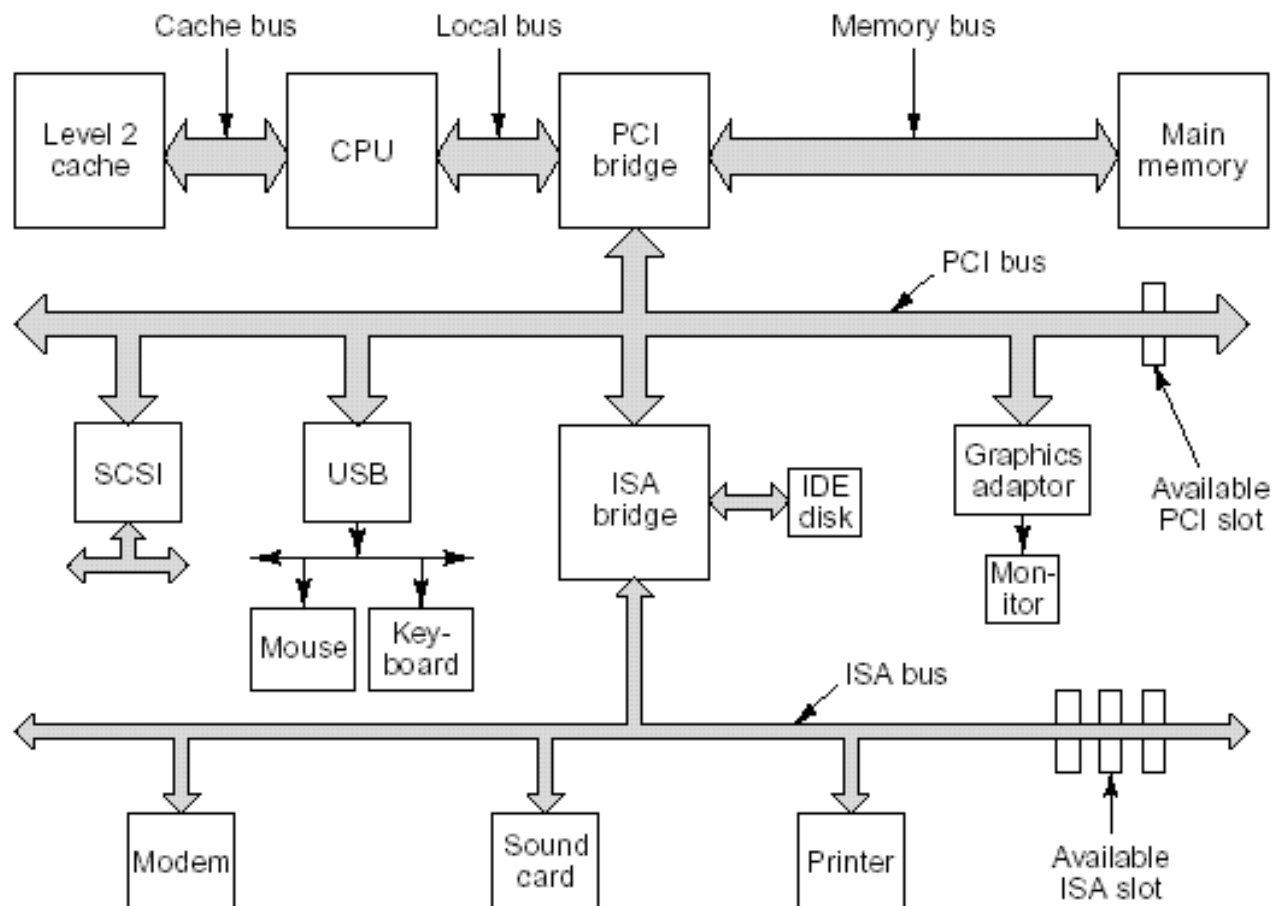
4.6. MIKRORAČUNARSKI SISTEM

Tipična organizacija sistema



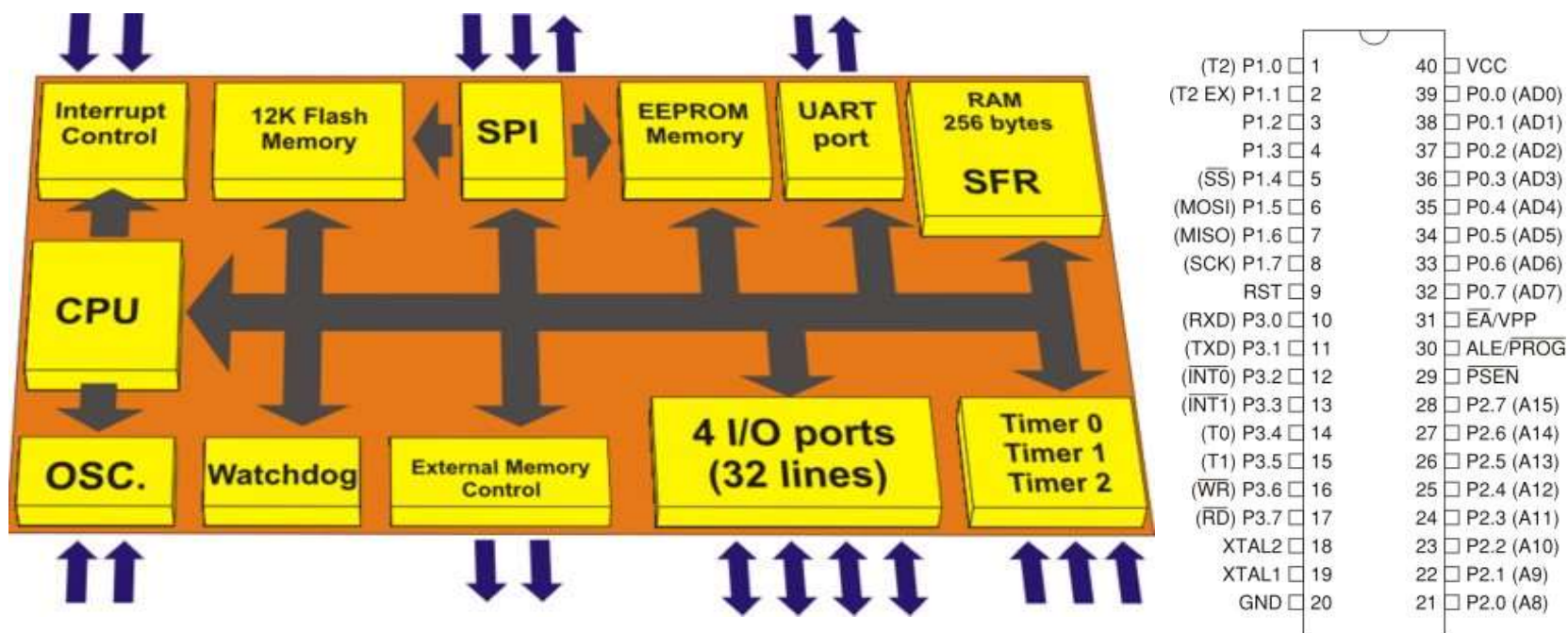
Slika: Logička organizacija šema – Single-core računarskog sistema

4.6. MIKRORAČUNARSKI SISTEM



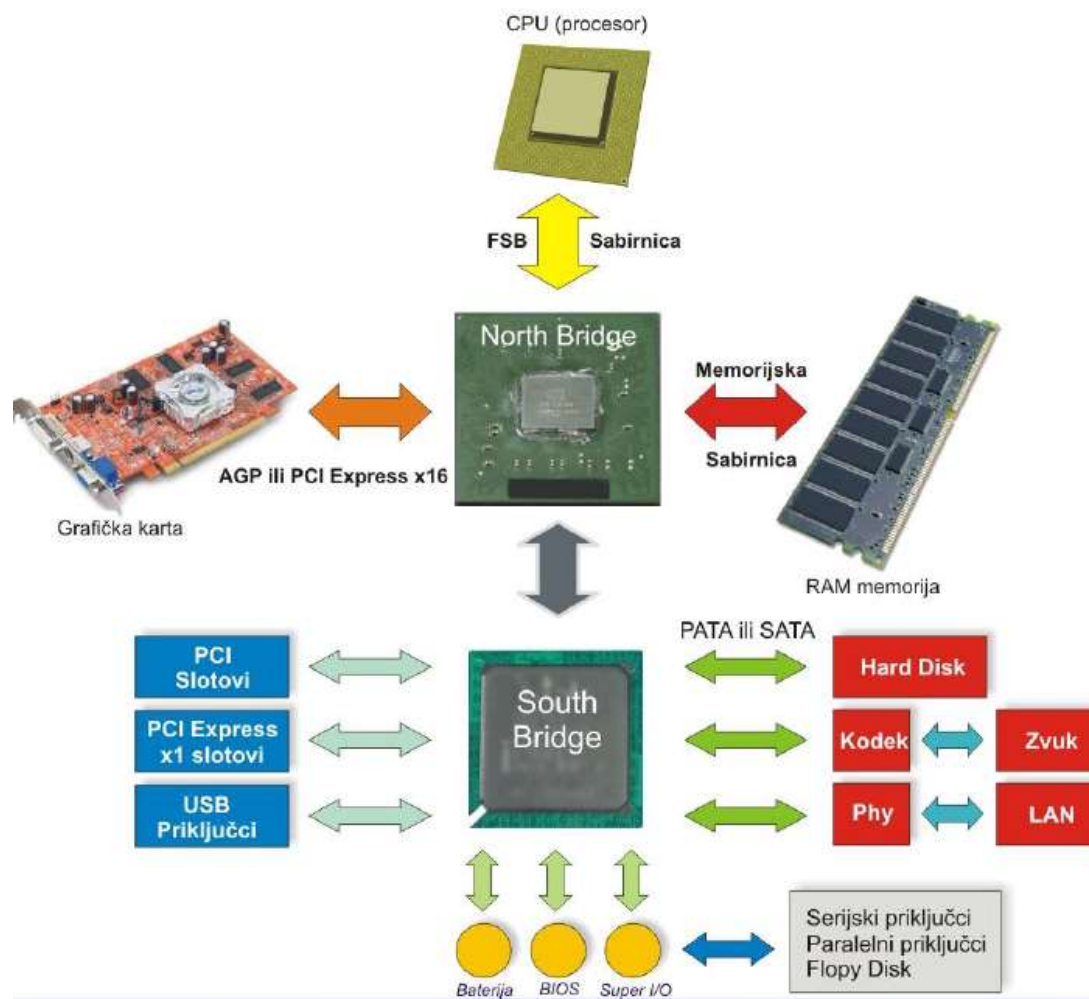
Slika: Logička organizacija šema

4.6. MIKRORAČUNARSKI SISTEM



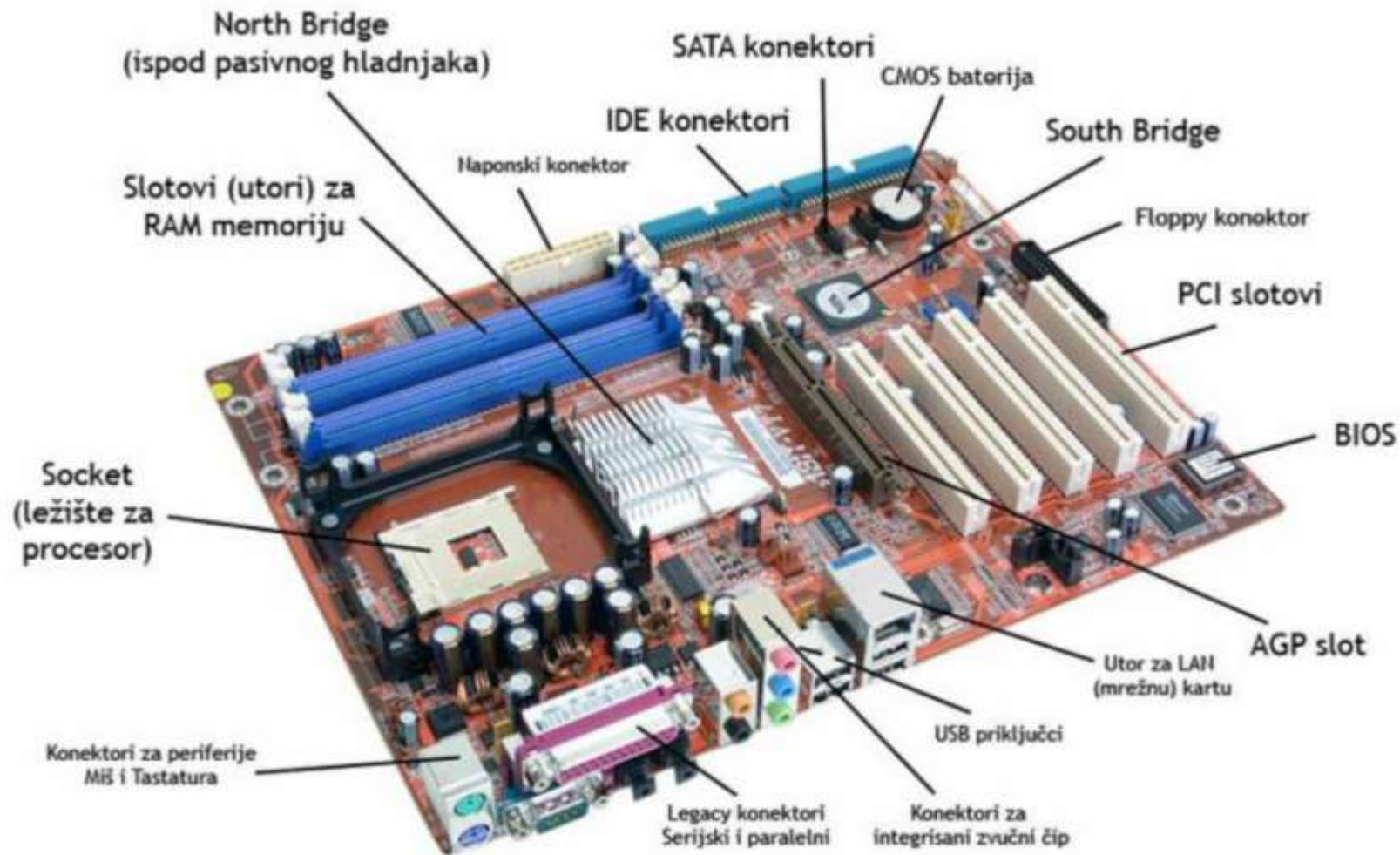
Primer: Atmel AT89S8253, CPU 8051

4.6. MIKRORAČUNARSKI SISTEM



Slika: Blok šema mikroračunarskog sistema

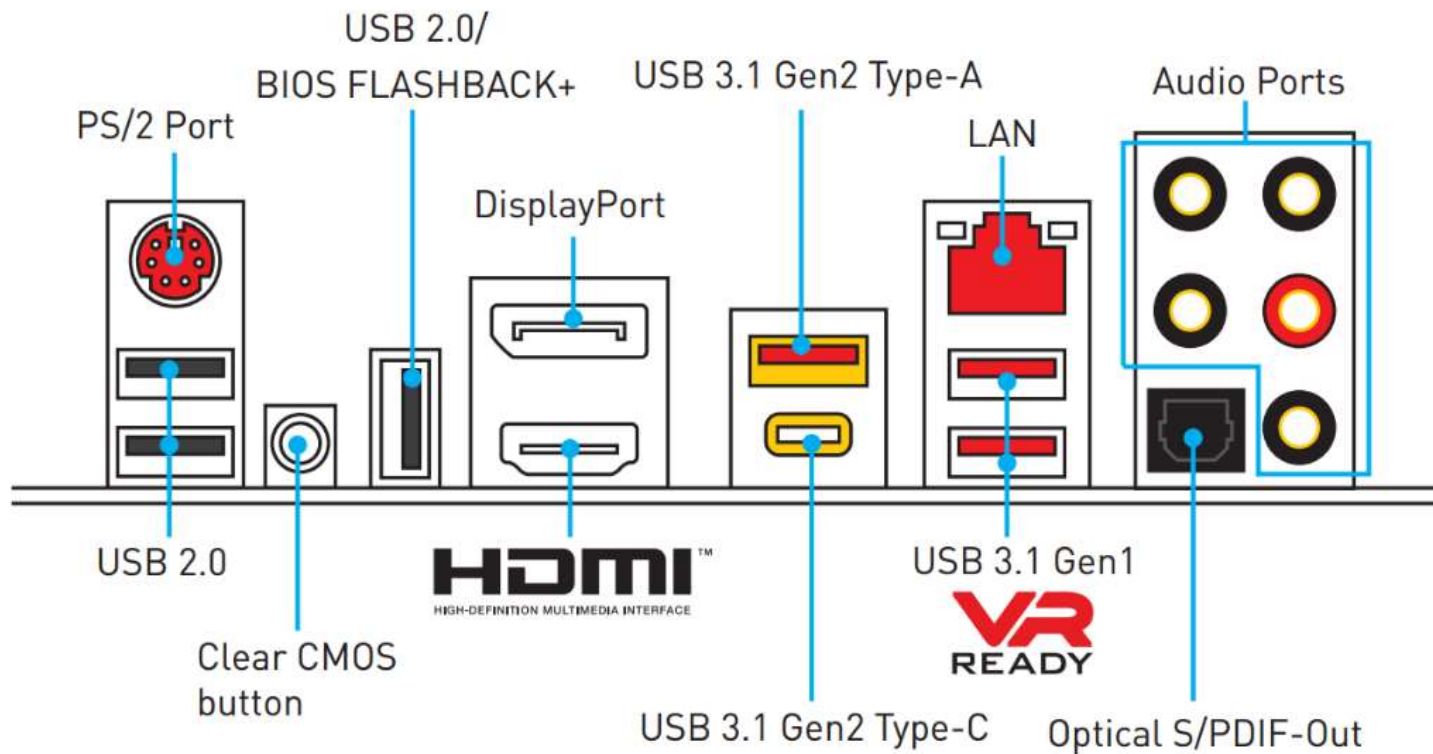
4.6. MATIČNA PLOČA



Slika: Prikaz komponenti na matičnoj ploči

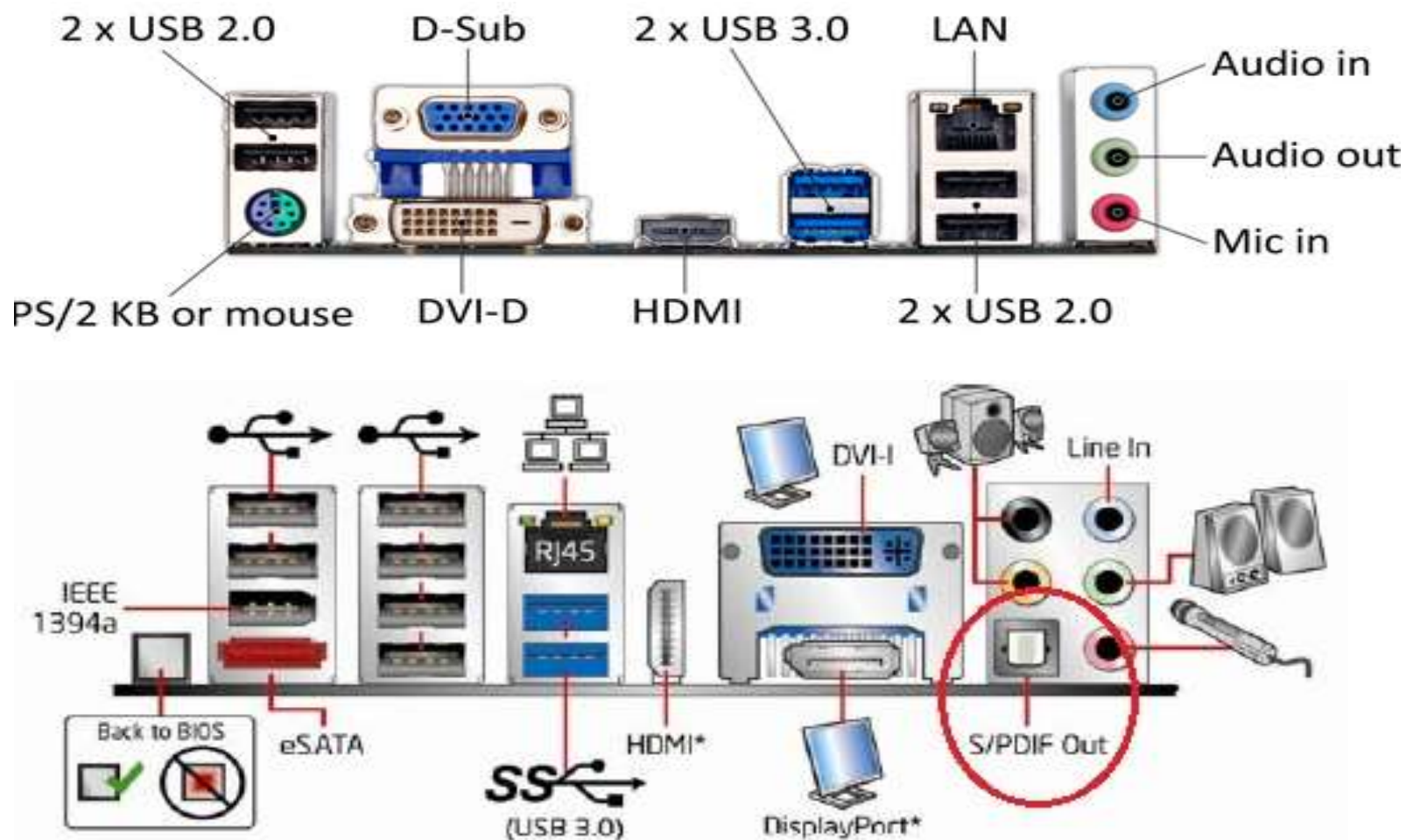
4.6. MATIČNA PLOČA

Rear I/O Panel



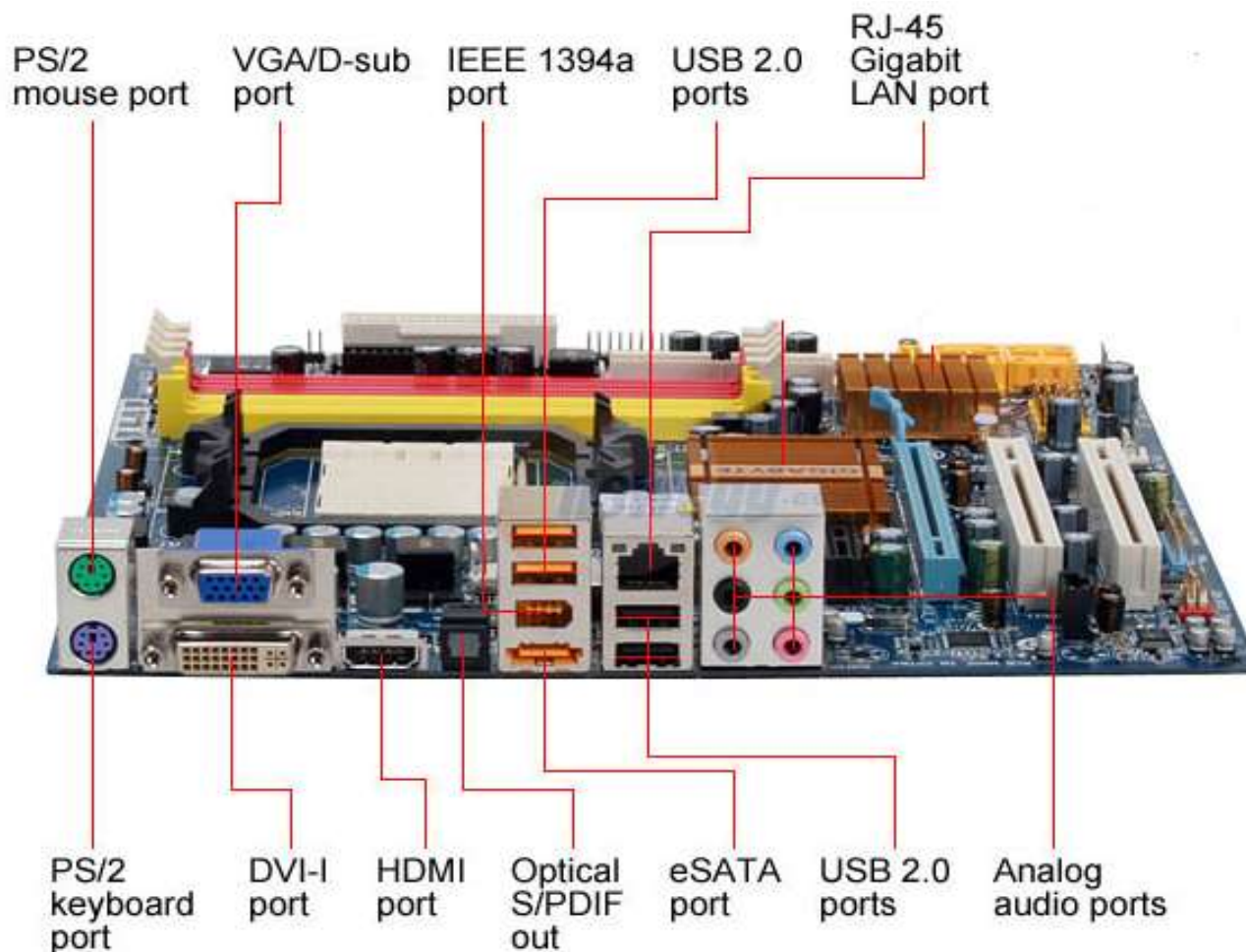
Slika: Prikaz portova na matičnoj ploči

4.6. MATIČNA PLOČA



Slika: Prikaz portova na matičnoj ploči

4.6. MATIČNA PLOČA



Slika: Prikaz portova na matičnoj ploči

Krai