



SERVIÇO PÚBLICO FEDERAL · MINISTÉRIO DA EDUCAÇÃO UNIVERSIDADE  
FEDERAL DE VIÇOSA · UFV  
CAMPUS FLORESTAL

**Trabalho Prático 01 – CCF 251**  
**Circuitos Combinacionais - Segunda Parte**

Anna Luísa Ferreira Costa  
Gabriel Benez Duarte Costa

Florestal - MG  
2023

## Índice

<b>1. Introdução</b>	<b>3</b>
<b>2. Processo de Desenvolvimento</b>	<b>4</b>
<b>3. Resultados</b>	<b>5</b>
<b>4. Acesso ao vídeo</b>	<b>5</b>
<b>5. Conclusão</b>	<b>5</b>

## 1. Introdução

Esta documentação refere-se à segunda parte do primeiro trabalho prático proposto na disciplina "Introdução aos Sistemas Lógicos Digitais", de código CCF 251. Para essa etapa, foram realizadas algumas alterações no código principal do codificador, conforme orientação do monitor, para adequar as funcionalidades do código com o método de lógica combinacional da primeira parte da disciplina.

```
1 module Codificador(A, B, C, D, Ready, Reset, S0, S1, S2, S3 );
2 // entradas dos bits e os acionadores ready e reset.
3 input wire A, B, C, D, Ready, Reset;
4 output wire S0, S1, S2, S3;
5 // saidas codificada conforme documentação de orientação do TP.
6 //Definidos as saidas por meio de equações booleanas
7 assign S0 = (~A & ~C & D & Ready) | (~B & C & ~D & Ready) | (B & D & Ready) | (A & B & ~C & Ready) | Reset;
8
9
10 assign S1 = (~B & ~C & ~D & Ready) | (~A & ~C & D & Ready) | (B & C & ~D & Ready) | (A & ~D & Ready) | Reset;
11
12
13 assign S2 = (~A & B & D & Ready) | (A & ~B & ~C & Ready) | (A & C & D & Ready) | (A & B & ~D & Ready) | Reset;
14
15
16 assign S3 = (~A & ~C & ~D & Ready) | (~B & ~D & Ready) | (~A & B & D & Ready) | (A & ~B & ~C & Ready) | Reset;
17
18
19 endmodule
20 |
```

**Figura 1:** Novo código do sistema Codificador de 4-bits.



**Figura 2:** Ondas geradas pelo código do Codificador no GTKwave.

Apesar das alterações realizadas no código verilog do Codificador, às entradas e saídas permaneceram as mesmas diante a tabela de valores proposta pelo trabalho.

## 2. Processo de Desenvolvimento

### 2.1 Display de 7 Segmentos

Para a simulação do Codificador 4-bits na placa FPGA, foram utilizados dois displays de 7 segmentos para representar as saídas em decimais, às quais possuem um intervalo de 0 a 15. O código para os displays segue na formatação exemplificada abaixo, no qual foi desenvolvido um “case” para cada uma das 16 possibilidades de saída codificada, e a representação do reset e do não acionamento do ready.

```

Codificador.v  Display.v  teste_gtk.vcd  TesteBench.v
Display.v
1  module Display (a, b, c, d, ready, reset, dse, dsd);
2      input wire a, b, c, d, ready, reset;
3      wire s0, s1, s2, s3;
4      output reg [0:6] dse;
5      output reg [0:6] dsd;
6      Codificador en(.A(a), .B(b), .C(c), .D(d), .ready(ready), .reset(reset), .S0(s0), .S1(s1), .S2(s2), .S3(s3));
7
8
9      always @(*) begin
10         case ({s3, s2, s1, s0})
11             4'b0000: begin
12                 dsd = 7'b1111110;
13                 dse = 7'b0000000;
14             end
15             4'b0001: begin
16                 dsd = 7'b0110000;
17                 dse = 7'b0000000;
18             end
19             4'b0010: begin
20                 dsd = 7'b1101101;
21                 dse = 7'b0000000;
22             end

```

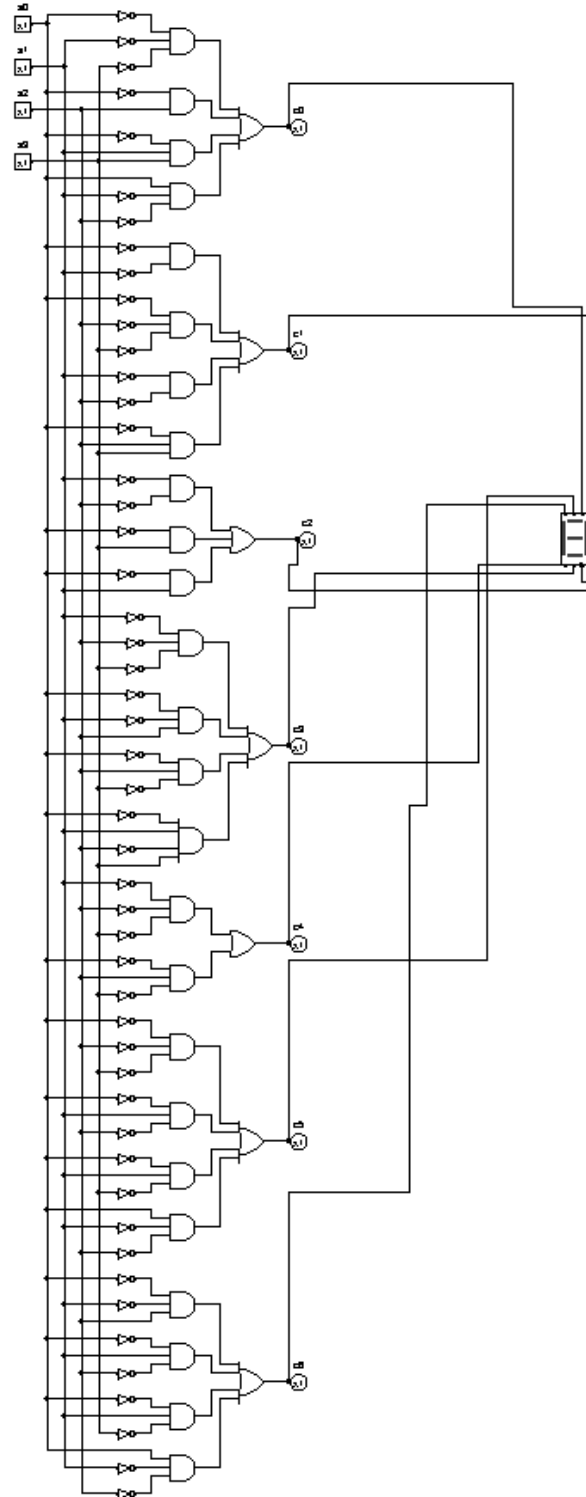
**Figura 3:** Código do display.

```

73         end
74     default: begin
75         if (reset == 1'b1 || ready == 1'b0 || (ready == 1'b0 && reset == 1'b1)) begin // Caso a entrada ready ou reset
76             dsd = ~7'b0000001;
77             dse = ~7'b0000001;
78         end
79         else begin
80             dsd = ~7'b0000000; // caso nenhuma das possibilidades, desligar o display
81             dse = ~7'b0000000;
82         end
83     end
84 endcase
85 end
86 endmodule
87

```

**Figura 4:** Estrutura case com a lógica do ready e do reset.



**Figura 5:** Circuito do display no Logisim.

### 3. Resultados

Por meio do código desenvolvido para os displays, foi possível estabelecer uma conexão bem-sucedida com as informações geradas pelo código principal do codificador. Durante os testes realizados, a placa FPGA demonstrou um desempenho satisfatório, conforme as expectativas do nosso grupo (15), operando adequadamente com as entradas e saídas planejadas.

### 4. Acesso ao vídeo

Abaixo encontra-se o vídeo explicando o funcionamento do sistema desenvolvido:

**Link:** [Vídeo Teste FPGA](#)

### 5. Conclusão

Com a conclusão deste trabalho, uma gama considerável de conhecimento foi adquirido por parte dos alunos que desenvolveram esse sistema. Além desse aspecto, foi possível atender, de maneira geral, às exigências propostas pelo trabalho ao elaborar um sistema de codificação condizente com as entradas e saídas estabelecidas, assim como um resultado bem sucedido no momento de rodar os códigos na placa FPGA.

### Referências

- [1] Randy H.Katz. **CONTEMPORARY LOGIC DESIGN**. 2. ed. Editora Pearson Prentice Hall.
- [2] Nacif, José A. M. CCF-251-TP01-2022-2. 2022.
- [3] Prof. Dr Pedro Souza - Universidade Federal Rural do Semi-Árido. Disponível em: <[Link Youtube](#)> Último acesso em: 23 de Outubro de 2023.