

一、檔案說明

1. original_code

此次專題希望你只動到 **image_processing** 這個 IP，若你不小心改到其他不該改的 IP，原始 verilog code 都可以在這個資料夾內找到，例如 VGA_IP 這個 IP 會用到 vga_sdk_ctrl.v 跟 vga_sdk_top.v，此兩.v 檔都可以從此資料夾找到，但請自己 package 成 IP 後，在加入 block design (此步驟可參考步驟教學中的步驟 7~步驟 11)。

2. python_make_image_pixel_data

若想將顯示的圖片換成自己喜歡的圖片，此資料夾內有寫好的 py 檔幫你將圖片轉成 rgb 共 12bits 的 data，請再自行將 data 寫入 main.c 內的 img 矩陣。

3. vivado_file

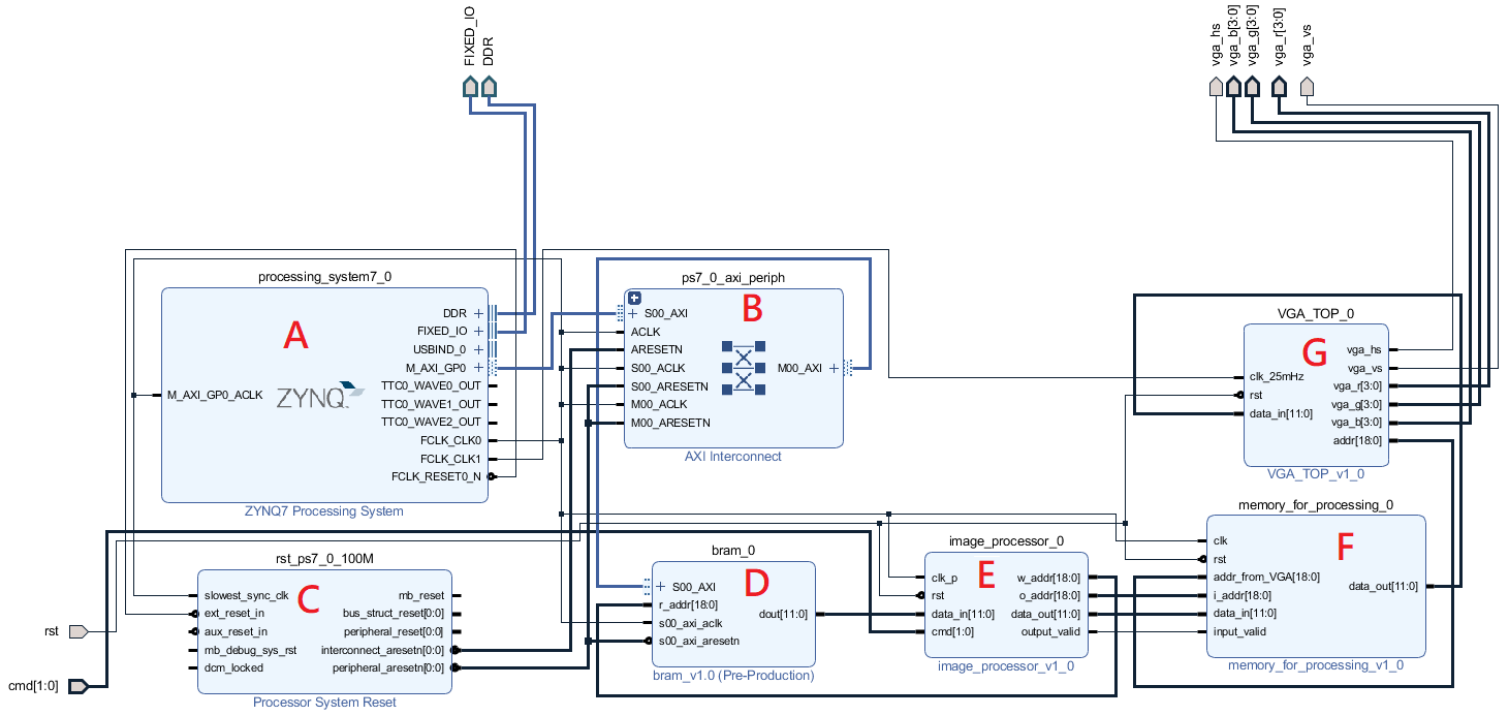
主要 project 用到的檔案都在這

4. SDK_file

SDK 會用到 main.c 在這

二、架構說明

1. 架構圖 (共有 7 個 IP，可想像成 7 個有不同功能的 module)



2. 各 IP 說明

A. ZYNQ7 Procseeing System

主要是製造 clk，FCLK_CLK0 為 100 MHz 的 clk，FCLK_CLK1 為 25 MHz 的 clk

B. AXI Interconnect

讓你寫的軟體(SDK 內的 c++)跟硬體 (你的 block design) 溝通

C. Processor System Reset

製造 reset 訊號給 B, D

D. Bram

存放 SDK 讀進來的 img

E. Image_processor

主要做影像處理的地方就在這，請修改此 IP 的 code 完成你的影

像處理，做好的 pixel 的 data 要 output 到下一個 IP

(memory_for_processor)，存放你影像處理後的圖片。

F. Memory_for_processing

存放你影像處理後的圖片

G. VGA_TOP

負責讓圖片顯示在 VGA 的 IP

3. 注意事項

因硬體限制，目前的設計為 400x300，若沒有要修改解析度，請不要

自行修改除了 E (image_processor) 以外的 IP ！

若有需要修改解析度，請找我 (只能變小不能變大)

三、步驟教學

1. 打開 project_for_zhuanti\vivado_file\project_1 內的 project_1.xpr

project_for_zhuanti > vivado_file > project_1				
名稱	修改日期	類型	大小	
project_1.cache	2021/4/23 下午 03:48	檔案資料夾		
project_1.hw	2021/4/23 下午 03:48	檔案資料夾		
project_1.ip_user_files	2021/4/23 下午 03:48	檔案資料夾		
project_1.runs	2021/4/23 下午 03:48	檔案資料夾		
project_1.sdk	2021/4/23 下午 03:48	檔案資料夾		
project_1.sim	2021/4/23 下午 03:48	檔案資料夾		
project_1.srds	2021/4/23 下午 03:48	檔案資料夾		
project_1.tmp	2021/4/23 下午 03:48	檔案資料夾		
ip_upgrade	2021/4/21 上午 11:09	文字文件	2 KB	
project_1	2021/4/23 下午 03:49	Vivado Project File	21 KB	

2. 點選 Open Block Design，即可看到 IP 架構圖

The screenshot shows the Vivado IDE interface. The 'Project Manager' tab is active, displaying the project hierarchy. The 'IP Integrator' tab is also visible, showing the 'Open Block Design' option highlighted with a red box. The 'Project Summary' panel on the right provides details about the project, including the project name, location, and target device.

Project Manager - project_1

- PROJECT MANAGER
 - Settings
 - Add Sources
 - Language Templates
 - IP Catalog
- IP INTEGRATOR
 - Create Block Design
 - Open Block Design**
 - Generate Block Design
- SIMULATION
 - Run Simulation
- RTL ANALYSIS
 - Open Elaborated Design
- SYNTHESIS
 - Run Synthesis
 - Open Synthesized Design
- IMPLEMENTATION
 - Run Implementation

Project Summary

Overview | Dashboard

Settings Edit

Project name: proj
Project location: D:/C
Product family: Zyn
Project part: Zed
Top module name: des
Target language: Veri
Simulator language: Mixe

Board Part

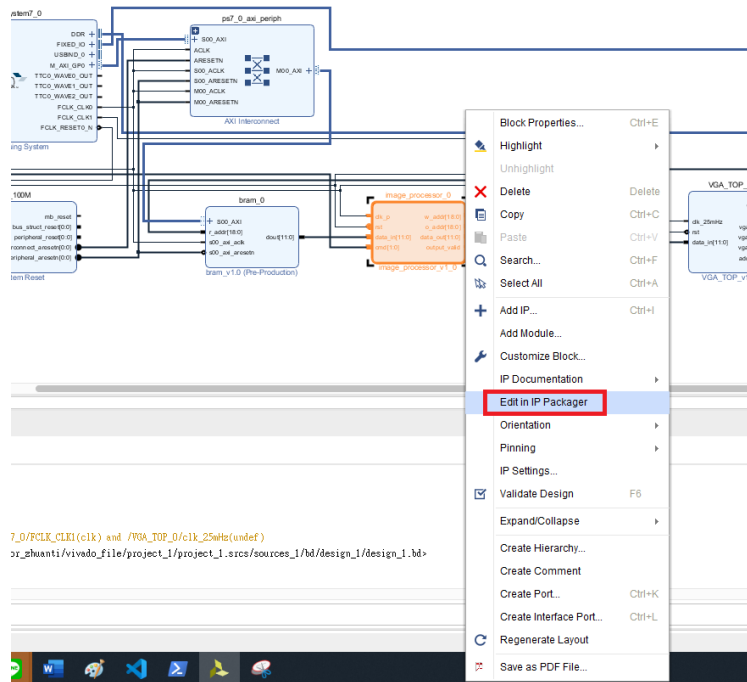
Display name: ZedBo
Board part name: em.av
Connectors: No co
Repository path: D:/Xilli
URL: http://v
Board overview: ZedBc
Changes

Synthesis

Status: Complete

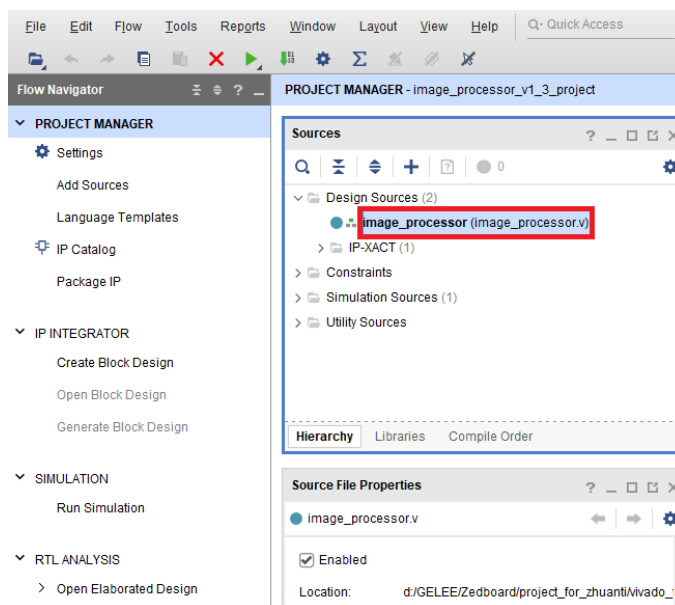
4. 開始改 code，對著 image_processor 按右鍵，選擇 Edit in IP

Packager 後按 OK OK，按完後會自動另開一個 vivado，讓你可以獨立修改

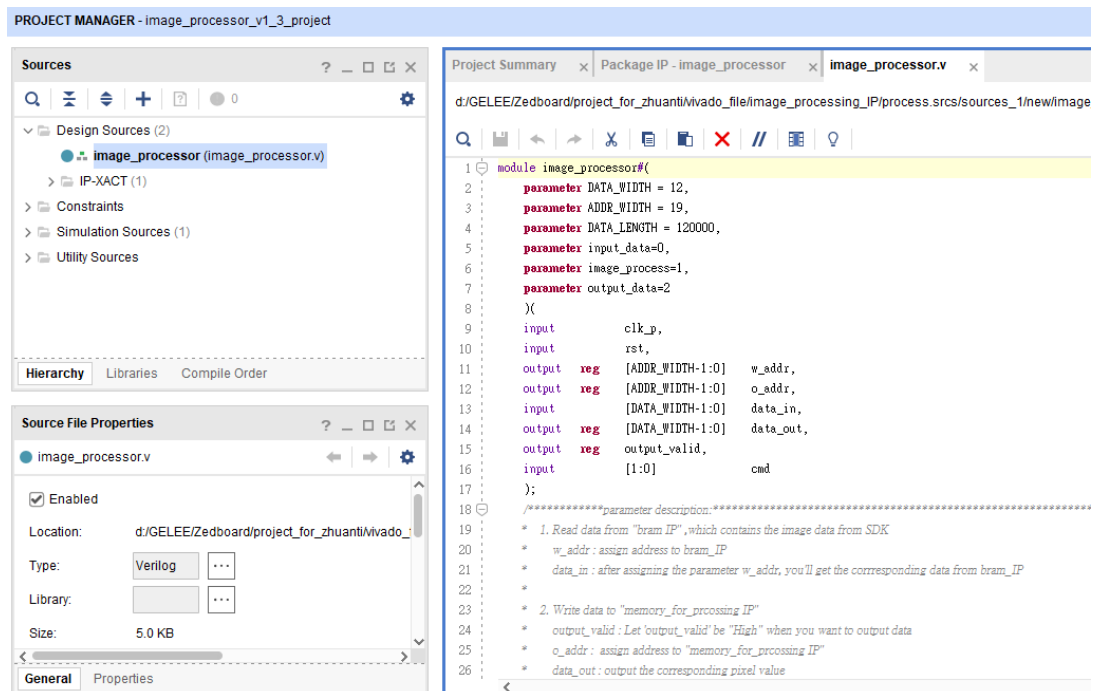


5. 打開 image_processor IP packager 後，點兩下 Design Sources 內的

image_processor.v

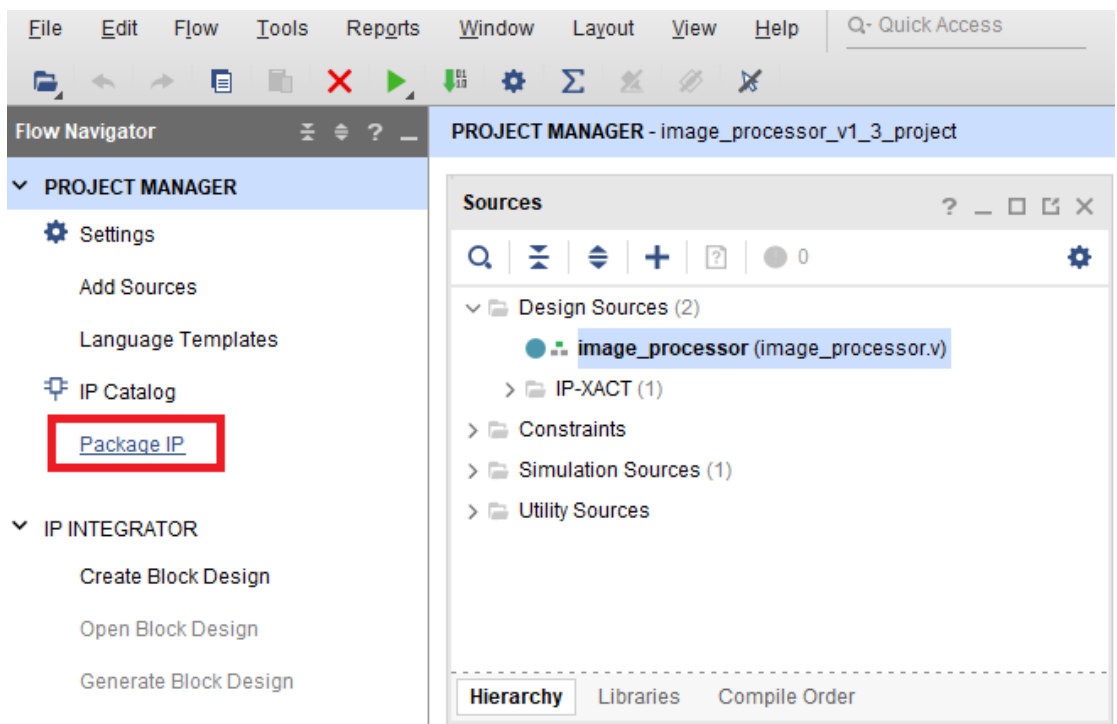


6. 點開 image_processor.v 便可打開程式碼，開始設計你的影像處理 !!



7. 改完 code 後，須將 image_processor 這個 IP 重新包裝，儲存好.v 檔

後點選左上角 PROJECT MANAGEMENT 內的 Package IP



8. 點選非綠勾勾的選項，並點選 Merge changes.....Wizard

Project Summary x Package IP - image_processor x image_processor.v x

Packaging Steps

- ✓ Identification
- ✓ Compatibility
- ✓ File Groups
- Customization Parameters**
- Ports and Interfaces
- Addressing and Memory
- Customization GUI
- Review and Package

Customization Parameters

! Merge changes from Customization Parameters Wizard

Search, Filter, Sort, Expand, Add, Refresh icons

Name	Description	Display Name	Value
Customization Parameters			
DATA_WIDTH		Data Width	12
ADDR_WIDTH		Addr Width	19
DATA_LENGTH		Data Length	12
Hidden Parameters			

9. 一直弄到所有綠勾勾都消失，即表示完成修改，驚嘆號不用管他，最後點選 Re-Package IP 即完成 IP 的包裝，此時會問你要不要關掉視窗，自行決定

Project Summary x Package IP - image_processor x image_processor.v x

Packaging Steps

- ✓ Identification
- ✓ Compatibility
- ✓ File Groups
- ✓ Customization Parameters
- ! Ports and Interfaces
- Addressing and Memory
- ✓ Customization GUI
- Review and Package**

Review and Package

! 1 warning 2 info messages

Summary

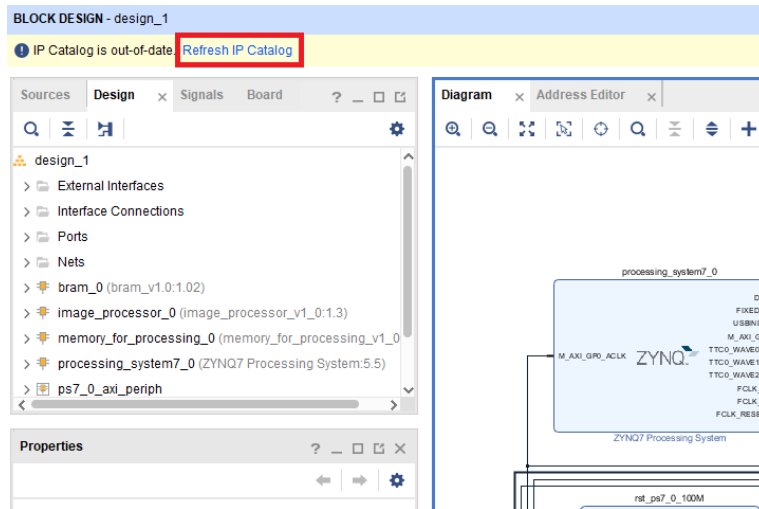
Display name: image_processor_v1_0
Description: image_processor_v1_0
Root directory: d:/GELEE/Zedboard/project_for_zhuanli/vivado_file/image_processing_IP/process.srcs/sources_1/new

After Packaging

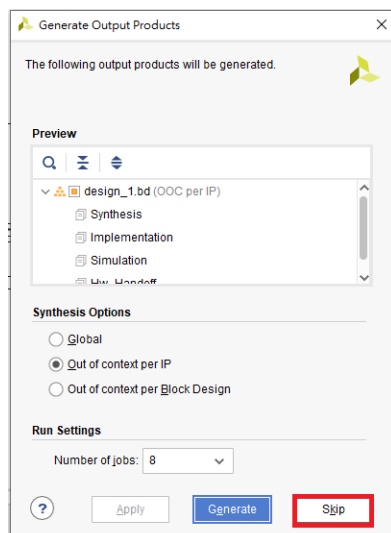
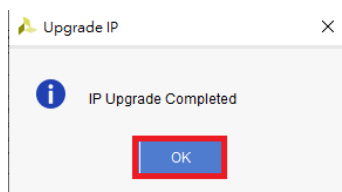
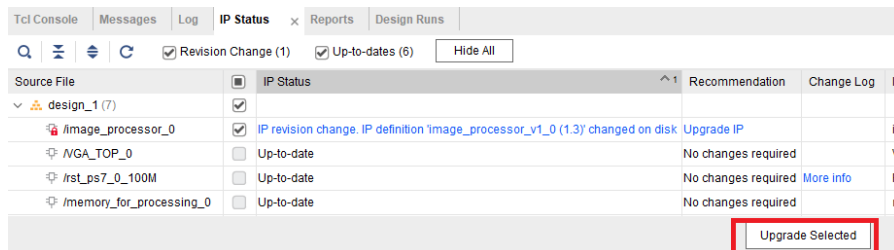
An archive will not be generated. Use the settings link below to change your preference
Project will be removed after completion
[Edit packaging settings](#)

Re-Package IP

10. 回到我們的 project_1，因為你有修改 code，他會跟你說你的 IP 過期了，點選 Refresh IP Catalog

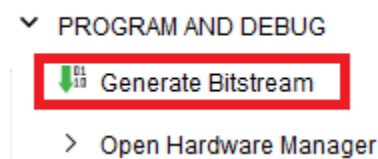


11. 點選畫面下方的 Upgrade Selected, 然後 OK, 然後 Skip

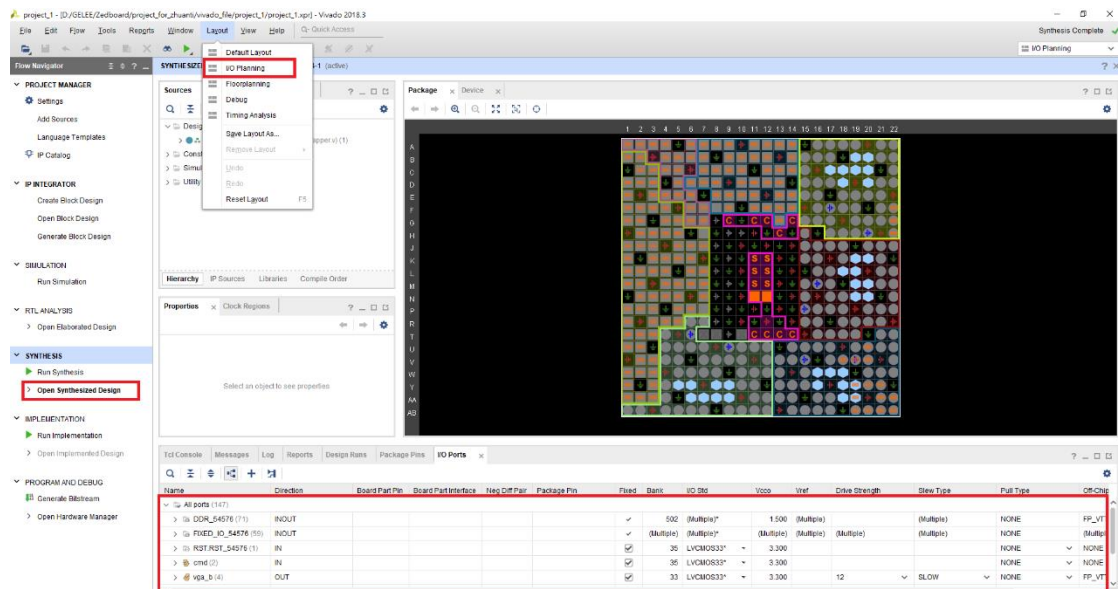


12. 點選左側的 Generate Bitstream，此時會開始製作位元流，後續會將 Bitstream 燒上板子，讓板子開始有作用，由於做 Bitstream 前需要將你的 block design 做合成電路的動作，直接點 Generate Bitstream 會自動先做好 Synthesis 跟 Implementation，算是偷懶的小撇步。

Note：此步驟會跑比較久，跑完後會跳出小視窗，按 cancel 就好



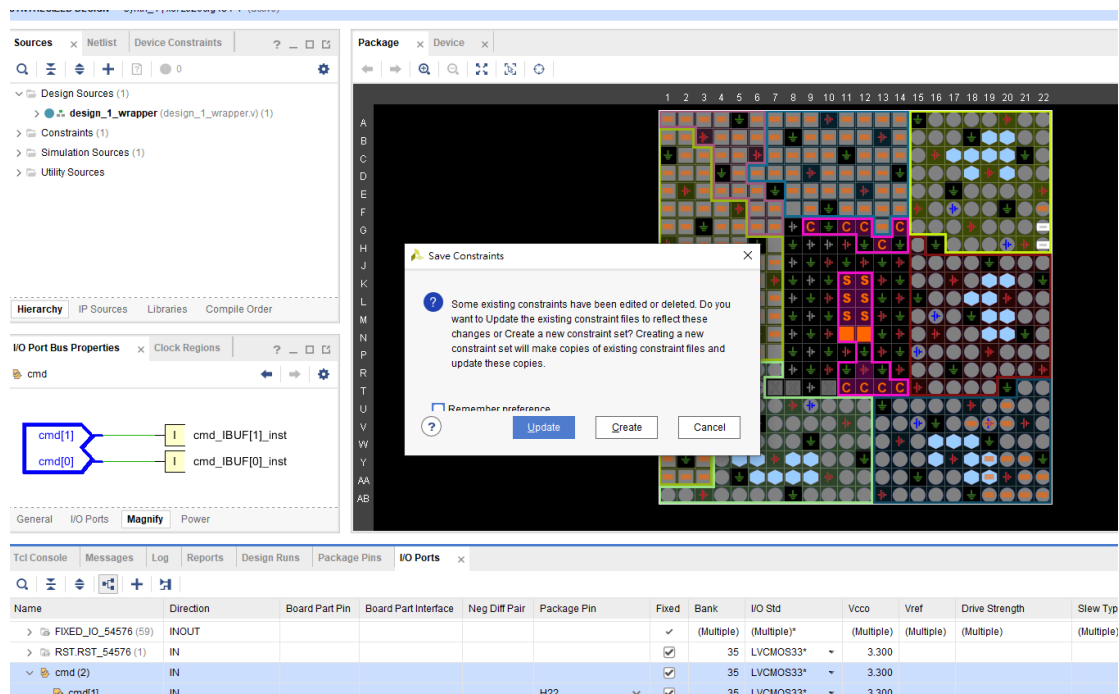
13. 腳位 (若有需要改)，選取左側 Open Synthesized Design，開起後點選上方 Layout 中的 I/O Planning 設定板子的腳位



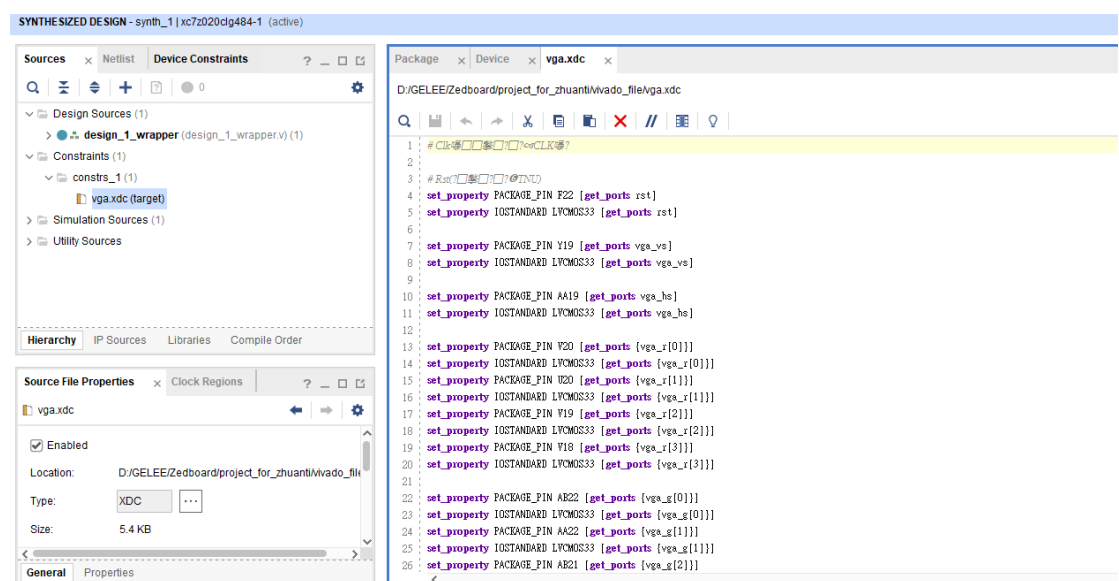
完成 pin 腳設定後按 Ctrl+S 儲存，如下圖所示，注意因為使用板子是 ZedBoard，I/O Std 都要改為 LVCMOS33 才可以正常運作。

Name	Direction	Board Part Pin	Board Part Interface	Neg Diff Pair	Package Pin	Fixed	Bank	I/O Std	Vcco	Vref	Drive Strength
> [a] FIXED_IO_54576 (59)	INOUT					✓	(Multiple)	(Multiple)*	(Multiple)	(Multiple)	(Multiple)
> [a] RST_RST_54576 (1)	IN					✓	35	LVCMOS33*	3.300		
> [a] cmd (2)	IN					✓	35	LVCMOS33*	3.300		
> [a] cmd[1]	IN				H22	✓	35	LVCMOS33*	3.300		
> [a] cmd[0]	IN				G22	✓	35	LVCMOS33*	3.300		
> [a] vga_b (4)	OUT					✓	33	LVCMOS33*	3.300		12

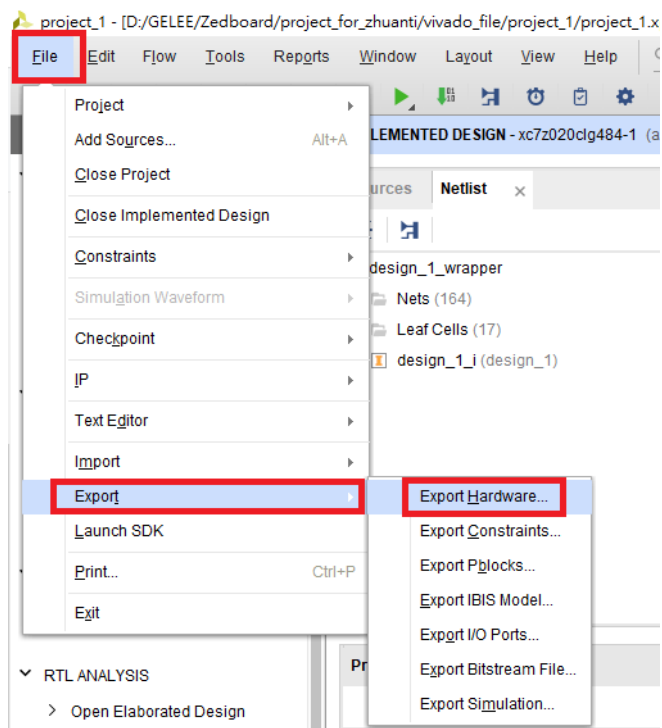
完成 pin 腳設定後按 Ctrl+S 儲存，如下圖所示，注意因為使用板子是 ZedBoard，I/O Std 都要改為 LVCNMOS33 才可以正常運作。



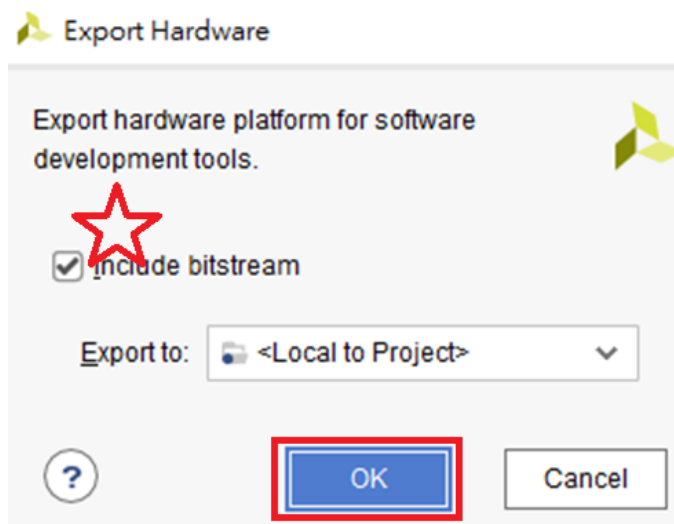
按下 OK 後會跳出如下的視窗，打上檔名後按下 OK，即可在 Project Manager 的 Constraints 中看到我們創立的檔案。點開可看到裡面儲存的即是剛才 I/O Planning 時所設定個個 ports 對應板子 pin 腳的資訊



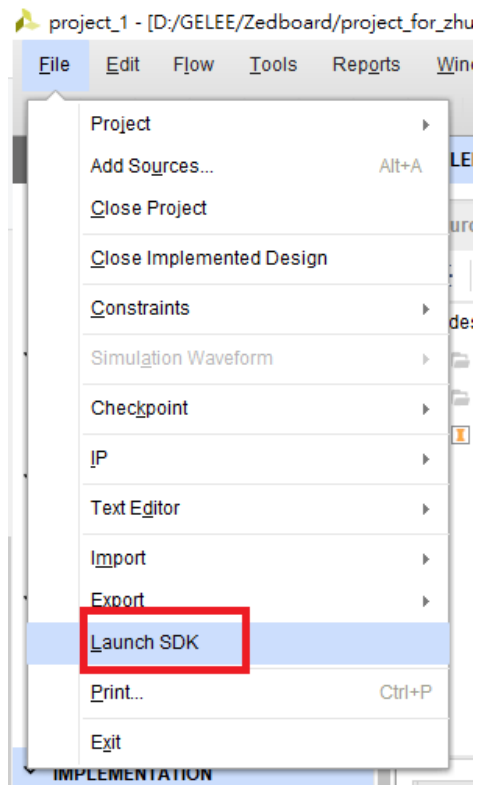
14. 點選 Export Hardware



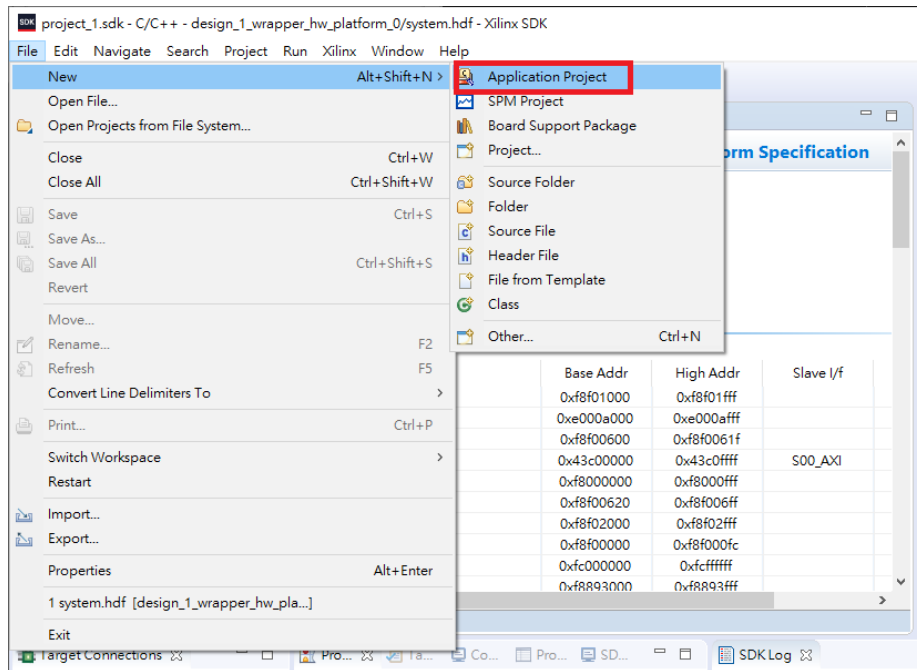
15. 將 Include bitstream 勾起來並按 OK



16. 接著就是打開 SDK



17. 創立一 Application Project



若發現沒有 Application project 這個選項，請將

vivado_file/project_1/project_1.sdk 這個資料夾刪掉並重新 launch

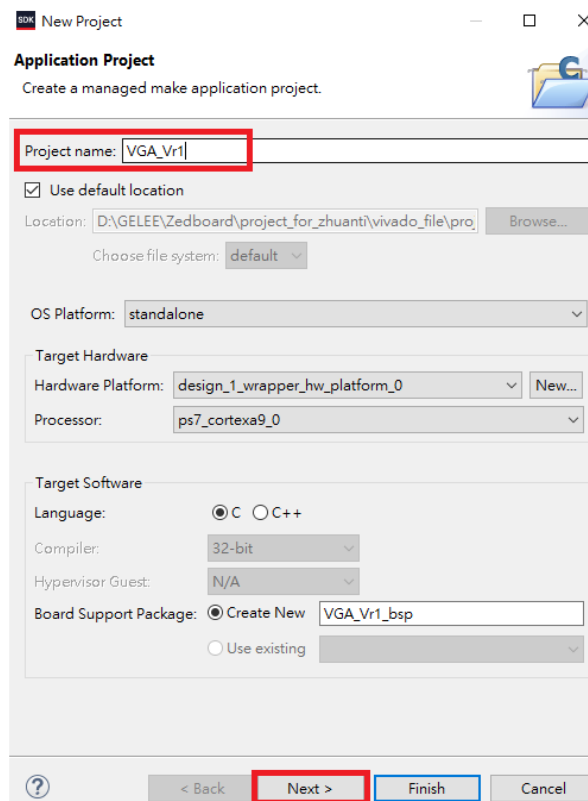
SDK (步驟 15)

LEE > Zedboard > project_for_zhuaniti > vivado_file > project_1

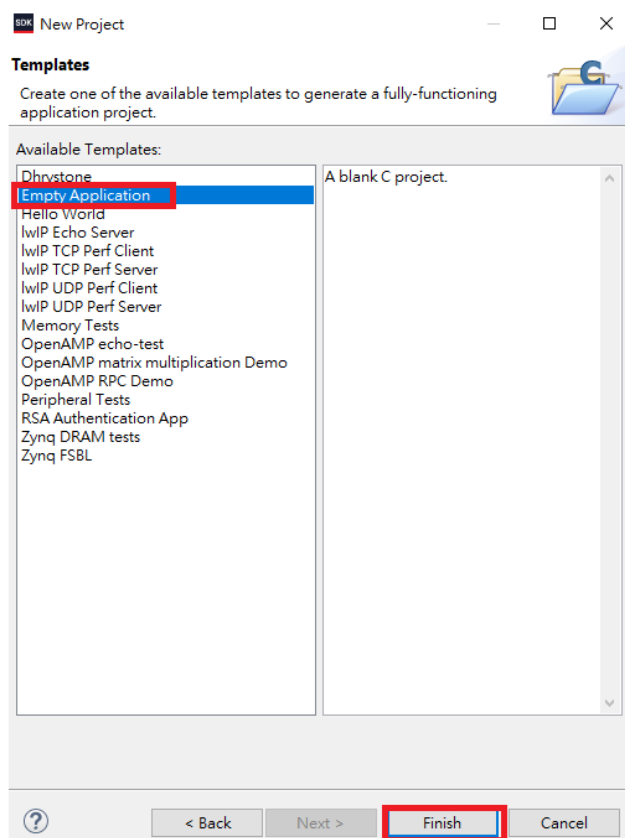
名稱	修改日期	類型	大小
.Xil	2021/5/12 下午 01:19	檔案資料夾	
project_1.cache	2022/4/29 下午 04:45	檔案資料夾	
project_1.hw	2022/4/29 下午 04:45	檔案資料夾	
project_1.ip_user_files	2022/4/29 下午 04:45	檔案資料夾	
project_1.runs	2022/4/29 下午 04:45	檔案資料夾	
project_1.sdk	2022/4/29 下午 05:00	檔案資料夾	
project_1.sim	2022/4/29 下午 04:45	檔案資料夾	
project_1.srds	2022/4/29 下午 04:45	檔案資料夾	
project_1.tmp	2021/5/20 下午 01:46	檔案資料夾	
ip_upgrade	2021/4/23 下午 07:10	文字文件	4 KB
project_1	2022/4/29 下午 04:55	Vivado Project File	23 KB
vivado.jou	2021/5/12 上午 11:27	JOU 檔案	2 KB
vivado	2021/5/12 下午 01:19	文字文件	41 KB

若無 Application project 這個選項，先把這資料夾刪掉，並重新 launch SDK

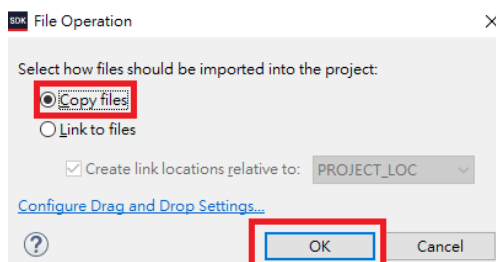
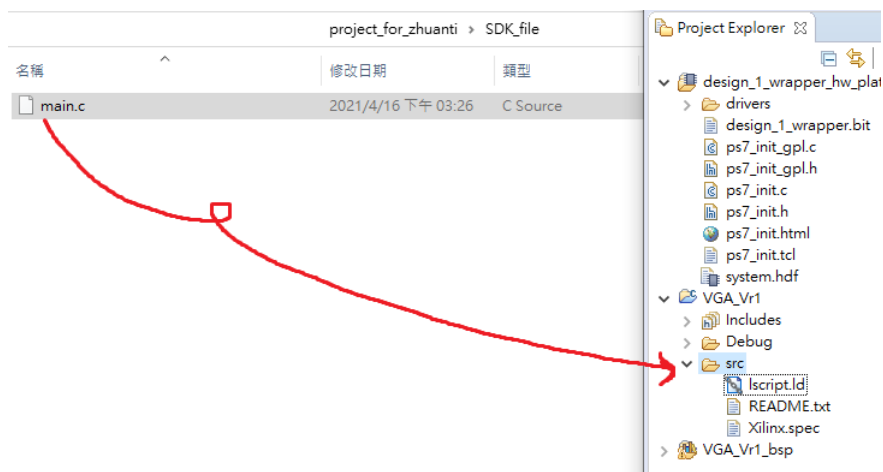
18. Project name 隨意取，其他欄位照圖上選，確認都一樣後點選 Next



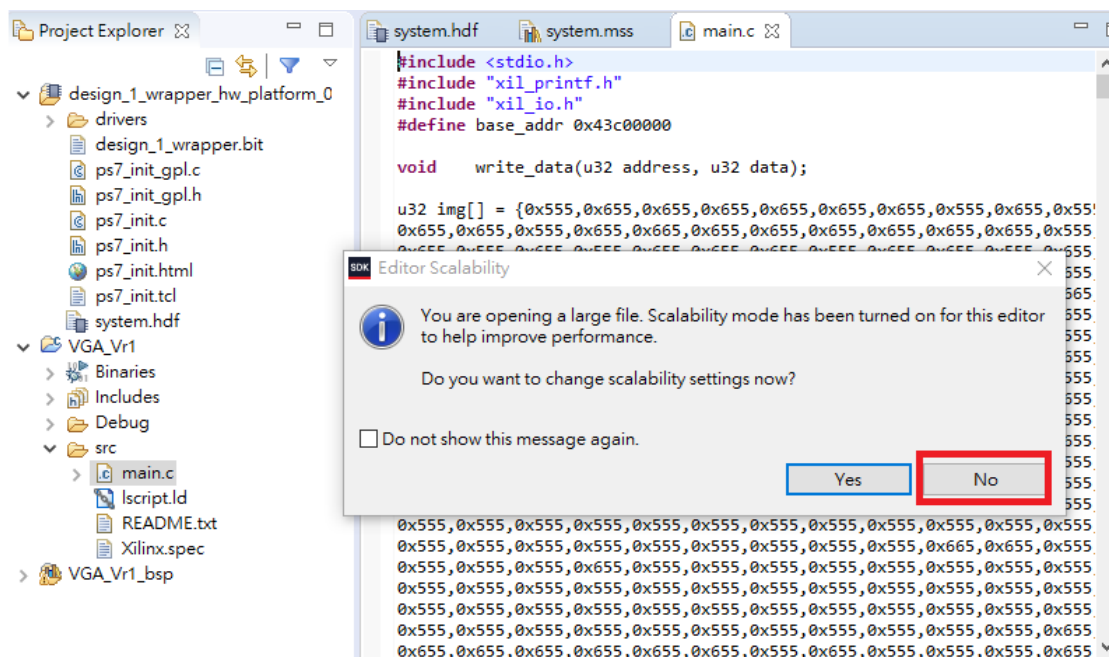
19.選擇 Empty Application 後點選 Finish



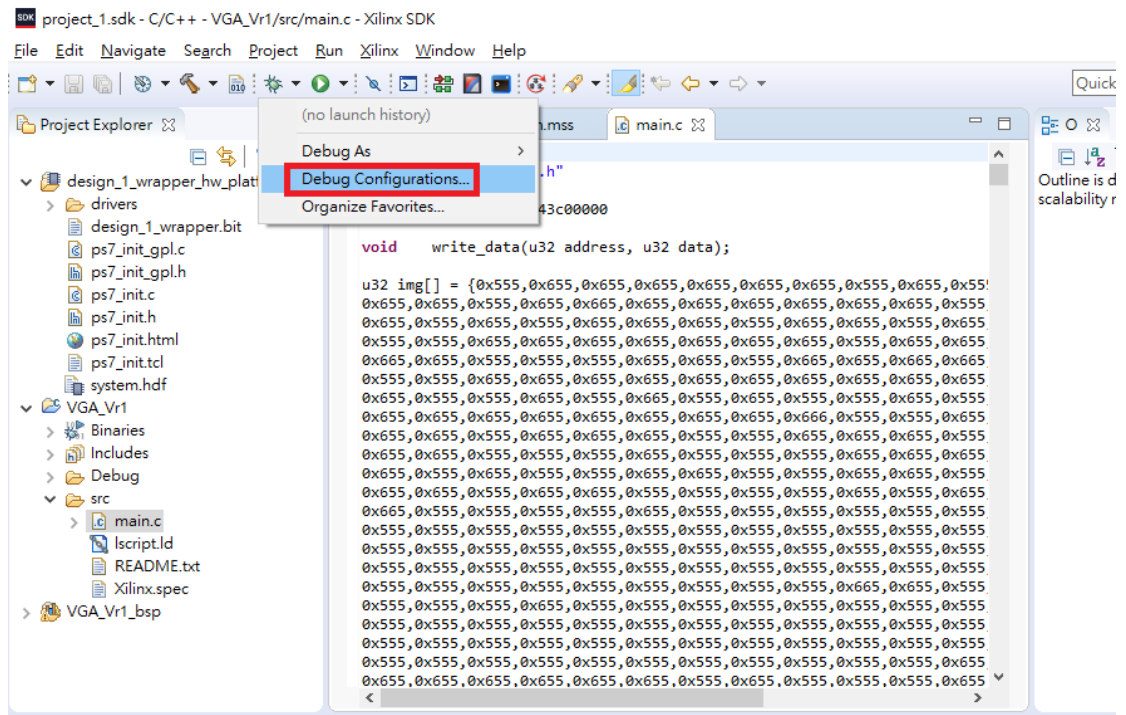
20.將 SDK_file 資料夾下的 main.c 拖曳到 src 目錄底下後點選 copy file



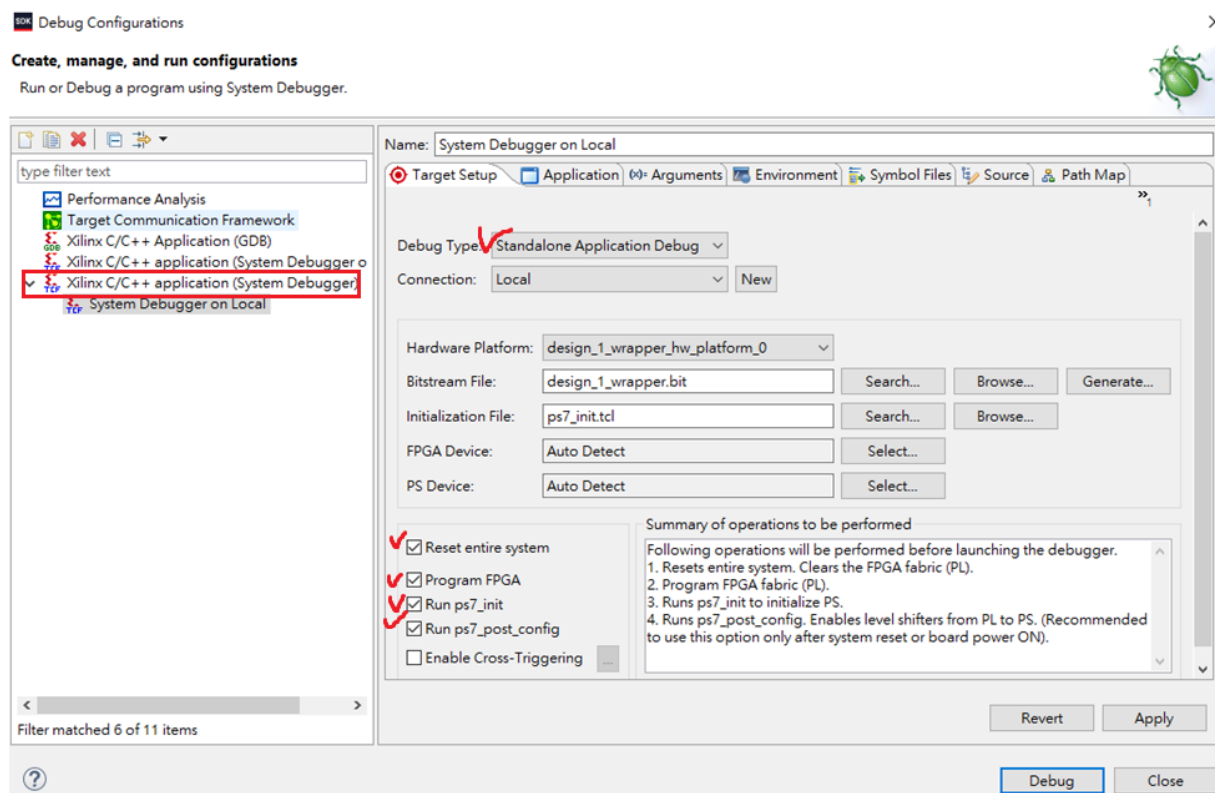
21.點選 main.c 即可打開程式碼，但可能會跳出這個視窗，按 No 就好



22.對著蟲蟲按右鍵，選 Debug Configurations

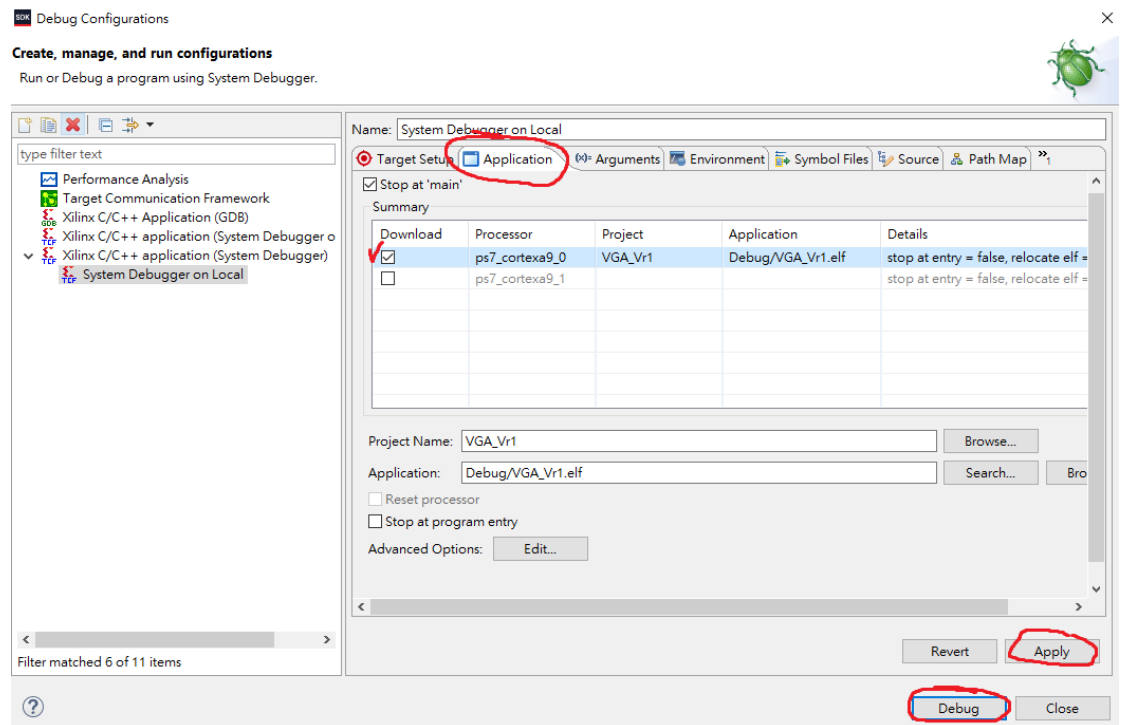


23. 左側最下面選項點兩項可跳出以下視窗，將內容改成如下圖

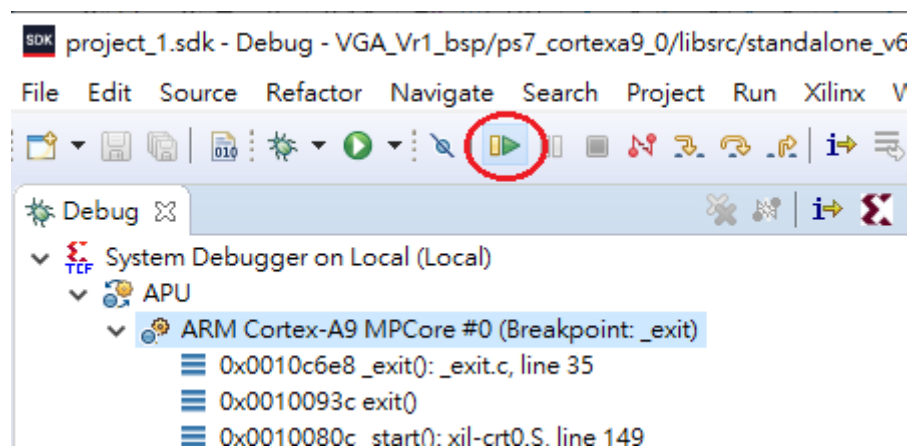


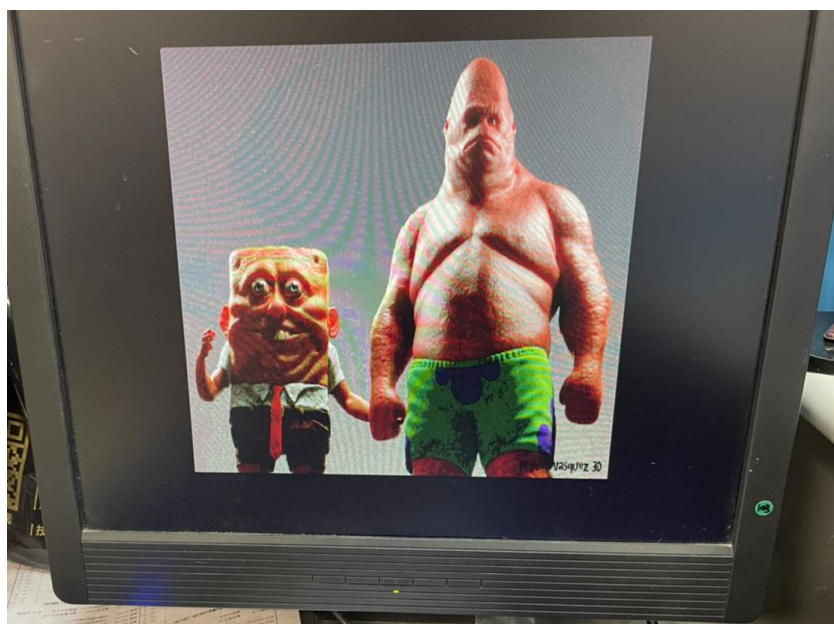
24. Application 這邊也要改，勾選 ps7_cortexa9_0 後按 Apply，再按

debug 後按 yes，此時 SDK 即開始將電路燒上 Zedboard



25. 先點選這個 resume 按鈕，再將 rst 設為 1(指撥開關撥到 1)做重置動作，再將 rst 撥回 0，即可看到你的圖片，大功告成！！！（如果你設計沒問題的話．．）













五、可能遇到的問題：

1. SDK 打不開：

把 project_for_zhuanti\vivado_file\project_1\project_1.sdk 目錄下

的.metadata 資料夾刪除，即可解決問題。

 .metadata	2021/4/20 下午 09:55	檔案資料夾	
 .sdk	2021/4/20 下午 09:56	檔案資料夾	
 design_1_wrapper_hw_platform_0	2021/4/21 上午 11:12	檔案資料夾	
 RemoteSystemsTempFiles	2021/4/20 下午 09:55	檔案資料夾	
 VGA	2021/4/20 下午 09:56	檔案資料夾	
 VGA_bsp	2021/4/21 上午 11:12	檔案資料夾	
 design_1_wrapper.hdf	2021/4/23 下午 03:49	HDF 檔案	460 KB
 SDK	2021/4/21 下午 02:08	文字文件	47 KB