2023 Digital IC Design Homework 2

|  |  |  |
| --- | --- | --- |
| NAME | 尤莙琇 | |
| Student ID | F74092308 | |
| **Functional Simulation Result** | | |
| **Score** | | **100** |
|  | | |
| **Description of your design** | | |
| 一共有6個狀態(如下圖)    當reset結束後會從INIT到READ\_NUM並開始讀火車數，之後切到READ\_OUT讀取順序，接著CHECK\_RAIL開始依序判斷(如下圖)    首先判斷結束時的結果，stack最上層的數字是否大於目前判斷到的順序數字，若是 代表此順序沒有結果；再者若判斷順序已到最後則代表有結果；接著判斷未結束時的狀況，若stack為空，則直接加入數字；反之判斷stack最上層數字是否是目前判斷到的順序數字，若不是就將數字加入stack內，若是則將stack移除最上層數字，並判斷head(指向stack的最上層)是否為0做調整。  判斷結束後到OUTPUT開始輸出，輸出後要等第2個cycle再開始讀取，所以會先到FINISH再從READ\_NUM開始。 | | |