

實驗三：基本邏輯閘、加法器與減法器實驗

作者（第 12 組）：吳朝琮（F14071114）、許子亮（E94074011）

系級：物理系 111、工科系 111

Emails：ABT6185890818@gmail.com、ivanxu0420@gmail.com

摘要：在我們了解基本的類比元件諸如電阻、電容、二極體、BJTs、FETs 後，我們需要使用這些元件組合成數位電路，從最基本的邏輯閘判斷開始，熟知這些類比元件所組成的邏輯閘類型，進一步使用 IC 元件來實驗出半加器及全加器，再做出四位元加法器與減法器瞭解其運作與結果，最後由邏輯分析儀上我們可以清楚知道輸入及輸出的訊號，得出二進位下加法或減法的結果，並且可以輕易觀察出邏輯與數位電路的異同

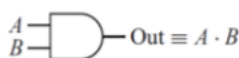
關鍵字：三用電表（Multimeter）、積體電路（ICs）、邏輯分析儀（Logic Analyzer）、二極體、雙載子接面電晶體（BJTs）、數位訊號、二進位（Binary）、十進位（Decimal）、邏輯閘、布林代數（Boolean algebra）、加法器、減法器、半加器、全加器（FA; full-adders）、半減器、全減器（FS）、二補數（2's complement）

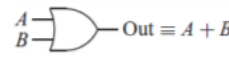
實驗內容^[1]

這次實驗我們一開始須先了解各種邏輯閘的特性，再藉由布林函數以及真值表，卡諾圖等等方式去實現我們的邏輯閘，達到節省成本，但能完成相同工作。了解各種基本邏輯閘的特性之後，就要去分析各種邏輯閘的應用，例如：加法器、減法器等等應用。

（一）基本邏輯閘

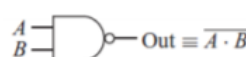
基本邏輯閘有八種：AND、OR、XOR、buffer、NAND、NOR、XNOR、NOT。其各 IC 元件有不一樣的特性，以下我們舉實驗會用到的邏輯閘的真值表。AND, OR, NOT, NAND, NOR，其內部元件有 DDL、以及 TTL，兩種差異是一種是使用二極體，另一種是使用三極體的組合。

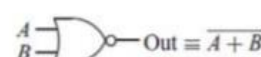
	$\text{Out} \equiv A \cdot B$	<table><tr><th>A</th><th>B</th><th>Out</th></tr><tr><td>0</td><td>0</td><td>0</td></tr><tr><td>1</td><td>0</td><td>0</td></tr><tr><td>0</td><td>1</td><td>0</td></tr><tr><td>1</td><td>1</td><td>1</td></tr></table>	A	B	Out	0	0	0	1	0	0	0	1	0	1	1	1
A	B	Out															
0	0	0															
1	0	0															
0	1	0															
1	1	1															

	$\text{Out} \equiv A + B$	<table><tr><th>A</th><th>B</th><th>Out</th></tr><tr><td>0</td><td>0</td><td>0</td></tr><tr><td>1</td><td>0</td><td>1</td></tr><tr><td>0</td><td>1</td><td>1</td></tr><tr><td>1</td><td>1</td><td>1</td></tr></table>	A	B	Out	0	0	0	1	0	1	0	1	1	1	1	1
A	B	Out															
0	0	0															
1	0	1															
0	1	1															
1	1	1															


 $\text{Out} \equiv \bar{A}$

A	Out
0	1
1	0

	$\text{Out} \equiv \overline{A \cdot B}$	<table><tr><th>A</th><th>B</th><th>Out</th></tr><tr><td>0</td><td>0</td><td>1</td></tr><tr><td>1</td><td>0</td><td>1</td></tr><tr><td>0</td><td>1</td><td>1</td></tr><tr><td>1</td><td>1</td><td>0</td></tr></table>	A	B	Out	0	0	1	1	0	1	0	1	1	1	1	0
A	B	Out															
0	0	1															
1	0	1															
0	1	1															
1	1	0															

	$\text{Out} \equiv \overline{A + B}$	<table><tr><th>A</th><th>B</th><th>Out</th></tr><tr><td>0</td><td>0</td><td>1</td></tr><tr><td>1</td><td>0</td><td>0</td></tr><tr><td>0</td><td>1</td><td>0</td></tr><tr><td>1</td><td>1</td><td>0</td></tr></table>	A	B	Out	0	0	1	1	0	0	0	1	0	1	1	0
A	B	Out															
0	0	1															
1	0	0															
0	1	0															
1	1	0															

（圖）基本邏輯閘真值表

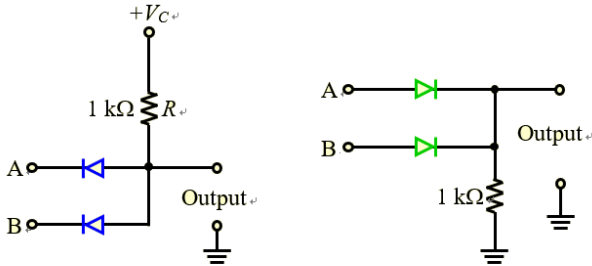
（二）加法器與減法器實驗

加法器與減法器皆分為半加(減)器，或全加(減)器。其劃分方式由左方有無進位，與右方有無借位區分。而將四個全加(減)器連用則可達到四位元全加(減)器。其特別要注意的地方是，全減器在負數的部分，必須先將二進位系統先反轉，然後再加 1。其原理是先寫下其真值表，再利用布林代數畫減，再將需要的邏輯閘組合起來的電路。

實驗過程

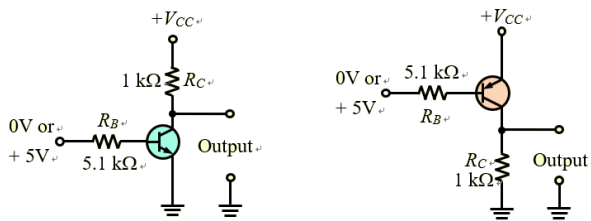
(一) 基本邏輯閘

1. 接妥二極體電路如下圖所示，在 A、B 端分別輸入 0V 或 5V 電壓，紀錄輸出電壓，觀察其為何種邏輯閘。



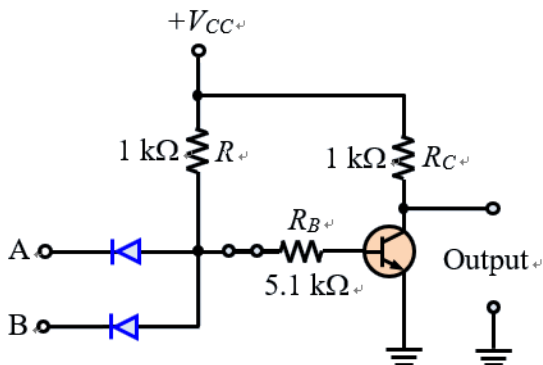
(圖) DDL 電路圖

2. 接妥電晶體電路如下圖所示，利用電晶體的特性，在基極的觸輸入 0V 或 5V 電壓，記錄其輸出電壓與輸入電壓的關係。



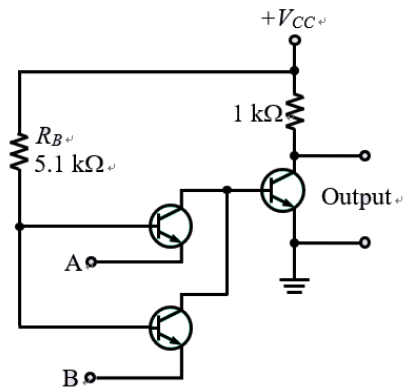
(圖) 單一電晶體電路圖

3. 接妥二極體加電加體電路如下圖所示，觀察以及紀錄其輸入電壓與輸出電壓關係為上述兩電路的疊加。



(圖) DTL (NAND) 電路圖

4. 接妥電晶耦合電路如下圖所示，在 A、B 端輸入 0V、5V，紀錄以及觀察其輸出電壓與輸入電壓的關係。

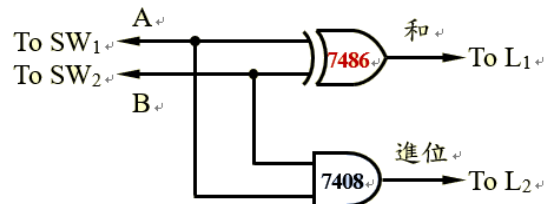


(圖) TTL 耦合電路圖

(二) 加法器與減法器實驗

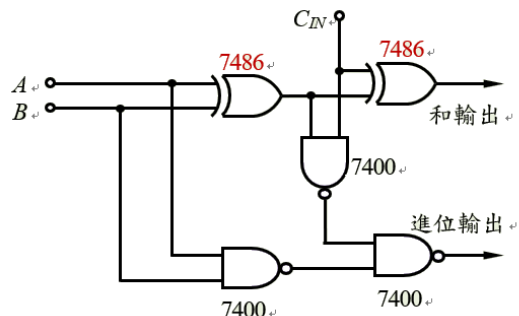
此部分必須要注意的事項有，實驗前必須先查詢 IC 元件的腳位圖，安裝在麵包板上時要注意是否有外加 VCC 給元件。除此之外，必須熟知布林代數以及真值表的運用方式，可以是使用 Multisim 的邏輯分析當作輔助工具。最後，熟悉二進位的加減，以及加減法器的應用與原理。

1. 半加器：插妥下圖電路，將輸入訊號以及輸出訊號紀錄於真值表，觀察是否與理論值相同。



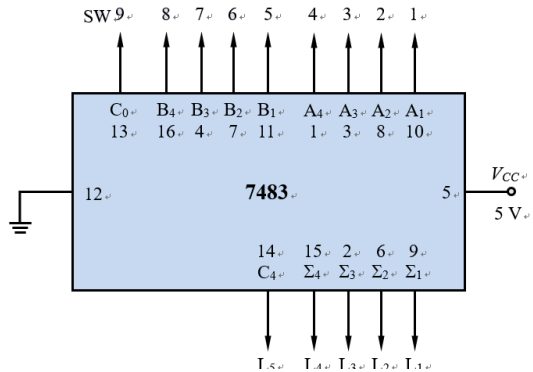
(圖) 半加器電路圖

2. 全加器：接妥以下電路，將輸入訊號以及輸出訊號紀錄於真值表，觀察是否與理論值相同。



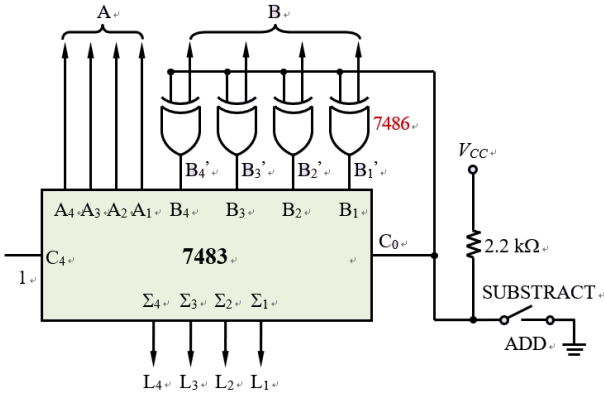
(圖) 全加器電路圖

3. 四位全加器 (7483) :依照下圖腳位圖方式接妥，利用邏輯分析儀觀察其輸出與輸入訊號變化。



(圖) 四位元全加器接角圖 (7483)

4. 加、減法器:按照下圖所示接妥，再藉由邏輯分析儀，分析兩數的加減是否正確，最後記錄此真值表。



(圖) 加、減法器電路圖

實驗數據與數據分析

實驗用到的電子元件：

	型號
二極體	IN4002
BJT	2N4401
	2N4403
IC	7400
	7408
	7483
	7486

(表一) 電子元件型號

(一) 第一部分：基本邏輯閘

1. 二極體電路 (DDL)

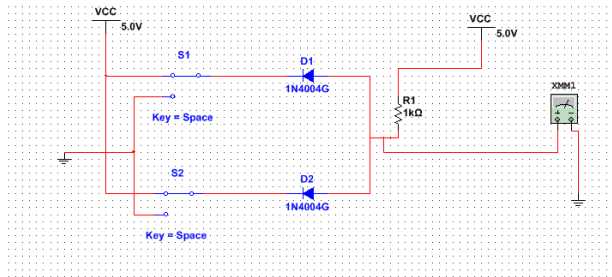
AND 閘					
$V_{CC} = 5V$			真值表		
A	B	輸出電壓	A	B	輸出電壓
0	0	0.6389V	0	0	0
0	5	0.6747V	0	1	0
5	0	0.6665V	1	0	0
5	5	5.0298V	1	1	1

(表) DDL 結果：AND 閘

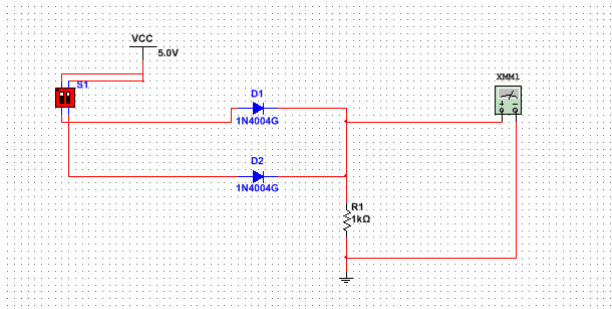
OR 閘					
$V_{CC} = 0V$ (無 V_{CC})			真值表		
A	B	輸出電壓	A	B	輸出電壓
0	0	0.01mV	0	0	0
0	5	4.4338V	0	1	1
5	0	4.4338V	1	0	1
5	5	4.4661V	1	1	1

(表) DDL 結果：OR 閘

Multisim 分析：



(圖) DDL: OR 電路圖



(圖) DDL: OR 電路圖

2. 單一電晶體電路

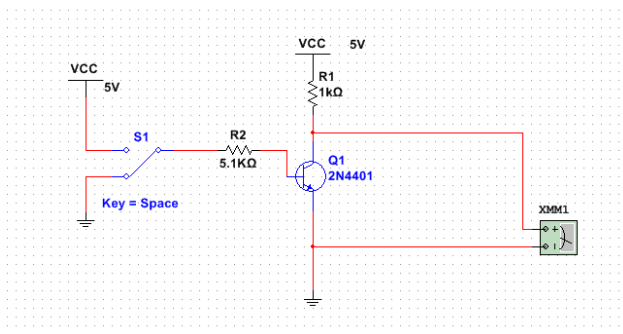
NOT 閘 (nnp 型)					
$V_{cc} = 5V$			真值表		
V_{in}	輸出電壓		V_{in}	輸出電壓	
0	5.1070V		0	1	
5	32.36mV		1	0	

(表) npn 電晶體結果：NOT 閘

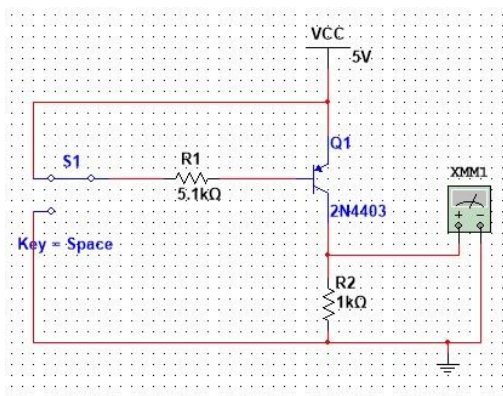
NOT 閘 (pnp 型)					
$V_{cc} = 5V$			真值表		
V_{in}	輸出電壓		V_{in}	輸出電壓	
0	5.0887V		0	1	
5	0.02mV		1	0	

(表) pnp 電晶體結果：NOT 閘

Multisim 分析：



(圖) BJT (nnp): NOT 電路圖



(圖) BJT(pnp): NOT 電路圖

3. 二極體加電晶體電路 (DTL)

NAND 閘 (AND+NOT 電路)					
$V_{cc} = 5V$			真值表		
A	B	輸出電壓	A	B	輸出電壓
0	0	4.2947V	0	0	1
0	5	3.5370V	0	1	1

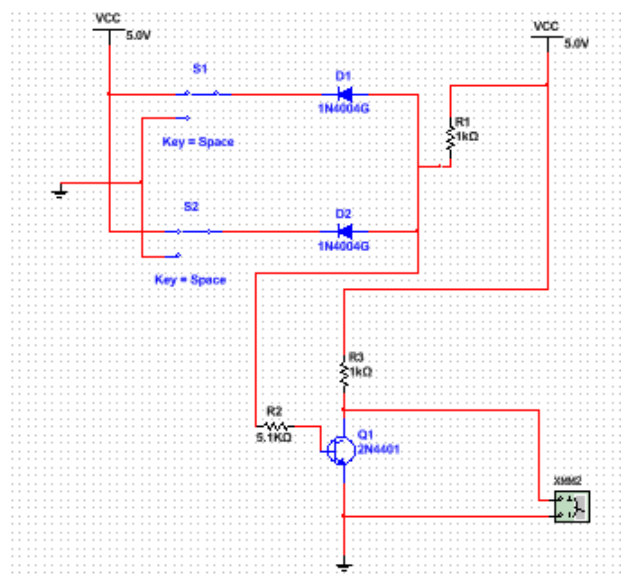
5	0	3.7556V	1	0	1
5	5	36.510mV	1	1	0

(表) DTL 結果：NAND 閘

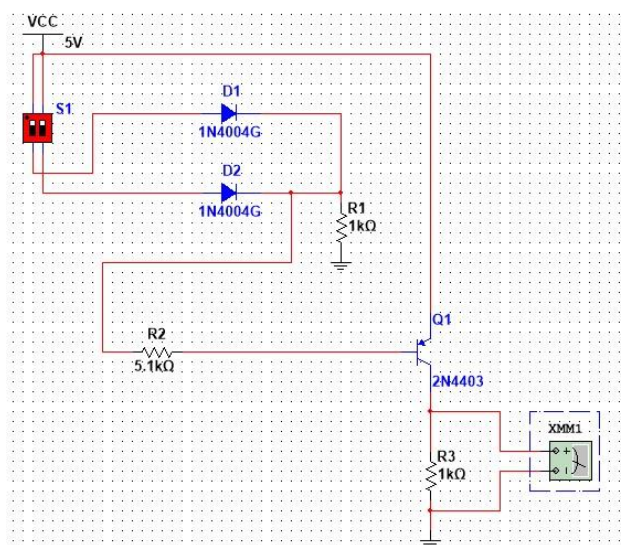
NOR 閘 (OR+NOT 電路)					
$V_{cc} = 5V$			真值表		
A	B	輸出電壓	A	B	輸出電壓
0	0	5.0861V	0	0	1
0	5	1.6674V	0	1	0
5	0	1.9556V	1	0	0
5	5	1.0598V	1	1	0

(表) DTL 結果：NOR 閘

Multisim 分析：



(圖) DTL: NAND 電路圖



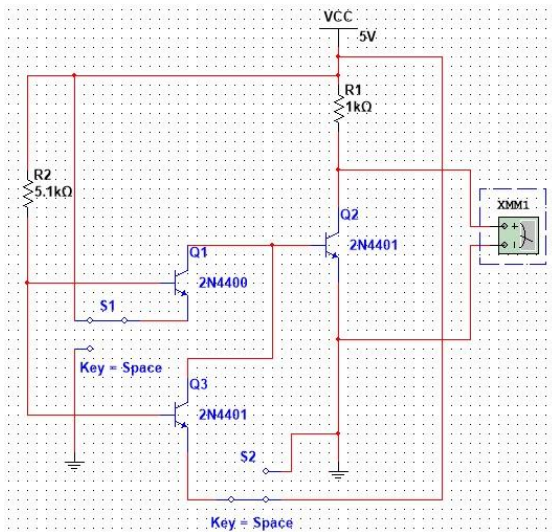
(圖) DTL: NOR 電路圖

4. 電晶體耦合邏輯閘 (TTL, npn)

NAND 閘					
$V_{CC} = 5V$			真值表		
A	B	輸出電壓	A	B	輸出電壓
0	0	5.1100V	0	0	1
0	5	5.1090V	0	1	1
5	0	5.1090V	1	0	1
5	5	15.24mV	1	1	0

(表) TTL 結果：NAND 閘

Multisim 分析：

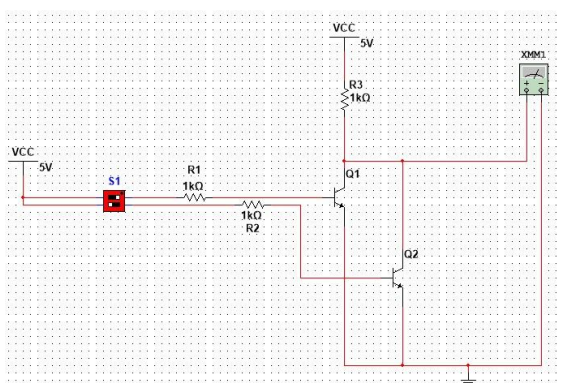


(圖) TTL(npn): NAND 電路圖

5. 電晶體的 NOR 與 OR 閘 Multisim

NOR 閘 (nnp 型)					
$V_{CC} = 5V$			真值表		
A	B	輸出電壓	A	B	輸出電壓
0	0	5V	0	0	1
0	5	30.353mV	0	1	0
5	0	30.353mV	1	0	0
5	5	24.842mV	1	1	0

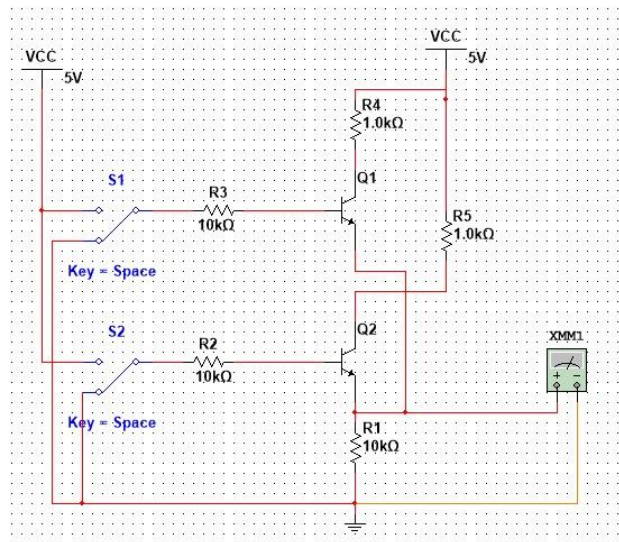
(表) TTL 結果：NOR 閘



(圖) TTL(npn): NOR 電路圖

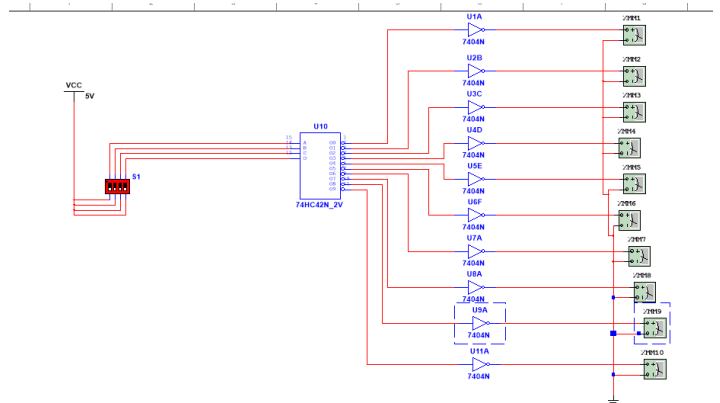
OR 閘 (nnp 型)					
$V_{CC} = 5V$			真值表		
A	B	輸出電壓	A	B	輸出電壓
0	0	100.001nV	0	0	0
0	5	4.207V	0	1	1
5	0	4.207V	1	0	1
5	5	4.245V	1	1	1

(表) TTL 結果：OR 閘

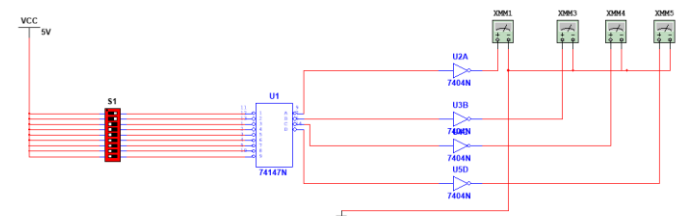


(圖) TTL(npn): OR 電路圖

6. 二進位及十進位轉換 Multisim 實驗



(圖) 二進位轉十進位電路圖



(圖) 十進位轉二進位電路圖

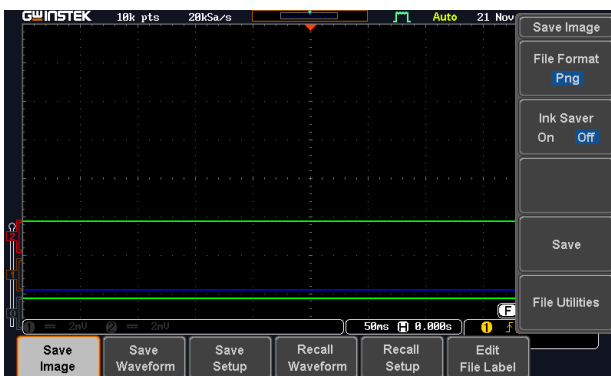
(二) 第二部分：加法器與減法器實驗

1. 半加器

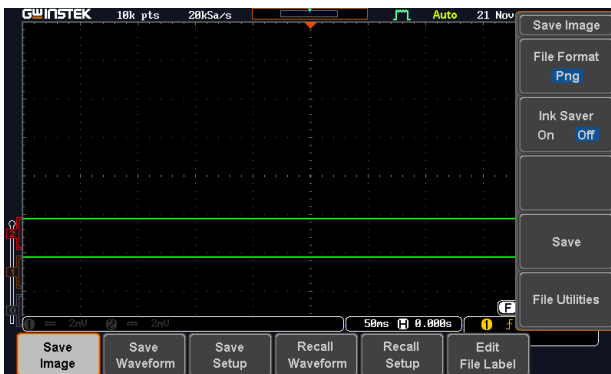
輸入		輸出 (最右欄表示十進位)		
A	B	L_1 (和)	L_2 (進位)	和
0	0	0	0	0
0	1	1	0	1
1	0	1	0	1
1	1	0	1	2

(表) 半加器真值表

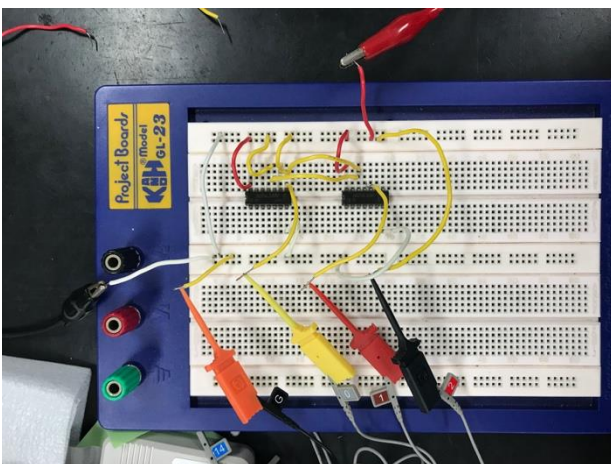
邏輯分析儀結果 (L_1 為 0 號腳位、 L_2 為 1 號腳位，2 號腳位為輸入電壓)：



(圖) (L_1, L_2) = (1, 0)

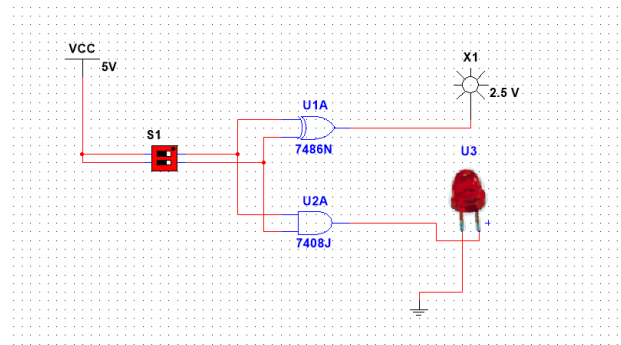


(圖) (L_1, L_2) = (0, 1)



(圖) 半加器俯視圖

Multisim 分析：



(圖) 半加器電路圖

2. 全加器

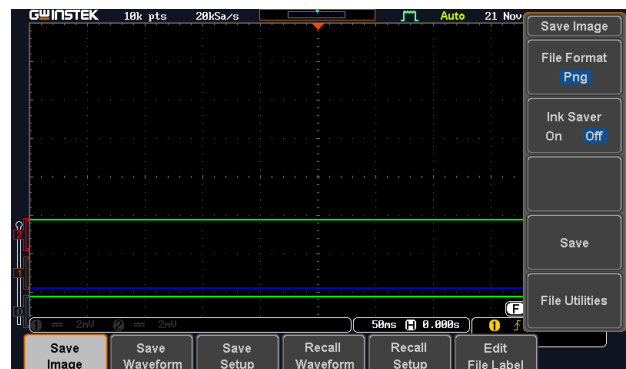
輸入			輸出		
C	B	A	L_1 (和)	L_2 (進位)	和
0	0	0	0	0	0
0	0	1	1	0	1
0	1	0	1	0	1
0	1	1	0	1	2
1	0	0	1	0	1
1	0	1	0	1	2
1	1	0	0	1	2
1	1	1	1	1	3

(表) 全加器真值表

邏輯分析儀結果 (L_1 為 1 號腳位、 L_2 為 0 號腳位，2 號腳位為輸入電壓)：



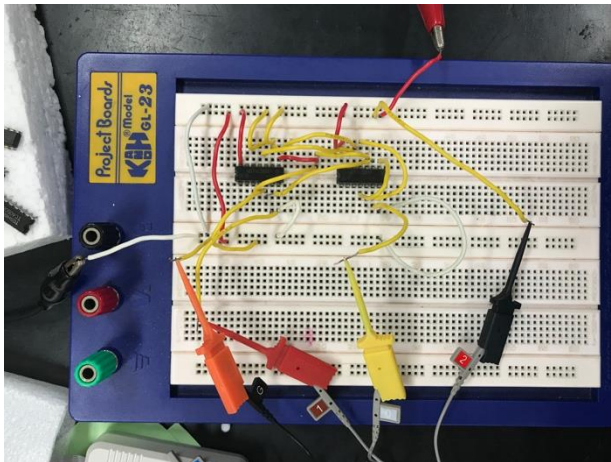
(圖) (L_1, L_2) = (1, 0)



(圖) (L_1, L_2) = (0, 1)

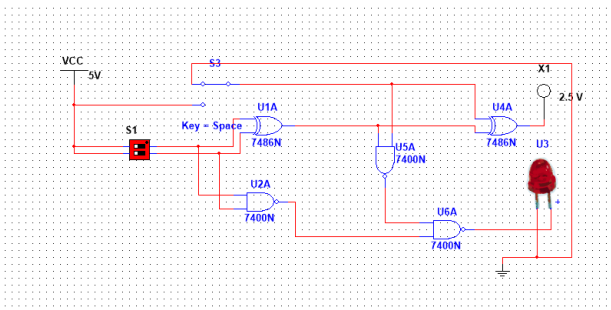


(圖) $(L_1, L_2) = (1, 1)$

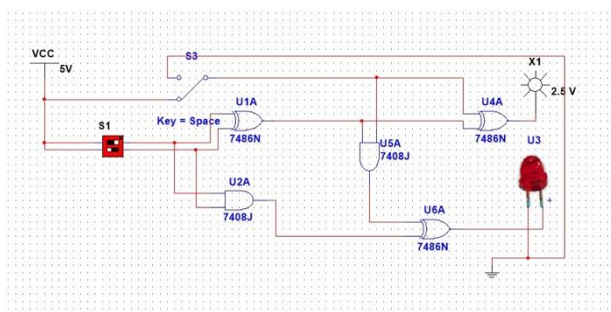


(圖) 全加器俯視圖

Multisim 分析：



(圖) 全加器電路圖 (進位輸出改 NAND)



(圖) 全加器電路圖 (進位 AND 及 OR)

3. 四位元全加器 (IC 7483)

結果無進位 ($C_4 = 0$ ，值小於 15)：

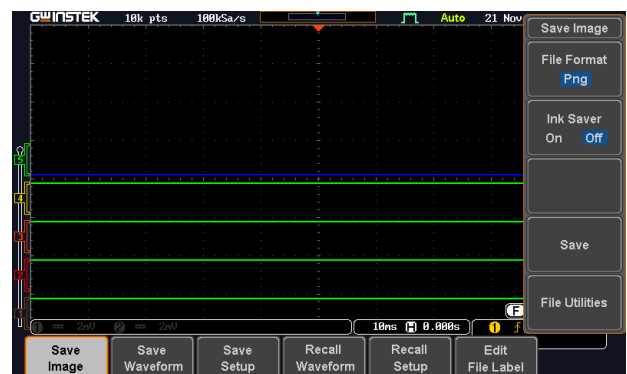
輸入										
A_4	A_3	A_2	A_1	B_4	B_3	B_2	B_1	C_0	和	
0	0	0	0	0	0	0	0	0	0	
0	0	0	1	0	0	0	1	0	2	
0	0	1	0	0	0	0	1	0	3	
0	0	1	1	0	0	0	1	0	4	
0	1	0	0	0	1	0	0	0	8	
0	1	1	0	0	1	1	0	0	12	
0	1	1	1	0	1	1	1	0	14	
1	0	0	0	0	1	1	1	0	15	

(表) 輸入訊號與和理論值

輸出						
C_4	Σ_4	Σ_3	Σ_2	Σ_1	和實驗值	
0	0	0	0	0	0	
0	0	0	1	0	2	
0	0	0	1	1	3	
0	0	1	0	0	4	
0	1	0	0	0	8	
0	1	1	0	0	12	
0	1	1	1	0	14	
0	1	1	1	1	15	

(表) 輸出訊號與和實驗值

以上無進位 ($C_4 = 0$) 的結果數值加總皆無超過 15，若和超過 15， C_4 將為 1，此進位代表值為 16，邏輯分析儀結果 ($\Sigma_4 \sim \Sigma_1$ 分別為 4~1 號腳位， C_4 為 5 號腳位)：



(圖) $(C_4, \Sigma_4, \Sigma_3, \Sigma_2, \Sigma_1) = (0, 1, 1, 1, 1)$

結果有進位 ($C_4 = 1$ ，值大於 15)：

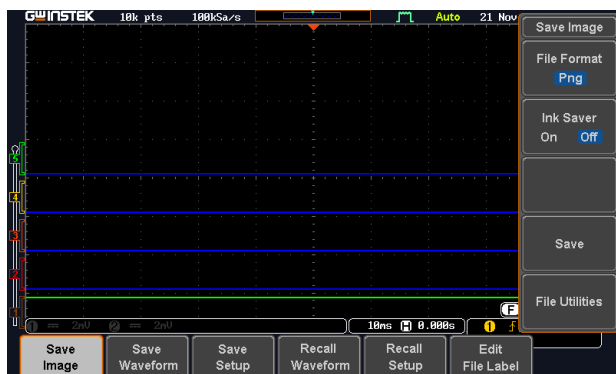
輸入									
A_4	A_3	A_2	A_1	B_4	B_3	B_2	B_1	C_0	和
1	0	0	0	1	0	0	0	0	16
1	0	1	0	1	0	1	0	0	20
1	1	1	1	1	0	0	0	0	23
1	1	1	1	1	1	1	1	0	30
0	0	0	0	0	0	0	0	1	1
1	1	1	1	0	0	0	0	1	16
1	1	1	1	1	1	1	1	1	31

(表) 輸入訊號與和理論值

輸出					
C_4	Σ_4	Σ_3	Σ_2	Σ_1	和實驗值
1	0	0	0	0	16
1	0	1	0	0	20
1	0	1	1	1	23
1	1	1	1	0	30
0	0	0	0	1	1
1	0	0	0	0	16
1	1	1	1	1	31

(表) 輸出訊號與和實驗值

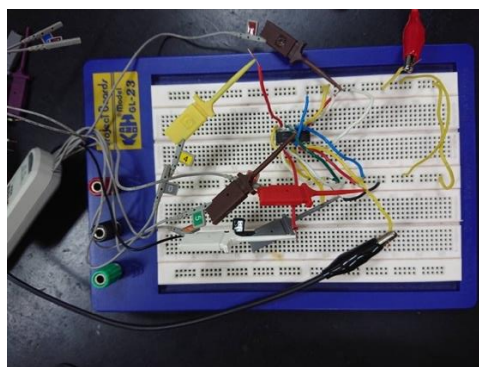
考慮有進位 ($C_4 = 1$) 的結果數值加總上限將會是 31，邏輯分析儀結果 ($\Sigma_4 \sim \Sigma_1$ 分別為 5~2 號腳位， C_4 為 1 號腳位)：



(圖) ($C_4, \Sigma_4, \Sigma_3, \Sigma_2, \Sigma_1$) = (1, 0, 0, 0, 0)

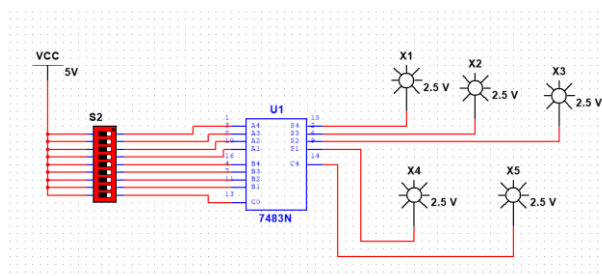


(圖) ($C_4, \Sigma_4, \Sigma_3, \Sigma_2, \Sigma_1$) = (1, 1, 1, 1, 1)



(圖) 四位元全加器俯視圖

Multisim 分析：



(圖) 四位元全加器電路圖

4. 四位元加法器與減法器

$C_0 = 0$ (加法器，switch on)：

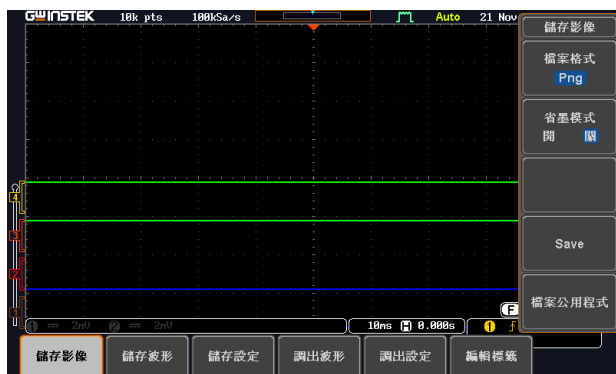
輸入									
A_4	A_3	A_2	A_1	B_4	B_3	B_2	B_1		和
0	0	0	0	0	0	0	0		0
0	0	0	1	0	0	0	1		2
0	0	1	0	0	0	1	0		4
0	0	1	1	0	0	1	1		6
0	1	0	0	0	0	1	1		7
0	1	0	0	0	1	0	0		8
0	1	0	1	0	1	0	1		10
0	1	1	0	0	1	1	0		12

(表) 輸入訊號與和理論值

輸出				
Σ_4	Σ_3	Σ_2	Σ_1	和實驗值
0	0	0	0	0
0	0	1	0	2
0	1	0	0	4
0	1	1	0	6
0	1	1	1	7
1	0	0	0	8
1	0	1	0	10
1	1	0	0	12

(表) 輸出訊號與和實驗值

因為不考慮進位輸出 (C_4)，所以加法器和上限十進位數值為 15，邏輯分析儀結果 ($\Sigma_4 \sim \Sigma_1$ 分別為 4~1 號腳位)：



(圖) ($\Sigma_4, \Sigma_3, \Sigma_2, \Sigma_1$) = (1, 1, 0, 0)

$C_0 = 1$ (加法器, *switch off*)：

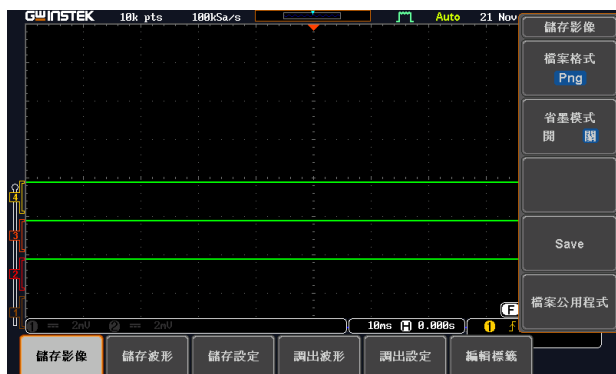
輸入								
A_4	A_3	A_2	A_1	B_4	B_3	B_2	B_1	和
0	1	1	1	0	1	0	0	3
0	1	1	0	0	0	1	0	4
0	1	0	1	0	0	1	1	2
0	1	0	0	0	1	1	1	-3
0	0	1	1	0	1	0	1	-2

(表) 輸入訊號與和理論值

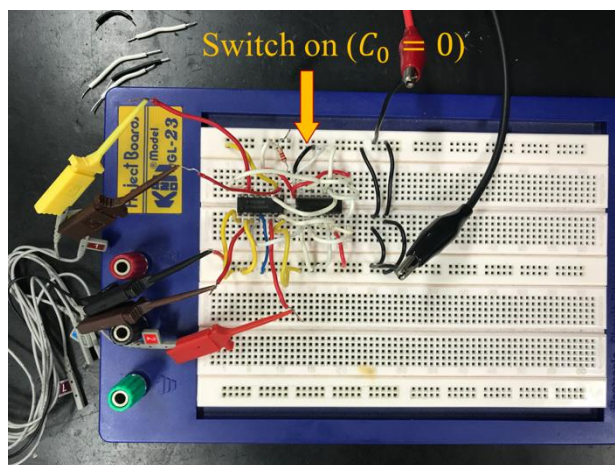
輸出					
Σ_4	Σ_3	Σ_2	Σ_1		和實驗值
0	0	1	1		3
0	1	0	0		4
0	0	1	0		2
1	1	0	1		-3
1	1	1	0		-2

(表) 輸出訊號與和實驗值

因為不考慮進位輸出 (C_4)，所以減法器差下限十進位數值為 -16，邏輯分析儀結果 ($\Sigma_4 \sim \Sigma_1$ 分別為 4~1 號腳位)：

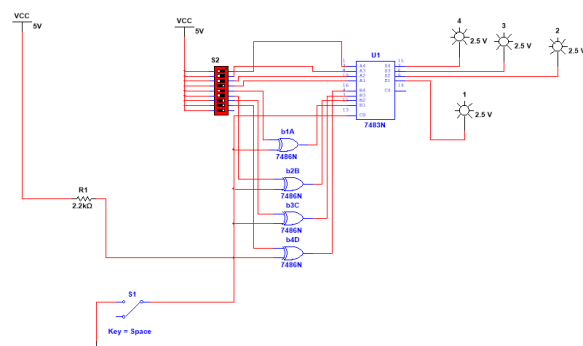


(圖) ($\Sigma_4, \Sigma_3, \Sigma_2, \Sigma_1$) = (1, 1, 0, 1)



(圖) 四位元加法器俯視圖

Multisim 分析：



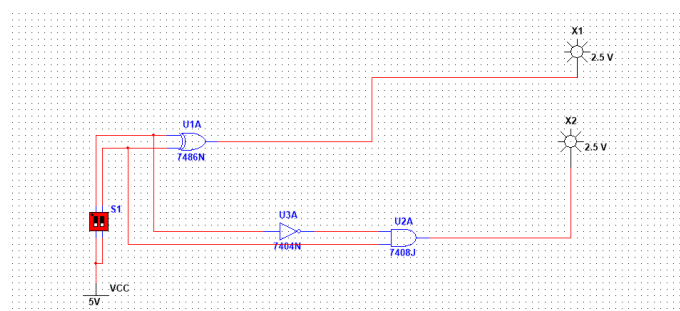
(圖) 四位元加、減法器電路圖

5. 半減器與全減器 Multisim 實驗

半減器 ($A - B = \text{差}$ ，差值為補數的十進位值)：

輸入		輸出		
A	B	L_1 (值)	L_2 (借位)	差
0	0	0	0	0
0	1	1	1	-1
1	0	1	0	1
1	1	0	0	0

(表) 半減器真值表

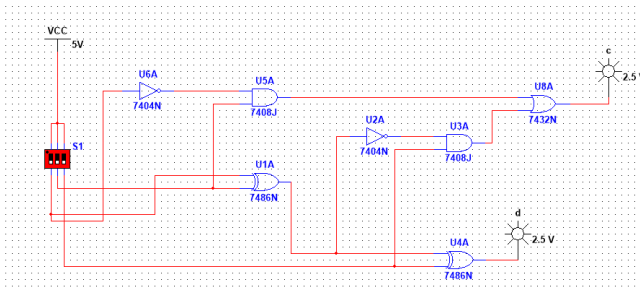


(圖) 半減器電路圖

全減器 ($-C + A - B = \text{差}$, C 為被後借位, L_2 為向前借位, 差值為補數的十進位值) :

輸入			輸出		
C	B	A	L_1 (值)	L_2 (借位)	差
0	0	0	0	0	0
0	0	1	1	0	1
0	1	0	1	1	-1
0	1	1	0	0	0
1	0	0	1	1	-1
1	0	1	0	0	0
1	1	0	0	1	-2
1	1	1	1	1	-1

(表) 全減器真值表



(圖) 全減器電路圖

6. 布林代數 Multisim 實驗

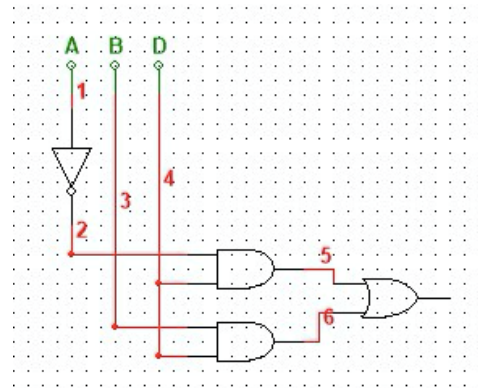
I. 將布林代數簡化

$$A'B'C'D + A'B'CD + A'BC'D + A'BCD + ABC'D + ABCD = Y$$

$$\Rightarrow A'D + BD = Y$$

	A	B	C	D	E	F	G	H
000	0	0	0	0				0
001	0	0	1	1				1
002	0	1	0	0				0
003	0	1	1	1				1
004	1	0	0	0				0
005	1	0	1	1				0
006	1	1	0	0				0
007	1	1	1	1				1

(圖) 化簡後真值表



(圖) 用 AND Gate 表示邏輯圖

II. 將真值表簡化為布林代數最簡表示

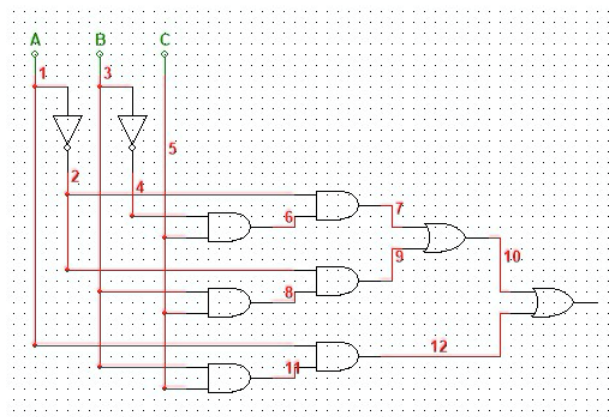
	A	B	C	D	E	F	G	H
000	0	0	0					0
001	0	0	1					1
002	0	1	0					0
003	0	1	1					1
004	1	0	0					0
005	1	0	1					0
006	1	1	0					0
007	1	1	1					1

(圖) 未化簡的真值表

$$\text{化簡布林代數: } A'C + BC = Y$$

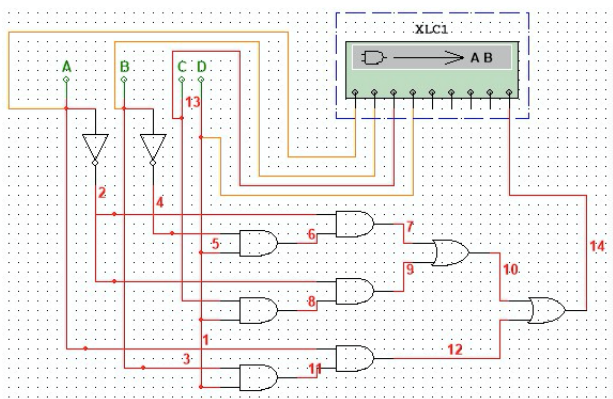
	A	B	C	D	E	F	G	H
000	0	0	0					0
001	0	0	1					1
002	0	1	0					0
003	0	1	1					1
004	1	0	0					0
005	1	0	1					0
006	1	1	0					0
007	1	1	1					1

(圖) 化簡後真值表



(圖) 用 AND Gate 表示邏輯圖

III. 將邏輯閘簡化成布林代數最簡表示

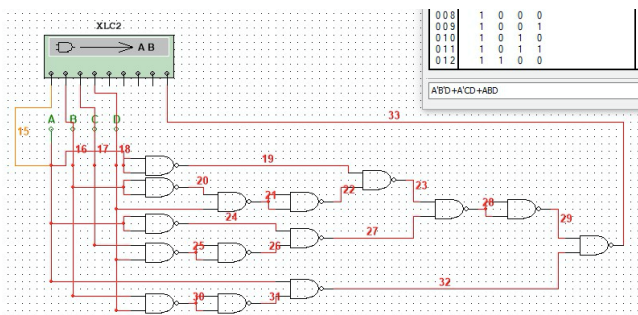


(圖) 未化簡的邏輯圖

化簡布林代數： $A'B'D + A'CD + ABD = Y$

	A	B	C	D	E	F	G	H
000	0	0	0	0				0
001	0	0	0	1				1
002	0	0	1	0				0
003	0	0	1	1				1
004	0	1	0	0				0
005	0	1	0	1				0
006	0	1	1	0				0
007	0	1	1	1				1
008	1	0	0	0				0
009	1	0	0	1				0
010	1	0	1	0				0
011	1	0	1	1				0
012	1	1	0	0				0
013	1	1	0	1				1
014	1	1	1	0				0
015	1	1	1	1				1

(圖) 化簡後真值表



(圖) 用 NAND Gate 表示邏輯圖

問題與討論

(一) 第一部分：基本邏輯閘

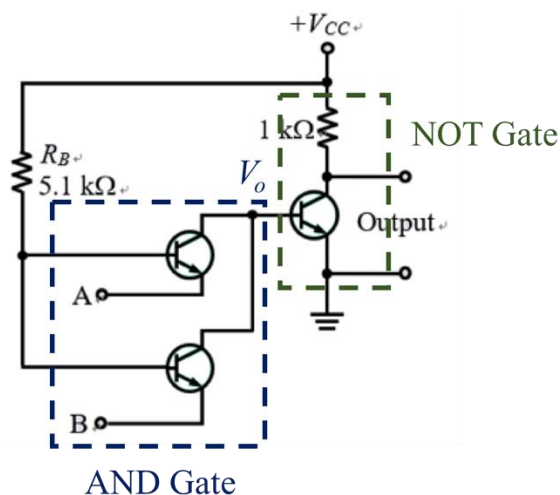
- DDL 邏輯電路是單純由二極體及電阻所組成的電路，並且能夠簡單的由兩個二極體就實現 AND 及 OR 閘，由於二極體順向導通時的 cut-in voltage 為 0.5V，及 fully-conducting

region 為 0.6~0.8V，也就是說壓降為 0.5~0.8V 皆為合理範圍（大約為 Constant Voltage Drop Model 的壓降 0.7V），因此實驗結果輸出電壓大約在 0.7V 時電壓準位為 Low (0)，大約在 4.3V 時為 Hi (1)，藉由這個規則，所得出的輸出電壓做出的真值表符合 AND 及 OR 閘該有的結果

- AND 閘的工作原理為當 A、B 輸入 0V 時二極體導通，5V 二極體不導通（因壓降需 0.7V），根據此電路，若 A、B 其中一端導通（輸入 0V），訊號會從 A、B 其中一端接地處流失，則輸出端電壓必約在 0.7V (0)；只有在兩端都輸入 5V 使二極體不導通，訊號直接送到數位電表，輸出端電壓才會在 5V (1)，因此 A、B 其一輸入 Low (0) 時，輸出必為 Low (0)
- OR 閘的工作原理類似，但 A、B 輸入 5V 時二極體導通，0V 二極體不導通，若 A、B 其中一端導通（輸入 5V），訊號直接送到數位電表，則輸出端電壓必約在 4.3V (1)；只有在兩端都輸入 0V 二極體皆不導通，輸出端電壓才會在 0V (0)，因此 A、B 其一輸入 Hi (1) 時，輸出必為 Hi (1)
- BJT 不論何總類型都會因為輸入基極電壓不同而有開關的作用，所以我們可以藉由輸入 0V 或 5V 來調控電晶體的導通或不導通，並皆於輸出端量集極（C 極）的電壓，結果明顯大約 5V 即為 Hi (1)，約 0V 為 Low (0)，皆與輸入電壓相反，所以為 NOT 閘
- nnp 型的 BJT（NOT 閘）工作原理為當輸入端為 0V 時，電晶體 B-E 極不導通（cut-off），因此 V_{cc} 所提供的 5V 訊號無法進入電晶體而直接進入數位電表，得 5V (1)；輸入端為 5V 時，電晶體 B-E 極導通，使電晶體可運作（Active），但 B-C 極因為皆為

5V，所以只流入些許電流，大多數的電壓都消耗給上頭電阻，因此所量到的輸出電壓會幾乎為 0V (0)

6. pnp 型的 BJT (NOT) 閘工作原理為當輸入端為 0V 時，電晶體 B-E 極導通，使電晶體可運作 (Active)，訊號直接流入 C 極，得 5V (1)；當輸入端為 5V 時，電晶體 B-E 極不導通 (cut-off)，訊號無法流入 C 極，因此量得輸出 0V (0)
7. DTL 邏輯電路的作法只是將先前的二極體電路輸出端與電晶體的基極串接在一起， V_{cc} 輸入的地方皆同，而其工作原理皆皆如同以上所述，由 A、B 輸入 5V 或 0V，得出的結果若電晶體與 AND 閘串接得 NAND 閘，若與 OR 閘串接得 NOR 閘，且因為不論是 npn 或 pnp 電晶體都為 NOT 閘，所以可以任意交換
8. TTL (NAND) 耦合電路工作原理其實是由兩個共基極的墊基體所組成的 AND 閘，再將共集極的輸出結果輸入 NOT 閘所串接成的 NAND 閘，於 V_o 點所得到的結果為 AND 的真值表，也就是當 A、B 輸入其一為 0V 時， V_o 點輸出為 Low (0)，因此最後輸出結果為 Hi (1)。並且根據供電標準電壓 5V，TTL 電路輸出電壓準位 Low 為 0~0.4V、Hi 為 2.4~5V^[2]



(圖) TTL (NAND) 耦合電路說明

9. TTL 電路也可以用兩個電晶體組合出 NOR 與 OR 閘，NOR 閘其實是依序做兩次的 NOT 閘再量 C 極結果，或是直接把電晶體當作開關，當基極輸入 0V 時則不導通 (cut-off)，只需考慮輸入 5V 時所導通的電晶體再做 NOT 閘，原理同前所述；而 OR 閘同樣的也只是把電晶體當作開關，只需考慮輸入 5V 時所導通的電晶體，因為 E 極接地，所以必會導通，也因此若有一端輸入 5V，輸出必為 Hi (1)
10. 二進位及十進位轉換：分為兩種，第一種為二進位轉十進位，另一種為十進位轉二進位制。十進位轉二進位這種，我們稱為編碼器，將使用者輸入的數字轉成訊號，再傳入到 74147IC 元件，經過轉換後再經過一個反向器，將訊號反轉後，輸出四個訊號。而在二進位轉十進位中，也一樣的訊號經過 IC 元件後再經過反向器，最後有十個輸出端，第一個輸出端代表 0，第二個輸出端為 1，最大至 9。這裡很有趣的地方是，我們在數位電路中我們可以應用此方法將之後的加法器或者減法器等等結果轉成十進位，甚至將使用者輸入的十進位數字轉成二進位制，在經由計算後再轉為十進位制，顯示給使用者看。

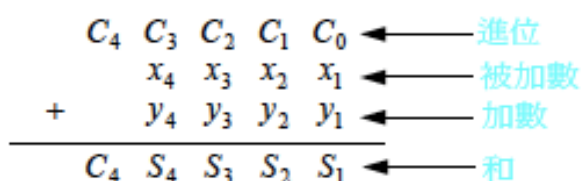
(二) 第二部分：加法器與減法器實驗

1. 半加器：設想一下，在二進位制且一位元的加法時我們會遇到的情況，即在 A、B 兩端輸入訊號為 0V、5V 的組合，其組合會有四種可能，也因此要有四種輸出可能，在一位元的加法時我們會遇到的是兩數和與兩數加法後是否有進位。因此藉此邏輯，我們可以得出與真值表相同結果，此次實

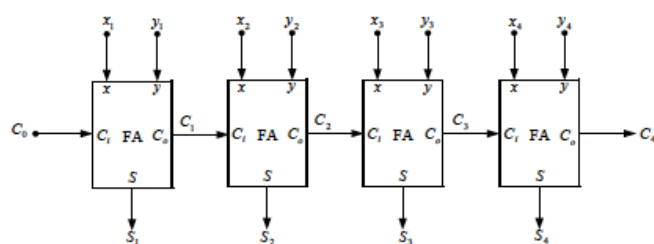
驗目的就是要在探討半加器的原理，我們藉由邏輯分析儀來檢測是否有訊號產生，根據邏輯分析儀的結果，發現其與我們設想的結果完全符合，但半加器有個缺點，就是無法延續下去

（因為無進位輸入端），只能做單一位元的加法而已，因此下面我們就要來探討全加器，以及四位元全加器。

2. 全加器：全加器的部分就是半加器的延續，因此輸入訊號必須為三個，第三個為前一位的進位值，將三者訊號的有無組合會有八個，即八種可能輸出與輸入訊號關係，全加器比半加器好的地方在於全加器能擴張到二位元甚至更多位元的加法，即待會會討論的四位元全加器。
3. 四位元全加器：四位元即有四個位數的兩數相加，根據 IC 元件的腳位圖來看，其輸出訊號為 5 個腳位，代表兩數和最大為 31，四位元加法器我們可以看做是四組全加器的應用，將第一組全加器的進位，代入到的二組全加器，再給第三組……此種方式其實可以推廣到更高位元，在此我們只討論四位元全加器。在這部分的實驗我們必須要注意的地方是，IC 元件必須要供電與接地，與上述元件一樣，不過這裡比較特別的地方是，腳位必須要特別小心，因為接腳變多，別因此差錯腳位了，再來就是 IC 元件的腳別弄歪或甚至弄斷掉，在此是要額外小心的，也可能因此會影響我們之後的分析。



（圖）四位元全加器計算方式^[3]

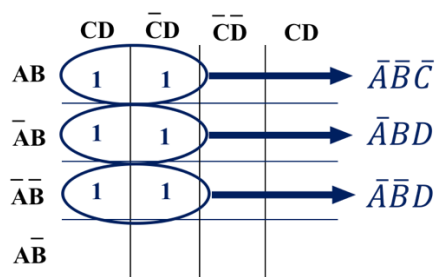


（圖）四位元全加器工作原理^[3]

4. 四位元加法器與減法器：我們認為此 IC 元件十分特別，這 IC 元件可以同時應付加法與減法，但減法時要額外注意的地方是，其相減為負數時，最後位有訊號代表負數，在此我們必須將結果顛倒，再加 1（二補數），我們一開始沒有注意到這部分，當時我們一直以為是線路接錯，搞得我們花好多時間在這上面，直到助教替我們解釋一番才搞懂原理，因此我覺得我們該好好檢討，我們並沒有到熟知實驗的原理與內容。最後，在這部分的腳位十分複雜，線路相當繁瑣，因此在接線路時要十分注意，腳位圖要放在手邊！
5. 半減器與全減器：半減器與全減器兩者關係與半加器與全加器關係十分類似，半減器與全減器的差別在於，半減器只能應付一位元的減法，而全減器是將上一位的借位加進去，達到延續下去的作用，因此全減器與全加器一樣，可以做到二位元甚至更多位元的減法。半減器與全減器的真值表差別在於是否有無上一位的借位，而半減器是沒有上一位借位的問題，在這方面半減器因此只有四種狀況，而全減器就會有八種情形，不過在輸出端會是一樣有兩端，一端是差值，一端是是否需要向下一位借位。
6. 布林代數：當我們無法直接由布林代數、邏輯圖直接看出結果時，使用 Multisim 的 Logic Converter 可以快數得出布林邏輯的簡化關係、真值表、AND 或 NAND 邏輯圖，否則可能要

使用卡諾圖 (Karnaugh Map) 和布林邏輯的簡化規則來花時間化簡，以第一題來說，先用卡諾圖化簡：

$$\begin{aligned}
 &A'B'C'D + A'B'CD + A'BC'D + A'BCD \\
 &\quad + ABC'D + ABCD = Y \\
 \Rightarrow &ABD + A'BD + A'B'D = Y \\
 \Rightarrow &(AB + A'B + A'B')D = Y \\
 \Rightarrow &(AB')'D = Y \\
 \Rightarrow &(A' + B)D = Y \\
 \Rightarrow &A'D + BD = Y
 \end{aligned}$$



(圖) 以卡諾圖寫出布林表示式
以第二題來說必須先由真值表寫出為化簡的布林表示式：

$$\begin{aligned}
 &A'B'C + A'BC + ABC = Y \\
 \Rightarrow &(A'B' + A'B + AB)C = Y \\
 \Rightarrow &(AB')'C = Y \\
 \Rightarrow &(A' + B)C = Y \\
 \Rightarrow &A'C + BC = Y
 \end{aligned}$$

	A	B	C	D	E	F	G	H
000	0	0	0					0
001	0	0	1					1
002	0	1	0					0
003	0	1	1					1
004	1	0	0					0
005	1	0	1					0
006	1	1	0					0
007	1	1	1					1

(圖) 真值表寫出布林表示式
第三題則必需先寫出真值表再依化簡布林表示式，這過程非常耗時，但若用 Multisim 分析就容易多了

結論與心得

經過這一連串的實驗與 Multisim 模擬，另外加上實驗課前教授的教學，我們可以更加熟悉各種邏輯閘的原理以及布林代數與真

值表，此外還有 Multisim 的邏輯分析等等工具。實驗三的目的在於了解各個基本邏輯閘輸入與輸出關係，以及將各個邏輯閘組合起來應用在實際生活，從半加器到全減器，甚至到四位元的加減法器組合，這幾次實驗數位電路實驗都能感受到我們一些生活周遭的電子產品或其內部元件。這幾次實驗其實不難，最需要注意的是 IC 元件的接腳，千萬不能接錯，因此必須在使用前熟知腳位圖，然後必須要小心 IC 元件的腳是否歪掉或損毀，最後在使用時必須要先給 IC 元件供電以及接地，否則無法使用。此外我們覺得有部分很重要，就是布林代數的應用以及 Multisim 的邏輯分析的使用方法，熟知這兩個工具，在未來如果需要設計一個數位電路絕對會大大加分，而且可以節省材料以及成等等。最後，實驗的第一週我們在模擬邏輯閘的電路時，我們應用了 DDL 或者 TTL 的方式去設計，我覺得這部分也結合了之前的類比電路的一些元件，我們覺得這樣課程安排是十分好的！

參考文獻

- [1]成大物理實驗 (一) moodle 電子學講義 (2019) ;
<https://moodle.ncku.edu.tw/mod/resource/view.php?id=810716> ;
<https://moodle.ncku.edu.tw/mod/resource/view.php?id=843168> ;
<https://moodle.ncku.edu.tw/mod/resource/view.php?id=845242>
- [2]維基百科；電晶體－電晶體邏輯
<https://zh.m.wikipedia.org/zh-tw/電晶體－電晶體邏輯>
- [3]崑山科技大學開放式課程電機工程學系；王炳聰副教授
[http://ocw.ksu.edu.tw/file.php/6/教材投影片\(pdf\)/第五章.pdf](http://ocw.ksu.edu.tw/file.php/6/教材投影片(pdf)/第五章.pdf)