

W5500 Datasheet

Version 1.0.9

W5500

W5500 은 위즈네트의 Hardware TCP/IP 기술을 이용한 임베디드용 인터넷 솔루션으로 하나의 칩에 TCP/IP 프로토콜 처리부터 10/100 Ethernet PHY 와 MAC 을 모두 내장하고 있다. W5500 내부에는 TCP, UDP, IPv4, ICMP, IGMP, ARP, PPPoE 등의 통신 프로토콜을 처리할 수 있는 Full hardware logic 과 버퍼용 메모리가 있고 사용자는 동시에 8 개의 독립적인 하드웨어 Socket 을 사용할 수 있다.

W5500 과 외부 MCU 는 SPI Interface 방식을 통해 연결 할 수 있다. W5500 의 SPI 는 최대 80MHz 의 SPI main clock 을 지원하고 기존 제품대비 효율적인 SPI 프로토콜을 제공함으로써 고속의 네트워크통신을 구현할 수 있다. 또한, 시스템의 소비전력을 낮추기 위해 저전력 설계와, WOL (Wake On LAN), Power Down mode 를 제공한다.

Features

- Support Hardwired TCP/IP Protocols : TCP, UDP, ICMP, IPv4, ARP, IGMP, PPPoE
- Support 8 independent sockets simultaneously
- Support Power down mode
- Support Wake on LAN over UDP
- Support High Speed Serial Peripheral Interface(SPI MODE 0, 3)
- Internal 32Kbytes Memory for TX/RX Buffers
- 10BaseT/100BaseTX Ethernet PHY embedded
- Support Auto Negotiation (Full and half duplex, 10 and 100-based)
- Not support IP Fragmentation
- 3.3V operation with 5V I/O signal tolerance
- LED outputs (Full/Half duplex, Link, Speed, Active)
- 48 Pin LQFP Lead-Free Package (7x7mm, 0.5mm pitch)

Target Applications

W5500 은 다음과 같은 Embedded application 에 적합하다.

- Home Network Devices: Set-Top Boxes, PVRs, Digital Media Adapters
- Serial-to-Ethernet: Access Controls, LED displays, Wireless AP relays, etc.
- Parallel-to-Ethernet: POS / Mini Printers, Copiers
- USB-to-Ethernet: Storage Devices, Network Printers
- GPIO-to-Ethernet: Home Network Sensors
- Security Systems: DVRs, Network Cameras, Kiosks
- Factory and Building Automations
- Medical Monitoring Equipment
- Embedded Servers

Block Diagram

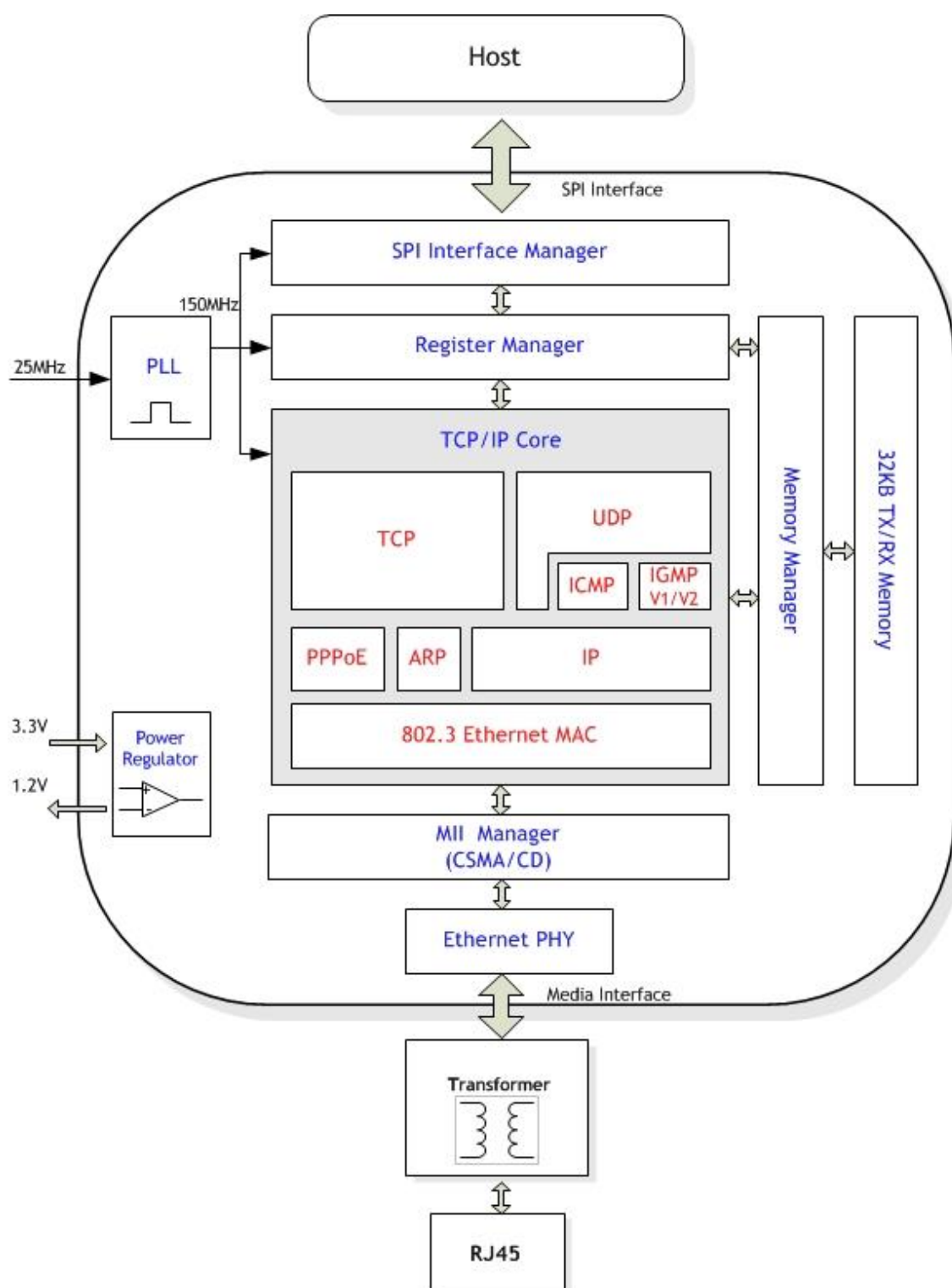


Table of Contents

1	Pin Assignment	7
1.1	Pin Descriptions	7
2	HOST Interface	12
2.1	SPI Operation Mode	13
2.2	SPI Frame	14
2.2.1	Address Phase	14
2.2.2	Control Phase	15
2.2.3	Data Phase	17
2.3	Variable Length Data Mode (VDM)	17
2.3.1	Write Access in VDM	18
2.3.2	Read Access in VDM	21
2.4	Fixed Length Data Mode (FDM)	24
2.4.1	Write Access in FDM	25
2.4.2	Read Access in FDM	26
3	Register and Memory Organization	27
3.1	Common Register Block	29
3.2	Socket Register Block	30
3.3	Memory	31
4	Register Descriptions	32
4.1	Common Registers	32
4.2	Socket Registers	43
5	Electrical Specifications	57
5.1	Absolute Maximum Ratings	57
5.2	Absolute Maximum Ratings (Electrical Sensitivity)	57
5.3	DC Characteristics	58
5.4	POWER DISSIPATION	59
5.5	AC Characteristics	59
5.5.1	Reset Timing	59
5.5.2	Wake up Time	59
5.5.3	Crystal Characteristics	59
5.5.4	SPI Timing	60
5.5.5	Transformer Characteristics	61
5.5.6	MDIX	61
6	IR Reflow Temperature Profile (Lead-Free)	62
7	Package Descriptions	63
	Document History Information	64

Table of Figures

Figure 1. W5500 Pin Layout	7
Figure 2. External reference resistor	11
Figure 3. Crystal reference schematic	11
Figure 4. Variable Length Data Mode (SCSn controlled by the host)	12
Figure 5. Fixed Length Data Mode (SCSn is always connected by Ground)	12
Figure 6. SPI Mode 0 & 3	13
Figure 7. SPI Frame Format	14
Figure 8. Write SPI Frame in VDM mode	18
Figure 9. SIMR Register Write in VDM Mode	19
Figure 10. 5 Byte Data Write at 1th Socket's TX Buffer Block 0x0040 in VDM mode..	20
Figure 11. Read SPI Frame in VDM mode	21
Figure 12. S7_SR Read in VDM Mode	22
Figure 13. 5 Byte Data Read at Socket 3 RX Buffer Block 0x0100 in VDM mode	23
Figure 14. 1 Byte Data Write SPI Frame in FDM mode.....	25
Figure 15. 2 Bytes Data Write SPI Frame in FDM mode	25
Figure 16. 4 Bytes Data Write SPI Frame in FDM mode	25
Figure 17. 1 Byte Data Read SPI Frame in FDM mode	26
Figure 18. 2 Bytes Data Read SPI Frame in FDM mode	26
Figure 19. 4 Bytes Data Read SPI Frame in FDM mode	26
Figure 20. Register & Memory Organization	28
Figure 21. INTLEVEL Timing	34
Figure 22. Reset Timing.....	59
Figure 23. SPI Timing.....	60
Figure 24. Transformer Type	61
Figure 25. IR Reflow Temperature	62
Figure 26. Package Dimensions.....	63

1 Pin Assignment

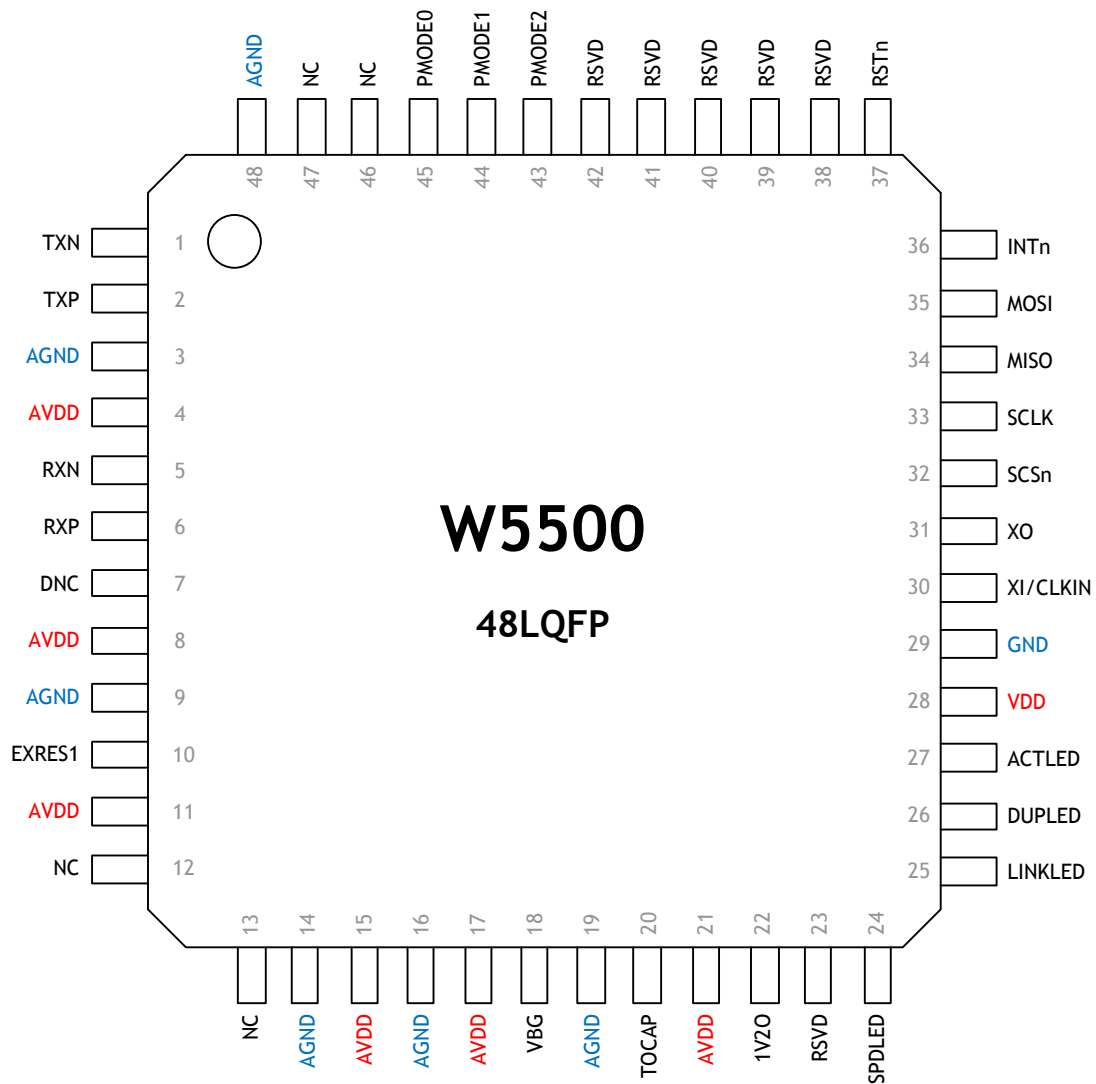


Figure 1. W5500 Pin Layout

1.1 Pin Descriptions

Table 1. Pin Type Notation

Type	Description
I	Input
O	Output
I/O	Input / Output
A	Analog
PWR	3.3V power
GND	Ground

Table 2. W5500 Pin Description

Pin No	Symbol	Internal Bias ¹	Type	Description
1	TXN	-	AO	TXP/TXN Signal Pair Data 전송 시 PHY 신호 TXP/TXN differential signal pair 를 통해 전송한다.
2	TXP	-	AO	
3	AGND	-	GND	Analog ground
4	AVDD	-	PWR	Analog 3.3V power
5	RXN	-	AI	RXP/RXN Signal Pair Data 수신 시 PHY 신호 RXP/RXN differential signal pair 를 통해 수신한다.
6	RXP	-	AI	
7	DNC	-	AI/O	Do Not Connect Pin
8	AVDD	-	PWR	Analog 3.3V power
9	AGND	-	GND	Analog ground
10	EXRES1	-	AI/O	External Reference Resistor 외부 12.4KΩ, 1% 저항과 연결한다. 연결 방법은 ‘External reference resistor’ (Figure. 2)을 참조한다.
11	AVDD	-	PWR	Analog 3.3V power
12	-	-	-	NC
13	-	-	-	NC
14	AGND	-	GND	Analog ground
15	AVDD	-	PWR	Analog 3.3V power
16	AGND	-	GND	Analog ground
17	AVDD	-	PWR	Analog 3.3V power
18	VBG	-	AO	Band Gap Output Voltage 정상적인 경우, 25℃에서 1.2V 출력전압을 갖는다. Note: NC 처리한다.
19	AGND	-	GND	Analog ground
20	TOCAP	-	AO	External Reference Capacitor 외부 4.7uF capacitor 와 연결 한다. 내부 신호의 안정을 위해 Capacitor 와 연결하는 회로의 길이는 최대한 짧게 한다.
21	AVDD	-	PWR	Analog 3.3V power
22	1V2O	-	AO	1.2V Regulator output voltage 내부 Regulator 의 출력 전압이다. 외부 10nF capacitor 와 연결한다.
23	RSVD	Pull-down	I	It must be tied to GND.

¹ Internal Bias after hardware reset

24	SPDLED	-	O	Speed LED 현재 연결된 link 의 speed 를 나타낸다. Low: 100Mbps High: 10Mbps
25	LINKLED	-	O	Link LED 현재 link 가 성립되어 있는지의 여부를 나타낸다. Low: Link is established High: Link is not established
26	DUPLED	-	O	Duplex LED 현재 연결된 link 의 duplex 상태를 나타낸다. Low: Full-duplex mode High: Half-duplex mode
27	ACTLED	-	O	Active LED 현재 TX 혹은 RX 동작이 발생했을 경우 carrier 신호를 감지하여 동작상태를 나타낸다. Low: Carrier sense from the active PMD High: No carrier sense
28	VDD	-	PWR	Digital 3.3V Power
29	GND	-	GND	Digital Ground
30	XI/CLKIN	-	AI	Crystal input / External Clock input External 25MHz Crystal Input. 이 pin 을 single-ended TTL oscillator (CLKIN)로 구동하는 경우엔, XO 는 Floating 시킨다. External clock input 을 위해서는 3.3V clock 이 인가되어야 한다. 상세한 연결 방법은 'Figure 3. Crystal reference schematic' 을 참조.
31	XO	-	AO	Crystal output External 25MHz Crystal Output XI/CLKIN 을 통해 외부 Clock 을 인가하면 이 pin 은 Floating 시킨다.
32	SCSn	Pull-up	I	Chip Select for SPI bus SPI interface 에서 W5500 을 선택하려고 할 경우 low 로 설정한다. Low: selected High: deselected
33	SCLK	-	I	SPI clock input SPI master 로부터 입력 받는 SPI clock 이다.
34	MISO	-	O	SPI master input slave(W5500) output

				SCSn pin 이 Low 인 경우, 이 pin 은 SPI data 를 출력한다. SCSn pin 이 High 인 경우, 이 pin 은 High Impedance 가 된다.																																						
35	MOSI	-	I	SPI master output slave(W5500) input																																						
36	INTn	-	O	Interrupt output Low: Interrupt asserted from W5500 High: No interrupt																																						
37	RSTn	Pull-up	I	Reset (Active low) 칩을 reset 하기 위해서는 최소 500us 이상 low 를 유지한다.																																						
38	RSVD	Pull-down	I	NC																																						
39	RSVD	Pull-down	I	NC																																						
40	RSVD	Pull-down	I	NC																																						
41	RSVD	Pull-down	I	NC																																						
42	RSVD	Pull-down	I	NC																																						
43	PMODE2	Pull-up	I	PHY Operation mode select pins PHY 의 네트워크 모드를 설정하는 핀으로 자세한 내용은 아래의 표를 참조한다																																						
44	PMODE1	Pull-up	I																																							
45	PMODE0	Pull-up	I																																							
<table><tr><th colspan="3">PMODE [2:0]</th><th rowspan="2">Description</th></tr><tr><th>2</th><th>1</th><th>0</th></tr><tr><td>0</td><td>0</td><td>0</td><td>10BT Half-duplex, Auto-negotiation disabled</td></tr><tr><td>0</td><td>0</td><td>1</td><td>10BT Full-duplex, Auto-negotiation disabled</td></tr><tr><td>0</td><td>1</td><td>0</td><td>100BT Half-duplex, Auto-negotiation disabled</td></tr><tr><td>0</td><td>1</td><td>1</td><td>100BT Full-duplex, Auto-negotiation disabled</td></tr><tr><td>1</td><td>0</td><td>0</td><td>100BT Half-duplex, Auto-negotiation enabled</td></tr><tr><td>1</td><td>0</td><td>1</td><td>Not used</td></tr><tr><td>1</td><td>1</td><td>0</td><td>Not used</td></tr><tr><td>1</td><td>1</td><td>1</td><td>All capable, Auto-negotiation enabled</td></tr></table>					PMODE [2:0]			Description	2	1	0	0	0	0	10BT Half-duplex, Auto-negotiation disabled	0	0	1	10BT Full-duplex, Auto-negotiation disabled	0	1	0	100BT Half-duplex, Auto-negotiation disabled	0	1	1	100BT Full-duplex, Auto-negotiation disabled	1	0	0	100BT Half-duplex, Auto-negotiation enabled	1	0	1	Not used	1	1	0	Not used	1	1	1
PMODE [2:0]			Description																																							
2	1	0																																								
0	0	0	10BT Half-duplex, Auto-negotiation disabled																																							
0	0	1	10BT Full-duplex, Auto-negotiation disabled																																							
0	1	0	100BT Half-duplex, Auto-negotiation disabled																																							
0	1	1	100BT Full-duplex, Auto-negotiation disabled																																							
1	0	0	100BT Half-duplex, Auto-negotiation enabled																																							
1	0	1	Not used																																							
1	1	0	Not used																																							
1	1	1	All capable, Auto-negotiation enabled																																							
46	-	-	-	NC																																						
47	-	-	-	NC																																						
48	AGND	-	GND	Analog ground																																						

EXRES1 핀과 12.4K Ω (1%) 저항을 아래 그림과 같이 연결한다.

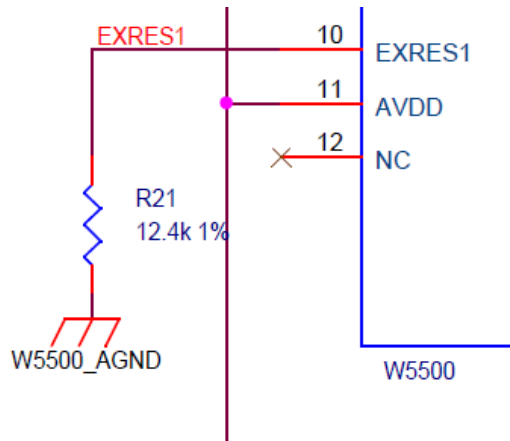


Figure 2. External reference resistor

Crystal 회로는 아래 그림을 참조한다.

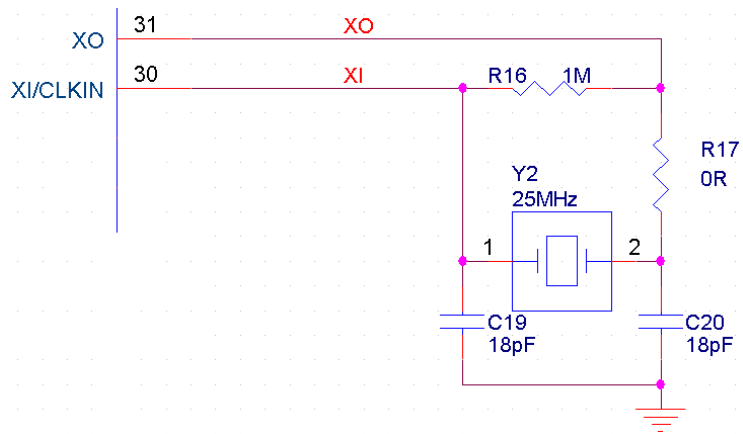


Figure 3. Crystal reference schematic

2 HOST Interface

W5500 은 External HOST Interface 를 위해 4 개의 Signals(SCSn, SCLK, MOSI, MISO)로 구성된 SPI(Serial Peripheral Interface) Bus 를 제공하며, 오직 SPI Slave 로만 동작한다. W5500 의 SPI 는 ‘Chapter 2.3 Variable Length Data Mode (VDM)’ & ‘Chapter 2.4 Fixed Length Data Mode (FDM)’ 에서 설명될 SPI Operation Mode (Variable Length Data / Fixed Length Data Mode)에 따라 Figure 4 와 Figure 5 와 같이 2 가지 방식으로 연결될 수 있다.

Figure 4 방식은 SPI Bus 를 다른 SPI Device 들과 공유할 수 있는 반면, Figure 5 는 W5500 전용 SPI Bus 로 사용되어 다른 SPI Device 들과 공유할 수 없다.

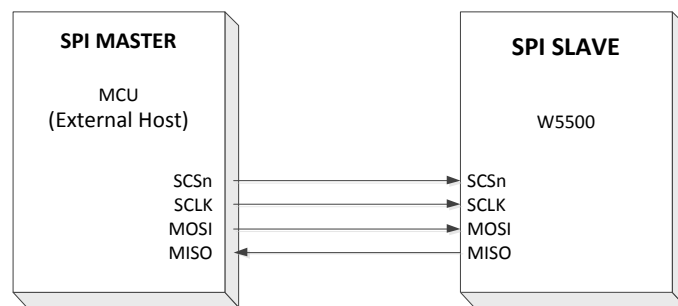


Figure 4. Variable Length Data Mode (SCSn controlled by the host)

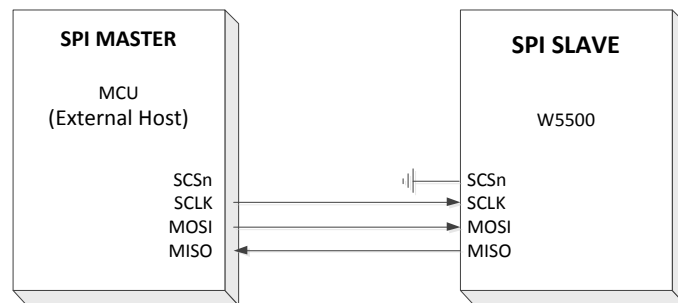


Figure 5. Fixed Length Data Mode (SCSn is always connected by Ground)

SPI 는 SCLK 의 극성(Polarity)과 위상(Phase)에 따라 4 개의 Mode 0,1,2,3 을 지원한다. SPI Mode 0 과 3 은 inactive(idle)일 때 SCLK 의 극성이 다르며 active 시 동일하게 동작한다. SPI Mode 0 과 Mode 3 은 Figure 6 과 같이 Data signals(MOSI & MISO)는 SCLK 의 Rising edge 때 수신(Sampling)되며, Falling edge 일 때 송신(Toggling)된다.

W5500 은 SPI mode 0 과 3 만을 지원한다. 또한 MOSI & MISO signal 은 항상 Most Significant Bit(MSB)부터 Lowest Significant Bit(LSB) 순서로, MOSI signal 을 통해 송신되거나 MISO Signal 을 통해 수신된다.

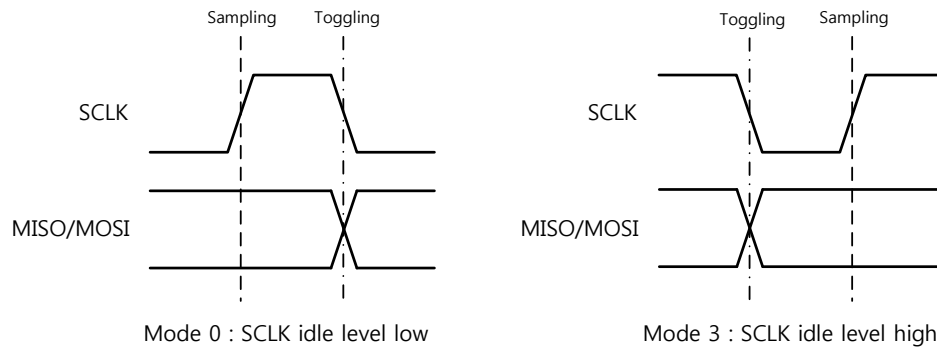


Figure 6. SPI Mode 0 & 3

2.1 SPI Operation Mode

W5500 은 External Host 로부터 송수신되는 SPI Frame (Chapter 2.2 SPI Frame 을 참조)에 의해 제어된다. W5500 의 SPI Frame 은 Address Phase, Control Phase, Data Phase 와 같은 3 개의 Phase 로 이루어진다.

Address Phase 는 W5500 의 Register 나 TX/RX Memory 에 대한 16bits Offset Address 를 지정한다. Control Phase 는 Address Phase 에서 지정된 Offset Address 가 속한 Block 를 지정하고, Read/Write Access Mode 및 SPI Operation Mode (Variable Length Data / Fixed Length Data Mode)를 지정한다. 또한 Data Phase 에서는 SPI Operation Mode 에 따라 임의 길이(N-bytes, $1 \leq N$) Data 나 1 byte, 2 bytes & 4 bytes Data 를 지정한다.

SPI Operation Mode 가 Variable Length Data Mode(VDM) 일 경우 SPI Bus Signal SCSn 은 반드시 External Host 에 의해 SPI Frame 단위로 제어되어야 한다. Variable Length Data Mode 에서의 SCSn 의 제어시작 (Assert (High-to-Low))은 SPI Frame 의 시작 (Address Phase) 을 W5500 에게 알리고, SCSn 의 제어종료 (De-assert (Low-to-High))는 SPI Frame 의 종료(임의크기 N bytes 의 Data Phase 종료)를 W5500 에게 알린다.

2.2 SPI Frame

W5500 SPI Frame 은 Figure 7 와 같이 Address Phase 인 16bits Offset Address, 8bits Control Phase, N bytes 의 Data Phase 로 구성된다. 8bits Control Phase 는 Offset Address 가 속한 Block 을 선택하는 Block Select bits (BSB[4:0]), Read/Write Access Mode bit (RWB), SPI Operation Mode(OM[1:0])으로 재구성된다.

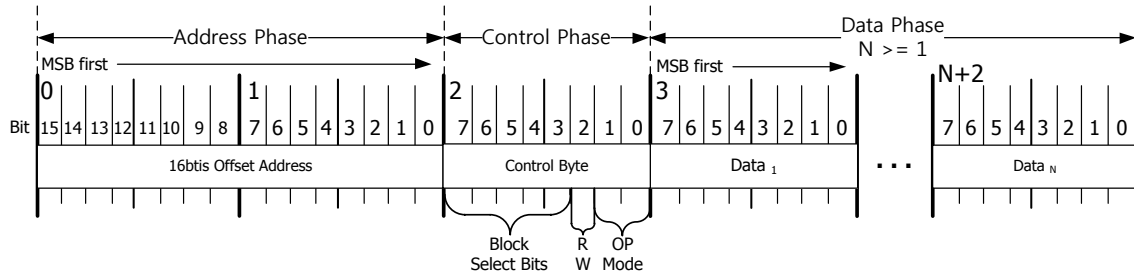


Figure 7. SPI Frame Format

W5500 은 Sequential Data Read/Write 를 지원하며, 2/4/N bytes 의 Sequential Data 처리를 위해 지정된 Offset Address 를 시작(Base)으로 Data 를 처리(송수신)한 후 자동으로 Offset Address (auto increment addressing)를 1 씩 증가시켜 다음 Data 를 처리한다.

2.2.1 Address Phase

W5500 의 Registers, TX/RX Buffer Block 에 대한 16bits Offset Address 를 지정한다. 이때 16bit Offset Address 값은 MSB 부터 LSB 순으로 순차적으로 송신된다. 2/4/N Bytes 의 Data Phase 를 갖는 SPI Frame 은 Offset Address 를 시작(Base)으로 매 1 Byte Data 마다 자동으로 Offset Address 가 1 씩 증가하는 Sequential Data Read/Write 를 지원한다.

		11000	Reserved
		11001	Socket 6 Register를 선택한다.
		11010	Socket 6 TX Buffer를 선택한다.
		11011	Socket 6 RX Buffer를 선택한다
		11100	Reserved
		11101	Socket 7 Register를 선택한다.
		11110	Socket 7 TX Buffer를 선택한다.
		11111	Socket 7 RX Buffer를 선택한다
		BSB[4:0]가 Reserved Bits 들일 경우 W5500 의 오동작을 야기한다.	
2	RWB	Read/Write Access Mode Bit Read/Write Access Mode 를 설정한다. ‘0’ : Read ‘1’ : Write	
1~0	OM [1:0]	SPI Operation Mode Bits SPI Operation Mode 를 설정하는 Bits 이다. SPI Operation Mode 는 Variable Length Data Mode 와 Fixed Length Data Mode 두 가지를 지원한다. - Variable Length Data Mode (VDM) : SPI Frame 의 Data Phase 에서 N-Bytes 의 Data 를 송수신하는 하는 Mode 로, Data Length 는 SCSn 의 제어로 결정된다. External Host 는 SCSn Signal 을 Assert (High-to-Low) 시켜 SPI Frame 의 Address Phase 송신 시작을 W5500 에게 알리고, OM[1:0] = ‘00’ 인 Control Phase 를 송신하고, N-Bytes 의 Data Phase 송수신을 완료한 후, SCSn Signal 을 De-assert (Low-to-High)시켜 SPI Frame 송수신이 완료 되었음을 W5500 에 알린다. VDM Mode 에서 SCSn 는 반드시 External Host 에 의해 SPI Frame 단위로 제어되어야 한다. (Figure 4 참조) - Fixed Length Data Mode (FDM) : VDM 에서는 External Host 의 SCSn Control 에 의해 Data Length 가 결정되는 반면, Fixed Length Data Mode 는 ‘00’ 값이 아닌 OM[1:0] 값에 의해 Data Length 가 결정된다. 따라서, SCSn Signal 은 항상 Low 상태를 유지해야 하며, Data Length 는 반드시 1 Byte, 2 Bytes, 4Bytes 중 OM[1:0] 값 설정에 따라 하나의 Length 를 갖는다.	

(Figure 5 참조)
다음 표는 OM[1:0]에 따른 SPI Operation Mode 를 보여준다.

OM[1:0]	Meaning
00	Variable Data Length Mode, N-Bytes Data Phase ($1 \leq N$)
01	Fixed Data Length Mode , 1 Byte Data Length ($N = 1$)
10	Fixed Data Length Mode , 2 Byte Data Length ($N = 2$)
11	Fixed Data Length Mode , 4 Byte Data Length ($N = 4$)

2.2.3 Data Phase

Control Phase 의 SPI Operation Mode Bits OM[1:0]의 설정에 따라 Data Phase 는 N-Bytes 길이 (VDM mode)혹은 1, 2, 4 Bytes(FDM mode) 길이의 Data 로 설정된다. 이때 송수신되는 1 byte Data 는 반드시 MSB 부터 LSB 순으로 MOSI 나 MISO Signal 을 통해 1 bit 씩 순차적으로 송수신된다.

2.3 Variable Length Data Mode (VDM)

VDM mode 는 External Host 의 SCSn Control 의해 SPI Frame 의 Data Phase Length 가 결정되는 모드이다. 즉 Data Phase 의 Length 는 SCSn Control 에 따라 1 Byte 부터 N Bytes 까지 임의의 길이를 가질 수 있다. 또한 VDM mode 에서 Control Phase 의 OM[1:0]는 반드시 '00' 값으로 설정되어야 한다.

2.3.1 Write Access in VDM

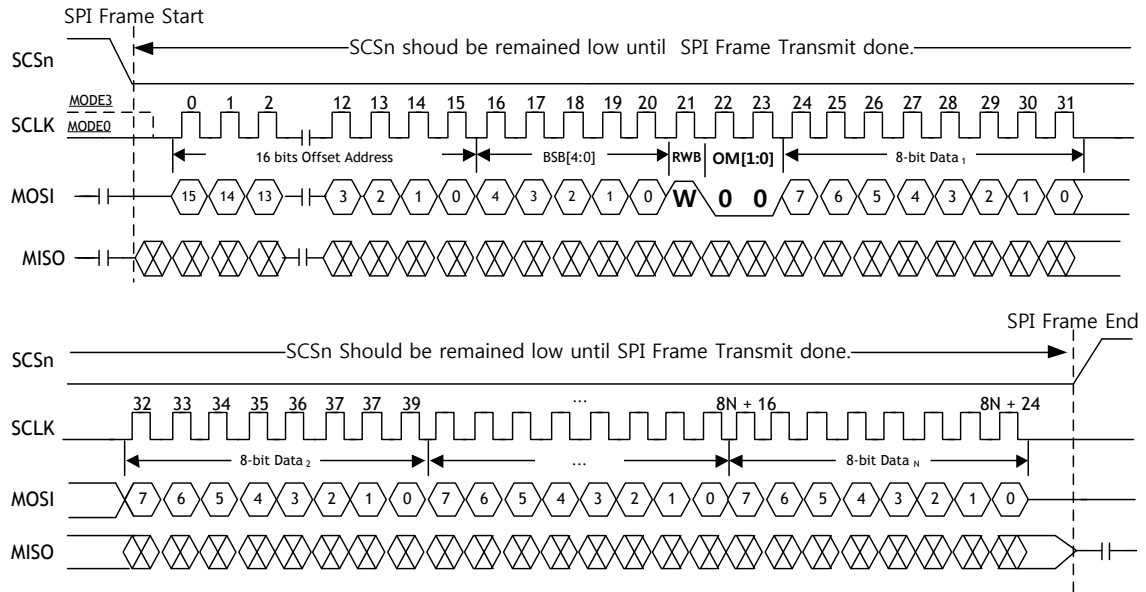


Figure 8. Write SPI Frame in VDM mode

Figure 8 는 External Host 가 W5500 를 Write Access 할 경우 SPI Frame 를 보여준다.

VDM mode 에서, SPI Frame 의 Control Phase 내의 RWB 는 '1' (Write), OM[1:0]는 '00'으로 설정된다. 이때 External Host 는 SCSn signal 을 SPI Frame 송신 시작 전에 Assert (High-to-Low) 하고, SPI Frame 의 모든 bits 를 MOSI signal 을 통해 Toggling SCLK(Falling-Edge)에 동기화하여 1 bit 씩 W5500 으로 송신하고, SPI Frame 송신 완료 후에 SCSn Signal 을 De-assert(Low-to-High)한다.

SCSn 이 Low 이고 Data Phase 가 계속 송신될 경우 Sequential Data Write 를 지원한다.

1 Byte WRITE Access Example

VDM mode 를 사용하여 Common Register Block 의 ‘Socket Interrupt Mask Register(SIMR)’ 에 Data 0xAA 를 Write 할 경우 다음과 같은 SPI Frame 통해 Write 된다.

Offset Address	= 0x0018
BSB[4:0]	= ‘00000’
RWB	= ‘1’
OM[1:0]	= ‘00’
1 st Data	= 0xAA

External Host 는 SPI Frame 송신시작 전에 SCSn 를 Assert (High-to-Low) 하고, SPI Frame 을 1 bit 씩 Toggling SCLK 에 동기화하여 송신한다. External Host 는 SPI Frame 송신 완료 후 SCSn 를 De-assert (Low-to-High) 한다. (Figure 9 참조)

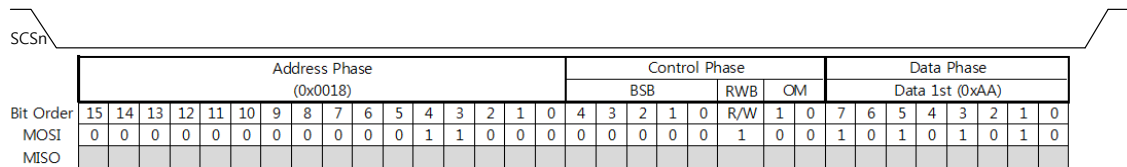


Figure 9. SIMR Register Write in VDM Mode

N-Bytes WRITE Access Example

VDM mode 를 사용하여 1 번 Socket 의 TX Buffer Block 0x0040 Address 에 5 Bytes Data (0x11, 0x22, 0x33, 0x44, 0x55)를 Write 할 경우 다음과 같은 SPI Frame 을 통해 5 bytes Data 를 Write 한다.

Offset Address	= 0x0040
BSB[4:0]	= '00110'
RWB	= '1'
OM[1:0]	= '00'
1 st Data	= 0x11
2 nd Data	= 0x22
3 rd Data	= 0x33
4 th Data	= 0x44
5 th Data	= 0x55

Figure 10 과 같은 N-Bytes Write Access 는 1 번 Socket 의 TX Buffer Block Address 0x0040 ~ 0x0044 에 5 bytes Data 0x11, 0x22, 0x33, 0x44, 0x55 가 순차적으로 1 씩 증가한 Address 에 Write 되며, SCSn 역시 SPI Frame 송신시작 전에 Assert (High-to-Low)되고, SPI Frame 송신완료 후 De-assert (Low-to-High) 된다.

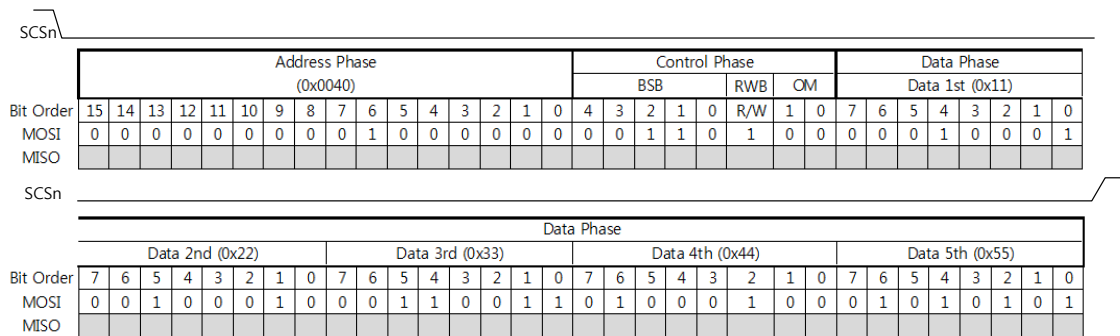


Figure 10. 5 Byte Data Write at 1th Socket's TX Buffer Block 0x0040 in VDM mode

2.3.2 Read Access in VDM

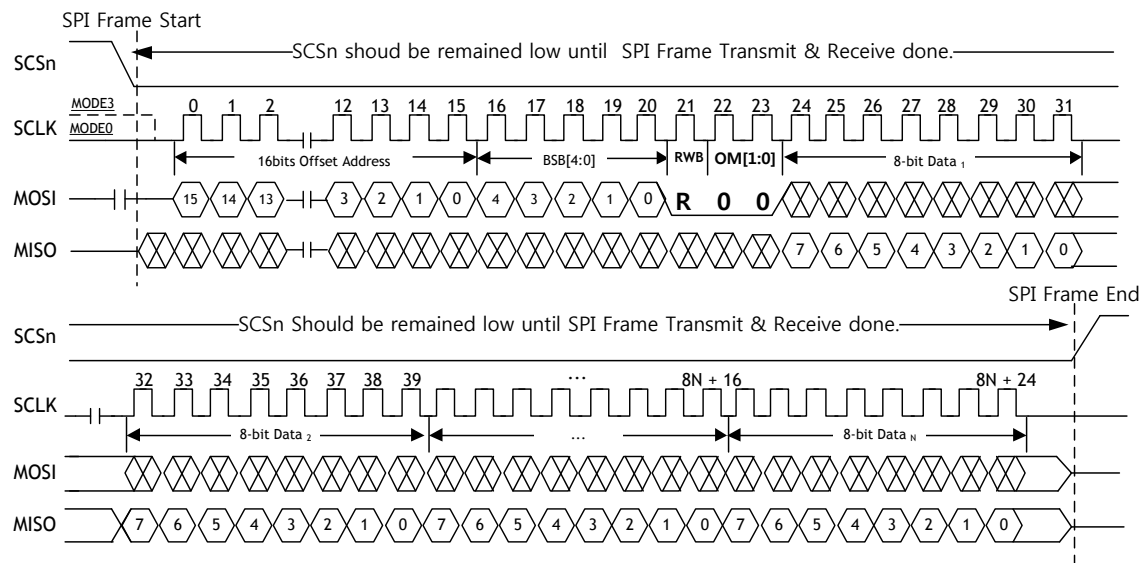


Figure 11. Read SPI Frame in VDM mode

Figure 11 은 External Host 가 W5500 를 Read Access 할 경우 SPI Frame 을 보여준다. VDM mode 에서, SPI Frame 의 Control Phase 내의 RWB 는 '0' (Read), OM[1:0]는 '00'으로 설정된다. 이때 External Host 는 SPI Frame 송신 시작 전에 SCSn Signal 을 Assert (High-to-Low) 하고, MOSI Signal 을 통해 Address & Control Phase 를 1 bit 씩 Toggling SCLK (Falling-Edge)에 동기화하여 W5500 으로 송신하고, MISO signal 을 통해 W5500 으로부터 Sampling SCLK (Rising-Edge) 동기화하여 Data Phase 의 모든 Bits 를 수신한다. External Host 는 Data Phase 수신완료 후 SCSn Signal 을 De-assert (Low-to-High)한다. SCSn 이 Low 이고 Data Phase 를 계속 수신할 경우 Sequential Data Read 를 지원한다.

1 Byte READ Access Example

VDM mode 를 사용하여 7 번 Socket Register Block 의 ‘Socket Status Register(S7_SR)’를 Read 할 경우를 예로 설명한다. 다음과 같은 SPI Frame 통해 Read 된다. 이때 S7_SR 은 ‘SOCK_ESTABLISHED (0x17)’라 가정한다.

```
Offset Address = 0x0003
BSB[4:0]      = '11101'
RWB           = '0'
OM[1:0]       = '00'
1st Data      = 0x17
```

External Host 는 SPI Frame 송신시작 전에 SCSn Signal 을 Assert (High-to-Low) 하고, SPI Frame 의 Address & Control Phase 를 MOSI Signal 을 통하여 W5500 으로 송신하고, MISO signal 을 통하여 W5500 으로부터 Data Phase 를 수신한다. External Host 는 Data phase 수신 완료 후 SCSn signal 을 De-assert (Low-to-High) 한다. (Figure 12 참조)

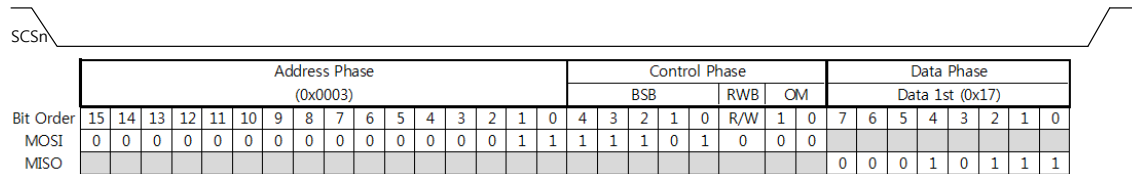


Figure 12. S7_SR Read in VDM Mode

N-Bytes Read Access Example

VDM mode 를 사용하여 3 번 Socket 의 RX Buffer Block 0x0100 Address 에 저장되어있는 5 Bytes Data (0xAA, 0xBB, 0xCC, 0xDD, 0xEE)를 Read 할 경우 다음과 같은 SPI Frame 을 통해 5 bytes Data 를 Read 한다.

Offset Address	= 0x0100
BSB[4:0]	= '01111'
RWB	= '0'
OM[1:0]	= '00'
1 st Data	= 0xAA
2 nd Data	= 0xBB
3 rd Data	= 0xCC
4 th Data	= 0xDD
5 th Data	= 0xEE

Figure 13 과 같은 N-Bytes Read Access 는 3 번 Socket 의 RX Buffer BlockAddress 0x0100 ~ 0x0104 에 저장되어 있는 5 bytes Data 0xAA, 0xBB, 0xCC, 0xDD, 0xEE 가 순차적으로 1 씩 증가한 Address 에서 Read 되며, SCSn 역시 SPI Frame 에 송신시작 전에 Assert (High-to-Low) 되고, SPI Frame 의 Data Phase 수신 완료 후 De-assert (Low-to-High) 된다.

SCSn

Address Phase (0x0100)																		Control Phase						Data Phase									
																		BSB			RWB	OM	Data 1st (0xAA)										
Bit Order	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	4	3	2	1	0	R/W	1	0	7	6	5	4	3	2	1	0	
MOSI	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0	1	1	1	1	0	0	0									
MISO																								1	0	1	0	1	0	1	0	1	0

SCSn

Data Phase																																
Data 2nd (0xBB)								Data 3rd (0xCC)								Data 4th (0xDD)								Data 5th (0xEE)								
Bit Order	7	6	5	4	3	2	1	0	7	6	5	4	3	2	1	0	7	6	5	4	3	2	1	0	7	6	5	4	3	2	1	0
MOSI																																
MISO	1	0	1	1	1	0	1	1	1	1	0	0	1	1	0	0	1	1	0	1	1	1	0	1	1	1	1	0	1	1	1	0

Figure 13. 5 Byte Data Read at Socket 3 RX Buffer Block 0x0100 in VDM mode

2.4 Fixed Length Data Mode (FDM)

FDM mode 는 External Host 의 SCSn Control 이 불가능할 경우 사용될 수 있는 모드로, SCSn Signal 은 반드시 Low-Tied (Always Connected GND)되어야 하며, 다른 SPI Device 와 SPI Bus 를 공유할 수 없다. (Figure 5 참조)

VDM mode 에서는 SCSn 의 Control 에 따라 Data Phase Length 가 결정되는 반면, FDM 에서는 Control Phase 의 SPI Operation Mode Bits 인 OM[1:0]의 값 '01' / '10' / '11'에 따라 각기 1, 2, 4 Bytes 로 Data Phase Length 를 결정한다.

FDM mode 는 SCSn Signal Control 과 OM[1:0] 설정을 제외하고, VDM mode 에서 사용되는 1Byte, 2 Bytes, 4 Bytes SPI Frame 과 동일하므로 자세한 설명은 생략한다.

FDM mode 는 불가피한 상황이 아니라면 사용을 권장하지 않는다. 또한 'Chapter 2.4.1' & 'Chapter 2.4.2' 에서 설명될 1/2/4 Bytes SPI Frame 만을 사용해야 한다. 그 외 다른 Data Length 를 갖는 SPI Frame 사용은 W5500 의 오동작을 야기한다.

2.4.1 Write Access in FDM

1 Bytes WRITE Access

		Address Phase (Any)																Control Phase				Data Phase											
																		BSB (Any)				RWB	OM	Data 1st (any)									
Bit Order		15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	4	3	2	1	0	R/W	1	0	7	6	5	4	3	2	1	0
MOSI		*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	1	0	1	*	*	*	*	*	*	*	*
MISO																																	

Figure 14. 1 Byte Data Write SPI Frame in FDM mode

2 Bytes WRITE Access

		Address Phase (Any)																Control Phase						Data Phase									
																		BSB				RWB	OM		Data 1st (any)								
Bit Order		15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	4	3	2	1	0	R/W	1	0	7	6	5	4	3	2	1	0
MOSI		*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	1	1	0	*	*	*	*	*	*	*	*
MISO																																	

Data Phase							
Data 2nd (any)							
7	6	5	4	3	2	1	0
MOSI	*	*	*	*	*	*	*
MISO							

Figure 15. 2 Bytes Data Write SPI Frame in FDM mode

4 Bytes WRITE Access

Address Phase (Any)																	Control Phase					Data Phase										
																	BSB				RWB	OM	Data 1st (any)									
Bit Order	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	4	3	2	1	0	R/W	1	0	7	6	5	4	3	2	1	0
MOSI	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	1	1	1	*	*	*	*	*	*	*	*
MISO																																

		Data Phase								Data Phase								Data Phase							
		Data 2nd (any)								Data 3rd (any)								Data 4th (any)							
Bit Order		7	6	5	4	3	2	1	0	7	6	5	4	3	2	1	0	7	6	5	4	3	2	1	0
MOSI		*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*
MISO																									

Figure 16. 4 Bytes Data Write SPI Frame in FDM mode

2.4.2 Read Access in FDM

1 Byte READ Access

		Address Phase (Any)																Control Phase					Data Phase										
																		BSB (Any)				RWB	OM	Data 1st (Any)									
Bit Order		15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	4	3	2	1	0	R/W	1	0	7	6	5	4	3	2	1	0
MOSI		*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	0	0	1								
MISO																										*	*	*	*	*	*	*	*

Figure 17. 1 Byte Data Read SPI Frame in FDM mode

2 Bytes READ Access

Address Phase (Any)																	Control Phase				Data Phase											
																	BSB (Any)				RWB	OM	Data 1st (Any)									
Bit Order	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	4	3	2	1	0	R/W	1	0	7	6	5	4	3	2	1	0
MOSI	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	0	1	0								
MISO																									*	*	*	*	*	*	*	*

Data Phase								
Data 2nd (Any)								
Bit Order	7	6	5	4	3	2	1	0
MOSI								
MISO	*	*	*	*	*	*	*	*

Figure 18. 2 Bytes Data Read SPI Frame in FDM mode

4 Bytes READ Access

		Address Phase (Any)																Control Phase				Data Phase											
																		BSB (Any)				RWB	OM	Data 1st (Any)									
Bit Order		15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	4	3	2	1	0	R/W	1	0	7	6	5	4	3	2	1	0
MOSI		*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	0	1	1								
MISO																										*	*	*	*	*	*	*	

		Data Phase								Data Phase								Data Phase							
		Data 2nd (Any)								Data 3rd (Any)								Data 4th (Any)							
Bit Order		7	6	5	4	3	2	1	0	7	6	5	4	3	2	1	0	7	6	5	4	3	2	1	0
MOSI		*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*
MISO		*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*

Figure 19. 4 Bytes Data Read SPI Frame in FDM mode

3 Register and Memory Organization

W5500 은 1 개의 Common Register Block 과 8 개의 Socket Register Block 들, 각 Socket 에 할당된 TX, RX Buffer Block 들을 갖는다. 각 Block 들은 SPI Frame 의 BSB[4:0] (Block Select Bits)를 통해 선택된다.

Figure 20 은 BSB[4:0] 설정에 따라 선택되는 Block 들과, Common & Socket Register Block 과 Socket TX/RX Buffer Block 들의 사용 가능한 Offset Address Range(범위)를 보여준다. 각 Socket 에 할당된 8 개의 TX Buffer Block 은 물리적으로 1 개의 16K Bytes TX Memory 에 존재하고 각 Block 별로 초기값 2KBytes 씩 할당된다. 8 개의 RX Buffer Block 역시 물리적으로 1 개의 16K Bytes RX Memory 에 존재하고 각 Block 별로 초기값 2KBytes 씩 할당된다.

각 Socket 의 TX/RX Buffer Block 은 할당된 크기에 상관없이 독립적인 16 bits Offset Address Range (0x0000 ~ 0xFFFF) 내에서 Access 된다.

16 K Bytes TX/RX Memory 에 대한 구성 및 Access 방법은 'Chapter 3.3'를 참조하라.

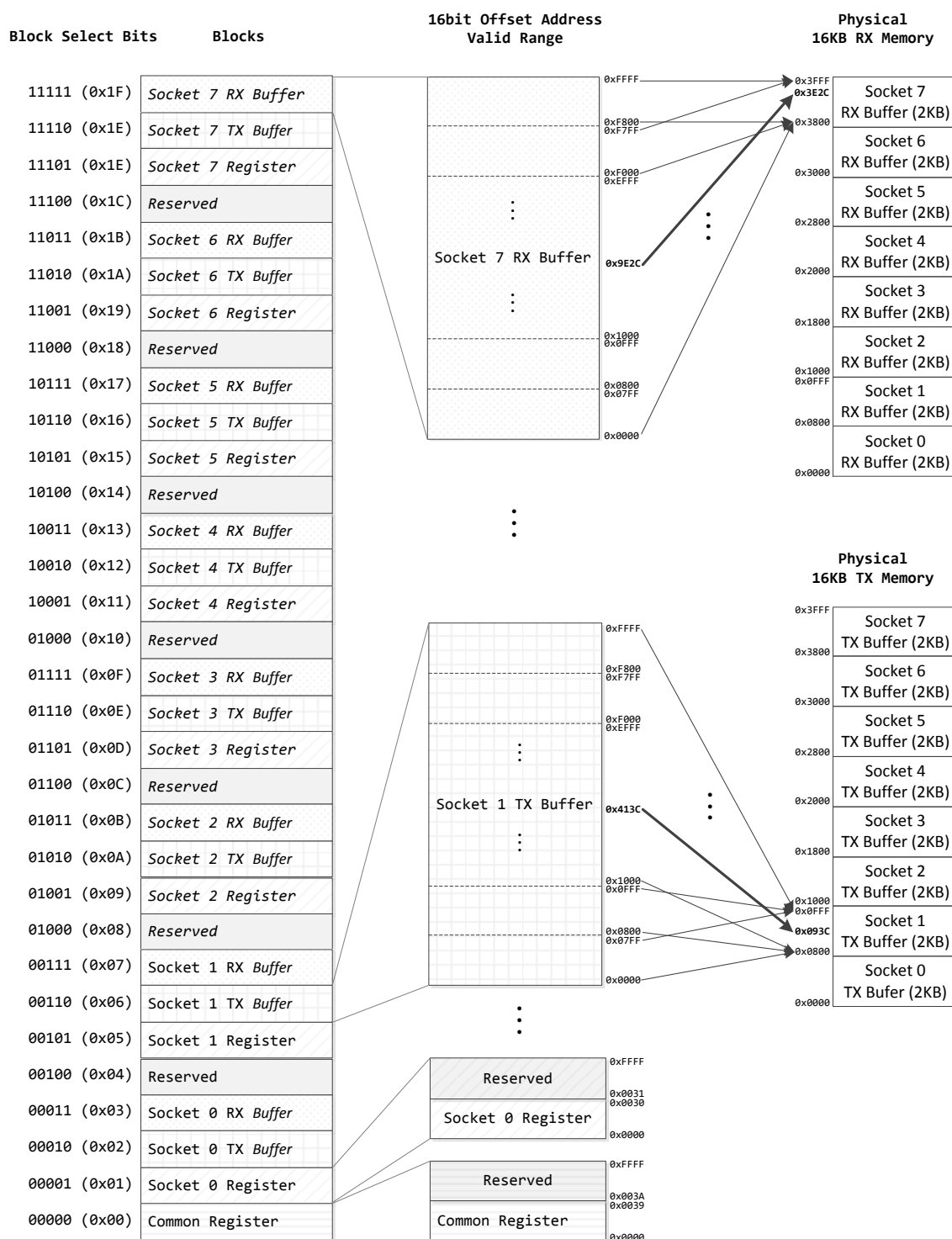


Figure 20. Register & Memory Organization

3.1 Common Register Block

Common Register Block 은 IP Address, MAC Address 와 같은 W5500 에 전반적으로 사용되는 정보를 설정하며, BSB[4:0] 값 '00000'으로 선택된다. Common Register Block 은 Table 3 에서 정의되는 Offset Address 를 갖는 Register 들로 구성된다. 각 Register 들의 세부 기능은 'Chapter 4.1'를 참조하라.

Table 3. Offset Address for Common Register

Offset	Register	Offset	Register	Offset	Register
0x0000	Mode (MR)	0x0013	Interrupt Low Level Timer (INTLEVEL0)	0x0021	(PHAR3)
0x0001	Gateway Address (GAR0)	0x0014	(INTLEVEL1)	0x0022	(PHAR4)
0x0002	(GAR1)	0x0015	Interrupt (IR)	0x0023	(PHAR5)
0x0003	(GAR2)	0x0016	Interrupt Mask (IMR)	0x0024	PPP Session Identification (PSID0)
0x0004	(GAR3)	0x0017	Socket Interrupt (SIR)	0x0025	(PSID1)
0x0005	Subnet Mask Address (SUBR0)	0x0018	Socket Interrupt Mask (SIMR)	0x0026	PPP Maximum Segment Size (PMRU0)
0x0006	(SUBR1)	0x0019	Retry Time (RTR0)	0x0027	(PMRU1)
0x0007	(SUBR2)	0x001A	(RTR1)	0x0028	Unreachable IP address (UIPR0)
0x0008	(SUBR3)	0x001B	Retry Count (RCR)	0x0029	(UIPR1)
0x0009	Source Hardware Address (SHAR0)	0x001C	PPP LCP Request Timer (PTIMER)	0x002A	(UIPR2)
0x000A	(SHAR1)	0x001D	PPP LCP Magic number (PMAGIC)	0x002B	(UIPR3)
0x000B	(SHAR2)	0x001E	PPP Destination MAC Address (PHAR0)	0x002C	Unreachable Port (UPORTR0)
0x000C	(SHAR3)	0x001F	(PHAR1)	0x002D	(UPORTR1)
0x000D	(SHAR4)	0x0020	(PHAR2)	0x002E	PHY Configuration (PHYCFGR)
0x000E	(SHAR5)			0x002F	Reserved
0x000F	Source IP Address (SIPR0)			~	
0x0010	(SIPR1)			0x0038	Chip version (VERSIONR)
0x0011	(SIPR2)				
0x0012	(SIPR3)			0x0039	
0x003A ~ 0xFFFF	Reserved				

3.2 Socket Register Block

W5500 은 8 개의 통신 Socket (Channel)을 지원한다. 각 Socket 은 Socket n Register Block ($0 \leq n \leq 7$)을 통해 제어된다. Socket n Register Block 의 n 값은 BSB[4:0] 에 의해 선택되며, Socket n Register Block 은 Table 4 에서 정의되는 Offset Address 를 갖는 Register 들로 구성된다. 각 Register 의 세부 기능은 ‘Chapter 4.2’ 를 참조하라.

Table 4. Offset Address in Socket n Register Block ($0 \leq n \leq 7$)

Offset	Register	Offset	Register	Offset	Register
0x0000	Socket n Mode (Sn_MR)	0x0010	Socket n Destination Port (Sn_DPORT0)	0x0024	Socket n TX Write Pointer
0x0001	Socket n Command (Sn_CR)	0x0011	(Sn_DPORT1)	0x0025	(Sn_TX_WR0) (Sn_TX_WR1)
0x0002	Socket n Interrupt (Sn_IR)	0x0012	Socket n Maximum Segment Size (Sn_MSSR0)	0x0026	Socket n RX Received Size
0x0003	Socket n Status (Sn_SR)	0x0013	(Sn_MSSR1)	0x0027	(Sn_RX_RSR0) (Sn_RX_RSR1)
0x0004	Socket n Source Port (Sn_PORT0)	0x0014	Reserved	0x0028	Socket n RX Read Pointer (Sn_RX_RD0)
0x0005	(Sn_PORT1)	0x0015	Socket n IP TOS (Sn_TOS)	0x0029	(Sn_RX_RD1)
0x0006	Socket n Destination Hardware Address (Sn_DHAR0)	0x0016	Socket n IP TTL (Sn_TTL)	0x002A	Socket n RX Write Pointer
0x0007	(Sn_DHAR1)	0x0017	Reserved	0x002B	(Sn_RX_WR0) (Sn_RX_WR1)
0x0008	(Sn_DHAR2)	0x001D	Reserved	0x002C	Socket n Interrupt Mask (Sn_IMR)
0x0009	(Sn_DHAR3)	0x001E	Socket n Receive Buffer Size (Sn_RXBUF_SIZE)	0x002D	Socket n Fragment Offset in IP header (Sn_FRAG0)
0x000A	(Sn_DHAR4)	0x001F	Socket n Transmit Buffer Size (Sn_TXBUF_SIZE)	0x002E	(Sn_FRAG1)
0x000B	(Sn_DHAR5)	0x0020	Socket n TX Free Size (Sn_TX_FSR0)	0x002F	Keep alive timer (Sn_KPALVTR)
0x000C	Socket n Destination IP Address (Sn_DIPR0)	0x0021	(Sn_TX_FSR1)	0x0030	Reserved
0x000D	(Sn_DIPR1)	0x0022	Socket n TX Read Pointer (Sn_TX_RD0)	~	
0x000E	(Sn_DIPR2)	0x0023	(Sn_TX_RD1)	0xFFFF	
0x000F	(Sn_DIPR3)				

3.3 Memory

W5500 은 Socket 의 TX Buffer 로 사용되는 1 개의 16K Bytes TX Memory 와 Socket 의 RX Buffer 로 사용되는 1 개의 16K Bytes RX Memory 가 있다.

16KB TX Memory 는 초기값 2K bytes 씩 8 개($2K \times 8 = 16KB$)의 Socket TX Buffer 로 할당된다. 초기 할당된 Socket n TX Buffer ($0 \leq n \leq 7$)는 ‘Socket n TX Buffer Size Register (Sn_TXBUF_SIZE)’를 이용하여 변경할 수 있다. 8 개의 Sn_TXBUF_SIZE 가 설정되면 Socket 0 TX Buffer 부터 우선적으로 16KB TX Memory 내에 설정된 Buffer 크기만큼 할당되고, 16KB TX Memory 에 실제 위치한 Socket n TX Buffer 의 Physical Address 도 (자동으로) 결정된다. 따라서, 8 개의 Sn_TXBUF_SIZE 총합이 16K Bytes 를 초과하지 않도록 주의해야 하며, 초과할 경우 Data 송신오류가 발생한다.

16KB RX Memory 도 역시 16KB TX Memory 와 동일한 방식으로 할당된다. 16KB RX Memory 는 초기값 2K Bytes 씩 8 개($2K \times 8 = 16KB$)의 Socket RX Buffer 로 할당된다. 초기 할당된 Socket n RX Buffer ($0 \leq n \leq 7$) 는 ‘Socket n RX Buffer Size Register (Sn_RXBUF_SIZE)’를 이용하여 변경할 수 있다. 8 개의 Sn_RXBUF_SIZE 가 설정되면 Socket 0 RX Buffer 부터 우선적으로 16KB RX Memory 내에 설정된 Buffer 크기만큼 할당되고, 16KB RX Memory 에 실제 위치한 Socket n RX Buffer 의 Physical Address 도 (자동으로) 결정된다. 따라서, 8 개의 Sn_RXBUF_SIZE 총합이 16K Bytes 를 초과하지 않도록 주의해야 하며, 초과할 경우 Data 수신에 오류가 발생한다. 16KB TX /RX Memory 할당 크기는 ‘Chapter 4.2’의 Sn_TXBUF_SIZE & Sn_RXBUF_SIZE 를 참고하라.

16KB TX Memory 에 위치한 Socket n TX Buffer Block 는 Host 가 Ethernet 을 통해 전송할 Data 를 저장하는 Buffer 이다. Socket n TX Buffer Block 의 16bits Offset Address 는 0x000 부터 0xFFFF 까지 64Kbytes 의 Address Space(Address 공간)을 가지며, ‘Socket n TX Write Pointer Register (Sn_TX_WR)’, ‘Socket n TX Read Pointer Register(Sn_TX_RD)’ 값을 참고하여 사용된다. 단, 이 16bits Offset Address 는 Figure 20 과 같이 자동으로 할당된 영역 내부를 가리키는 Address 로 변환되어 사용된다. Sn_TX_WR, Sn_TX_RD 에 대한 자세한 설명은 ‘Chapter 4.2’를 참조하라.

16KB RX Memory 에 위치한 Socket n RX Buffer Block 는 Ethernet 을 통해 수신된 Data 가 저장되는 Buffer 이다. Socket n RX Buffer Block 의 16bits Offset Address 는 0x000 부터 0xFFFF 까지 64Kbytes Address Space(Address 공간)을 가지며, ‘Socket n RX Read Pointer Register(Sn_RX_RD)’, ‘Socket n RX Write Pointer Register(Sn_RX_WR)’ 값을 참고하여 사용된다. 단, 이 16bits Offset Address 는 Figure 20 과 같이 자동으로 할당된 영역 내부를 가리키는 Address 로 변환되어 사용된다. Sn_RX_WR, Sn_RX_RD 에 대한 자세한 설명은 ‘Chapter 4.2’를 참조하라.

4 Register Descriptions

4.1 Common Registers

MR (Mode Register) [R/W] [0x0000] [0x00]²

MR 은 S/W reset, ping block mode, PPPoE mode 에 사용된다.

7	6	5	4	3	2	1	0
RST		WOL	PB	PPPoE		FARP	

Bit	Symbol	Description
7	RST	S/W Reset 이 Bit 가 ‘1’인 경우 내부 register 는 초기화 되고 reset 후에 자동으로 clear 된다.
6	Reserved	Reserved
5	WOL	Wake on LAN 이 bit 가 ‘1’인 경우 WOL 모드로 설정이 된다. WOL 모드에서는 Magic Packet over UDP 을 수신하여 Magic Packet 의 수신처리가 정상적으로 완료되면 Interrupt Pin (INTn)이 ‘0’이 된다. 이때, UDP 수신처리를 위해 임의의 Source port number 를 가지는 UDP 소켓의 OPEN 이 반드시 필요하다. (소켓 OPEN 에 관한 자세한 내용은 ‘Socket n Mode Register’ 를 참조하라.) Notice: W5500은 WOL을 위해 Magic Packet over UDP를 지원한다. 즉, Magic Packet over UDP는 UDP Payload에 6 Bytes의 Synchronization Stream (0xFFFFFFFFFFFF), Target MAC Address의 16 번의 반복으로 구성되며, Password와 같은 옵션필드들은 무시된다. W5500에서 사용하는 Magic Packet over UDP는 source port Number의 제한이 없다.
4	PB	Ping Block Mode 0 : Disable Ping block 1 : Enable Ping block 이 bit 가 ‘1’인 경우 Ping request 에 대한 response 를 하지 않는다.
3	PPPoE	PPPoE Mode 0 : DisablePPPoE mode 1 : EnablePPPoE mode 사용자가 ADSL 을 사용하고자 한다면, 이 Bit 를 ‘1’ 로 설정하여 사용한다.
2	-	Reserved
1	FARP	Force ARP

² Register Notation : [Read/Write/ReadClearWrite1] [Address] [Reset value];
ReadClearWrite1 (RCW1) Software can read as well as clear this bit by writing 1. Writing ‘0’ has no effect on the bit value.

		0 : Disable Force ARP mode 1 : Enable Force ARP mode Datat 가 전송될 때마다 강제로 ARP 를 실행하고자 한다면, 이 Bit 를 '1'로 설정하여 사용한다.
0	-	Reserved

GAR (Gateway IP Address Register) [R/W] [0x0001 - 0x0004] [0x00]

GAR 은 default gateway address 를 설정할 때 사용한다.

Ex) In case of "192.168.0.1"

0x0001	0x0002	0x0003	0x0004
192 (0xC0)	168 (0xA8)	0 (0x00)	1 (0x01)

SUBR (Subnet Mask Register) [R/W] [0x0005 - 0x0008] [0x00]

SUBR 은 subnet Mask address 를 설정할 때 사용한다.

Ex) In case of "255.255.255.0"

0x0005	0x0006	0x0007	0x0008
255 (0xFF)	255 (0xFF)	255 (0xFF)	0 (0x00)

SHAR (Source Hardware Address Register) [R/W] [0x0009 - 0x000E] [0x00]

SHAR 은 Source Hardware address 를 설정할 때 사용한다.

Ex) In case of "00.08.DC.01.02.03"

0x0009	0x000A	0x000B	0x000C	0x000D	0x000E
0x00	0x08	0xDC	0x01	0x02	0x03

SIPR (Source IP Address Register) [R/W] [0x000F - 0x0012] [0x00]

SIPR 은 Source IP address 를 설정할 때 사용한다.

Ex) In case of "192.168.0.2"

0x000F	0x0010	0x0011	0x0012
192 (0xC0)	168 (0xA8)	0 (0x00)	2 (0x02)

INTLEVEL (Interrupt Low Level Timer Register) [R/W] [0x0013 - 0x0014] [0x0000]

INTLEVEL register 는 Interrupt Assert wait time(I_{AWT})을 설정한다. 다음 Interrupt 가 발생했을 때 설정한 시간(I_{AWT})만큼 기다린 다음 칩 내부의 INTn 신호를 Low 로 assert 한다.

$$I_{AWT} = (INTLEVEL + 1) \times \frac{1}{PLL_{clk}^3} \times 4 \quad (\text{when } INTLEVEL > 0)$$

수식 1 Interrupt Assert wait time

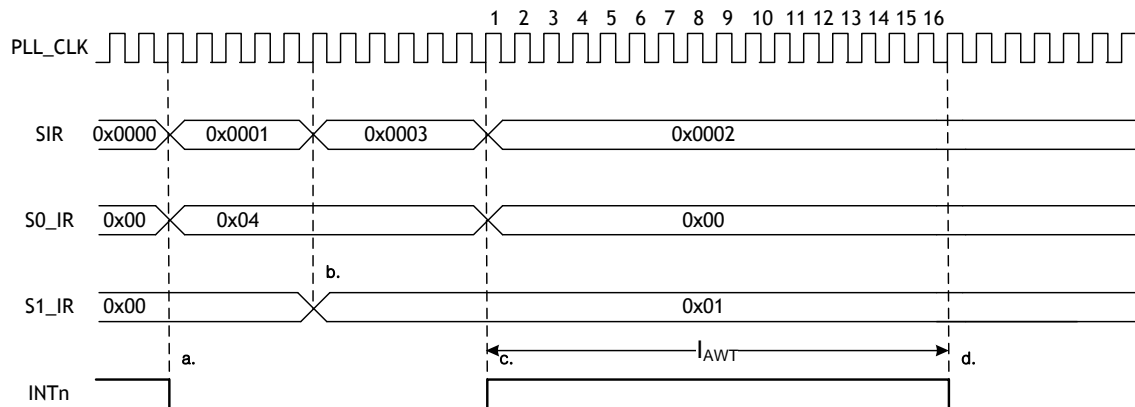


Figure 21. INTLEVEL Timing

Socket 0 에서 Timeout Interrupt 가 발생하면 S0_IR(3) = 1 이 되고 해당 SIR(0)도 1 로 set 되며 INTn 신호는 Low 로 된다. 연속해서 socket1 에서 Connect Interrupt 가 발생하면 S1_IR(0) = 1 이 되고 해당 SIR(1)도 1 로 set 된다.

MCU 는 S0_IR 을 clear(S0_IR = 0x00) 하고 해당 SIR(0) 또한 clear 한다. 칩 내부의 INTn 신호는 High 로 된다. 여기서 S0_IR 이 clear 되었지만, socket1 Interrupt 때문에 SIR 의 값은 0x00 이 아니다. 따라서 칩 내부의 INTn 신호는 Low 로 되어야 한다. 이 때 INTLEVEL register 의 값이 0x0004 라면 칩 내부의 INTn 신호는 I_{AWT} (16 PLL_CLK) time 후에 Low 로 된다.

³ PLL_{clk} is 150MHz

IR (Interrupt Register) [R/W] [0x0015] [0x00]

IR 은 Interrupt 상태 값을 가진다. 각 비트의 값은 해당 비트에 '1'을 쓰기 전까지 유지된다.

7	6	5	4	3	2	1	0
CONFLICT	UNREACH	PPPoE	MP	Reserved	Reserved	Reserved	Reserved

Bit	Symbol	Description
7	CONFLICT	IP Conflict ARP 요청에 Source IP address 와 같은 IP address 응답이 있는 경우, 이 Bit 는 '1'로 설정된다.
6	UNREACH	Destination unreachable W5500 이 ICMP (Destination port unreachable) Packet 을 수신 하는 경우 '1'로 설정된다. 이때, UIPR 과 UPORTR 을 Read 하여 Destination IP address 와 Destination Port 를 확인 할 수 있다.
5	PPPoE	PPPoE Connection Close PPPoE mode 에서 이 Bit 가 '1'인 경우는 PPPoE 연결이 종료되었음을 나타낸다.
4	MP	Magic Packet WOL mode 에서 이 Bit 가 '1'인 경우 Magic Packet 를 수신한 것을 나타낸다.
3-0	Reserved	Reserved

IMR(Interrupt Mask Register) [R/W][0x0016][0x00]

각 Interrupt Mask Bit 는 Interrupt register (IR)의 Bit 와 같다. Interrupt Mask Bit 가 ‘1’로 설정되어 있는 경우, IR 의 해당 Bit 가 ‘1’로 설정 되었을 때 Interrupt 가 발생한다. IMR 의 비트가 ‘0’으로 설정되어 있다면, IR 의 해당 Bit 가 ‘1’로 설정되더라도 Interrupt 는 발생하지 않는다.

7	6	5	4	3	2	1	0
IM_IR7	IM_IR6	IM_IR5	IM_IR4	Reserved	Reserved	Reserved	Reserved

Bit	Symbol	Description
7	IM_IR7	IP Conflict Interrupt Mask 0: Disable IP Conflict Interrupt 1: Enable IP Conflict Interrupt
6	IM_IR6	Destination unreachable Interrupt Mask 0: Disable Destination unreachable Interrupt 1: Enable Destination unreachable Interrupt
5	IM_IR5	PPPoE Close Interrupt Mask 0: Disable PPPoE Close Interrupt 1: Enable PPPoE Close Interrupt
4	IM_IR4	Magic Packet Interrupt Mask 0: Disable Magic Packet Interrupt 1: Enable Magic Packet Interrupt
3~0	Reserved	Reserved

SIR(Socket Interrupt Register) [R/W] [0x0017] [0x00]

SIR 는 Socket Interrupt 의 발생 여부를 알려준다. 즉, Socket Interrupt 가 발생하는 경우, SIR 의 해당 Bit 가 ‘1’로 설정된다. 이 값은 Sn_IR 값이 0x00 으로 clear 될 때까지 유지된다.

7	6	5	4	3	2	1	0
S7_INT	S6_INT	S5_INT	S4_INT	S3_INT	S2_INT	S1_INT	S0_INT

Bit	Symbol	Description
7 ~ 0	Sn_INT	Socket n 에서 Interrupt 가 발생한 경우, 해당 Bit 는 ‘1’로 설정된다.

SIMR (Socket Interrupt Mask Register) [R/W] [0x0018] [0x00]

각 Socket Interrupt Mask Bit 는 Socket Interrupt Register (SIR)의 Bit 와 같다. Interrupt Mask Bit 가 ‘1’로 설정되어있다면, SIR 의 해당 Bit 가 set 되었을 때 Interrupt 가 발생한다. SIMR 이 ‘0’으로 설정되어 있다면, SIR 의 해당 Bit 가 ‘1’로 설정되더라도 Interrupt 는 발생하지 않는다.

7	6	5	4	3	2	1	0
S7_IMR	S6_IMR	S5_IMR	S4_IMR	S3_IMR	S2_IMR	S1_IMR	S0_IMR

Bit	Symbol	Description
7 ~ 0	Sn_IMR	Socket n(Sn_INT) Interrupt Mask 0: Disable Socket n Interrupt 1: Enable Socket n Interrupt

RTR (Retry Time-value Register) [R/W] [0x0019 - 0x001A] [0x07D0]

RTR 은 timeout 주기를 설정한다. 이 register 에서 1 값이 갖는 의미는 100us 와 같다. Default timeout 은 2000 (0x07D0) 즉, 200ms 이다.

이 값은 CONNECT, DISCON, CLOSE, SEND, SEND_MAC, SEND_KEEP command 이후에 상대방의 응답이 있는지 판단하는 시간으로 사용되며, 그 결과로 재전송이나 Timeout 이 발생하게 된다.

Ex) When timeout-period is set as 400ms, $RTR = (400ms / 1ms) \times 10 = 4000(0x0FA0)$

0x0019	0x001A
0x0F	0xA0

RCR (Retry Count Register) [R/W] [0x001B] [0x08]

RCR 은 재전송 횟수를 설정한다. 재전송 횟수가 이 값 이상으로 발생하는 경우, Timeout Interrupt 가 발생한다.

Ex) RCR = 0x0007

0x001B
0x07

W5500 에서의 Timeout 은 RTR 과 RCR 로 Data 재전송의 시간과 횟수를 설정할 수 있다. W5500 의 Timeout 에 대해 좀더 살펴 보면, ARP retransmission timeout 과 TCP retransmission timeout 의 2 가지가 있다.

먼저 ARP(“RFC 826” 참조, <http://www.ietf.org/rfc.html>) retransmission timeout 살펴보면, W5500 은 IP, UDP, TCP 를 이용한 통신시 상대방의 IP address 로 MAC address 를 알기 위해 자동으로 ARP-request 를 전송한다. 이때 상대방의 ARP-response 수신을 기다리는데, RTR 의 설정 대기 시간 동안 ARP-response 의 수신 없으면, Timeout 이 발생하고 ARP-request 를 Retransmission 한다. 이와 같은 작업은 ‘RCR + 1’만큼 반복하게 된다.

‘RCR + 1’개의 ARP-request retransmission 이 일어나고, 그에 대한 ARP-response 가 없다면, Final timeout 이 발생하게 되고, Sn_IR(TIMEOUT) = ‘1’ 된다.

ARP-request 의 Final timeout(ARP_{TO}) 값은 다음과 같다.

$$ARP_{TO} = (RTR \times 0.1ms) \times (RCR + 1)$$

TCP packet retransmission timeout 을 살펴보면, W5500 은 TCP packet (SYN, FIN, RST, Data packet)을 전송하고 그에 대한 Acknowledgment(ACK)을 RTR 과 RCR 에 의해 설정된 대기 시간 동안 기다리게 된다. 이때 상대방으로부터 ACK 가 없으면

Timeout 이 발생하고 이전에 보냈던 TCP packet 을 Retransmission 한다. 이와 같은 작업은 'RCR + 1'만큼 반복하게 된다.

'RCR + 1'개의 TCP packet retransmission 이 일어나고, 그에 대한 ACK 수신 없다면, Final timeout 이 발생하게 되고, Sn_IR(TIMEOUT) = '1'과 동시에 Sn_SR 이 'SOCK_CLOSED'로 변경된다. TCP packet retransmission 의 Final timeout(TCP_{TO}) 값은 다음과 같다.

$$TCP_{TO} = \left(\sum_{N=0}^M (RTR \times 2^N) + ((RCR - M) \times RTR_{MAX}) \right) \times 0.1ms$$

N : Retransmission count, $0 \leq N \leq M$

M : Minimum value when $RTR \times 2^{(M+1)} > 65535$ and $0 \leq M \leq RCR$

RTRMAX : $RTR \times 2^M$

Ex) When RTR = 2000(0x07D0), RCR = 8(0x0008),

ARP_{TO} = 2000 X 0.1ms X 9 = 1800ms = 1.8s

TCP_{TO} = (0x07D0+0x0FA0+0x1F40+0x3E80+0x7D00+0xFA00+0xFA00+0xFA00+0xFA00) X 0.1ms
 = (2000 + 4000 + 8000 + 16000 + 32000 + ((8 - 4) X 64000)) X 0.1ms
 = 318000 X 0.1ms = 31.8s

PTIMER (PPP Link Control Protocol Request Timer Register) [R/W] [0x001C] [0x0028]

PTIMER 은 LCP echo request 를 보내는 지속시간을 나타낸다. 1 의 값은 25ms 를 의미한다.

Ex) in case that PTIMER is 200,

200 * 25(ms) = 5000(ms) = 5 seconds

PMAGIC (PPP Link Control Protocol Magic number Register) [R/W] [0x001D] [0x00]

PMAGIC 은 LCP negotiation 도중에 사용될 4byte Magic number 의 값을 설정한다.

Ex) PMAGIC = 0x01

0x001D

0x01

LCP Magic number = 0x01010101

PHAR (Destination Hardware Address Register in PPPoE mode)

[R/W] [0x001E-0x0023] [0x0000]

W5500 의 PPPoE 과정에서 획득한 PPPoE Server 의 Hardware address 를 설정한다.

Ex) In case that destination hardware address is 00:08:DC:12:34:56

0x001E	0x001F	0x0020	0x0021	0x0022	0x0023
0x00	0x08	0xDC	0x12	0x34	0x56

PSID (Session ID Register in PPPoE mode) [R/W] [0x0024-0x0025] [0x0000]

W5500 의 PPPoE 과정에서 획득한 PPPoE Server 의 Session ID 를 설정한다.

Ex) In case that Session ID is 0x1234

0x0024	0025
18 (0x12)	52 (0x34)

PMRU (Maximum Receive Unit in PPPoE mode) [R/W] [0x0026-0x0027] [0xFFFF]

W5500 의 PPPoE 과정에서 Maximum Receive unit 를 설정한다.

Ex) in case that maximum receive unit in PPPoE is 0x1234

0x0026	0027
18 (0x12)	52 (0x34)

UIPR (Unreachable IP Address Register) [R] [0x0028-0x002B] [0x00000000]

UPORTR (Unreachable Port Register) [R] [0x002C-0x002D] [0x0000]

Socket 이 Open 되어 있지 않은 Destination port number 로 UDP Data 전송을 시도할 경우 W5500 은 ICMP(Destination port unreachable) packet 를 수신한다.

이 경우 IR(UNREACH) = '1'이 되고, 수신된 ICMP packet 의 Destinaton IP address 와 Unreachable port number 는 각각 UIPR 와 UPORTR 을 통해 알 수 있다.

Ex) In case of "192.168.0.11"

0x0028	0x0029	0x002A	0x002B
192 (0xC0)	168 (0xA8)	0 (0x00)	11 (0x0E)

Ex) In case of "0x1234"

0x002C	002D
18 (0x12)	52(0x34)

PHYCFGR (W5500 PHY Configuration Register) [R/W] [0x002E] [0b10111XXX]

PHYCFGR 를 이용하여 PHY Operation Mode 와 PHY Reset 을 설정 및 PHY 의 Duplex, Speed, Link 의 상태를 확인 할 수 있다.

Bit	Symbol	Description																																				
7	RST	Reset [R/W] 이 Bit 가 '0'로 설정되면 W5500 내부 PHY(Internal PHY)의 Reset 을 수행한다.																																				
6	OPMD	Configure PHY Operation Mode 1: Configure with OPMDC[2:0] in PHYCFGR 0: Configure with the H/W PINs(PMODE[2:0]) PHY Operation Mode 를 OPMDC[2:0] Bits 나 PMODE[2:0] PINs 을 이용하여 설정한다. System Reset 시, PHY 는 H/W PINs PMODE[2:0]에 의해 Operation Mode 가 설정되나, 이 bit 와 OPMDC[2:0] bits 를 이용하여 재설정될 수 있다. OPMDC[2:0]를 이용하고자 할 경우 반드시 이 Bit 를 1 로 설정한 후 PHYCFGR 의 RST bit 를 '0'으로 설정하여 PHY 를 Reset 한다.																																				
5~3	OPMDC	Operation Mode Configuration Bit[R/W] PHY 의 네트워크 모드를 설정하는 Bit 로 자세한 내용은 아래의 표를 참조한다 <table><tr><td>5</td><td>4</td><td>3</td><td>Description</td></tr><tr><td>0</td><td>0</td><td>0</td><td>10BT Half-duplex, Auto-negotiation disabled</td></tr><tr><td>0</td><td>0</td><td>1</td><td>10BT Full-duplex, Auto-negotiation disabled</td></tr><tr><td>0</td><td>1</td><td>0</td><td>100BT Half-duplex, Auto-negotiation disabled</td></tr><tr><td>0</td><td>1</td><td>1</td><td>100BT Full-duplex, Auto-negotiation disabled</td></tr><tr><td>1</td><td>0</td><td>0</td><td>100BT Half-duplex, Auto-negotiation enabled</td></tr><tr><td>1</td><td>0</td><td>1</td><td>Not used</td></tr><tr><td>1</td><td>1</td><td>0</td><td>Power Down mode</td></tr><tr><td>1</td><td>1</td><td>1</td><td>All capable, Auto-negotiation enabled</td></tr></table>	5	4	3	Description	0	0	0	10BT Half-duplex, Auto-negotiation disabled	0	0	1	10BT Full-duplex, Auto-negotiation disabled	0	1	0	100BT Half-duplex, Auto-negotiation disabled	0	1	1	100BT Full-duplex, Auto-negotiation disabled	1	0	0	100BT Half-duplex, Auto-negotiation enabled	1	0	1	Not used	1	1	0	Power Down mode	1	1	1	All capable, Auto-negotiation enabled
5	4	3	Description																																			
0	0	0	10BT Half-duplex, Auto-negotiation disabled																																			
0	0	1	10BT Full-duplex, Auto-negotiation disabled																																			
0	1	0	100BT Half-duplex, Auto-negotiation disabled																																			
0	1	1	100BT Full-duplex, Auto-negotiation disabled																																			
1	0	0	100BT Half-duplex, Auto-negotiation enabled																																			
1	0	1	Not used																																			
1	1	0	Power Down mode																																			
1	1	1	All capable, Auto-negotiation enabled																																			
2	DPX	Duplex Status [Read Only] 1: Full duplex 0: Half duplex																																				
1	SPD	Speed Status [Read Only] 1: 100Mbps based 0: 10Mbps based																																				
0	LNK	Link Status [Read Only] 1: Link up 0: Link down																																				

VERSIONR (W5500 Chip Version Register) [R] [0x0039] [0x04]

VERSIONR 은 W5500 chip version 을 나타내는 register 이며, Value 로 0x04 를 갖는다.

4.2 Socket Registers

Sn⁴_MR (Socket n Mode Register) [R/W] [0x0000] [0x00]

Sn_MR 은 Socket n 의 option 이나 protocol type 등을 설정한다.

7	6	5	4	3	2	1	0
MULTI/ MFEN	BCASTB	ND / MC /MMB	UCASTB MIP6B	P3	P2	P1	P0

Bit	Symbol	Description
7	MULTI/ MFEN	Multicasting in UDP mode 0 : disable Multicasting 1 : enable Multicasting 이 Bit 는 UDP(P[3:0]='0010')일 경우에만 유효하다. Multicasting 을 사용하기 위해 OPEN command 이전에 Socket n destination IP 와 port register 에 각각 multicast group address 와 port number 를 write 한다. MAC Filter Enable in MACRAW mode 0 : disable MAC Filtering 1 : enable MAC Filtering 이 Bit 는 MACRAW(P[3:0]='0100')일 경우에만 유효하다. '1'로 설정될 경우, W5500 은 Broadcasting packet 이나 자신에게 전송되는 Packet 만을 수신하게 된다. '0'으로 설정될 경우, W5500 은 Ethernet 상의 모든 Packet 을 수신하게 된다. Hybrid TCP/IP stack 을 구현하고자 하는 경우, Host 의 수신 Overhead 를 감소시키기 위해 이 Bit 를 '1'로 설정할 것을 권장한다.
6	BCASTB	Broadcast Blocking in MACRAW and UDP mode 0 : disable Broadcast Blocking 1 : enable Broadcast Blocking UDP Mode(P[3:0]='0010') 경우에 Broadcast Packet 을 Blocking 하기위해 이 Bit 는 '1'로 설정한다. 또한, MACRAW mode(P[3:0]='0100')일 경우에도 Broadcast packet 을 수신하지 않기 위해 이 Bit 는 '1'로 설정한다.
5	ND/MC/ MMB	Use No Delayed ACK 0 : Disable No Delayed ACK option 1 : Enable No Delayed ACK option, 이 기능은 TCP 의 경우에만 적용됨 (P[3:0]= '0001')

⁴n is Socket number (0, 1, 2, 3, 4, 5, 6, 7). n is set 'SNUM[2:0]' in Control Bits sets.

		<p>만약 이 Bit 가 ‘1’로 set 되어있다면 peer로부터 DATA packet 을 수신한 다음 곧바로 ACK packet 이 전송될 것이다. 만약 이 Bit 가 ‘0’이라면 ACK packet 은 내부 timeout 메커니즘에 따라 전송된다.</p> <p>Multicast 0 : using IGMP version 2 1 : using IGMP version 1</p> <p>이 Bit 는 MULTI Bit 가 enable 상태이고 UDP 모드일 때 유효함 (P3-P0: ‘0010’) 추가적으로 multicast 는 IGMP message 에 Join/Leave/Report 와 같은 version number 를 Multicast group 으로 보낸다.</p> <p>Multicast Blocking in MACRAW mode 0 : disable Multicast Blocking 1 : enable Multicast Blocking</p> <p>이 Bit 는 ‘1’일 때 Multicast MAC 의 Packet 의 수신을 Blocking 하며, MACRAW 모드일 경우에만 유효함 (P[3:0]= ‘0100’)</p>																									
4	UCASTB MIP6B	<p>UNICAST Blocking in UDP mode 0 : disable Unicast Blocking 1 : enable Unicast Blocking</p> <p>UDP Mode(P[3:0]=‘0010’)이면서 Multicating(Sn_MR[7]=‘1’)기능을 사용할 경우에 Unicast Packet 을 Blocking 하기위해 이 Bit 를 ‘1’로 설정한다.</p> <p>IPv6 packet Blocking in MACRAW mode 0 : disable IPv6 Blocking 1 : enable IPv6 Blocking</p> <p>이 Bit 는 ‘1’일 때 IPv6 Packet 의 수신을 Blocking 하며, MACRAW 모드일 경우에만 유효함 (P[3:0]=‘0100’)</p>																									
3	P3	<p>Protocol 해당 Socket 의 TCP, UDP 의 protocol 을 설정한다.</p> <table><tr><th>P3</th><th>P2</th><th>P1</th><th>P0</th><th>Meaning</th></tr><tr><td>0</td><td>0</td><td>0</td><td>0</td><td>Closed</td></tr><tr><td>0</td><td>0</td><td>0</td><td>1</td><td>TCP</td></tr><tr><td>0</td><td>0</td><td>1</td><td>0</td><td>UDP</td></tr><tr><td>0</td><td>1</td><td>0</td><td>0</td><td>MACRAW</td></tr></table> <p>* SO_MR_MACRAW 는 Socket 0 에만 쓸 수 있다.</p>	P3	P2	P1	P0	Meaning	0	0	0	0	Closed	0	0	0	1	TCP	0	0	1	0	UDP	0	1	0	0	MACRAW
P3	P2		P1	P0	Meaning																						
0	0		0	0	Closed																						
0	0		0	1	TCP																						
0	0		1	0	UDP																						
0	1	0	0	MACRAW																							
2	P2																										
1	P1																										
0	P0																										

Sn_CR (Socket n Command Register) [R/W] [0x0001] [0x00]

Sn_CR 은 OPEN, CLOSE, CONNECT, LISTEN, SEND, RECV 와 같은 Socket n 의 Command 을 설정하는데 사용한다. W5500 이 Command 을 인식하면 Sn_CR 을 자동으로 clear 한다. Sn_CR 이 0x00 으로 clear 되었더라도, 해당 Command 은 여전히 처리 중 일 수 있다. Sn_CR 의 Command 처리가 완료되었는지는 Sn_IR 이나 Sn_SR 을 확인하면 된다.

Value	Symbol	Description										
0x01	OPEN	<p>Socket n 은 초기화 되고 ‘Sn_MR P[3:0]’로 선택한 protocol 에 따라 open 된다. Sn_MR 에 따른 Sn_SR 은 다음과 같다.</p> <table><tr><th>Sn_MR (P[3:0])</th><th>Sn_SR</th></tr><tr><td>Sn_MR_CLOSE (‘0000’)</td><td>-</td></tr><tr><td>Sn_MR_TCP (‘0001’)</td><td>SOCK_INIT (0x13)</td></tr><tr><td>Sn_MR_UDP (‘0010’)</td><td>SOCK_UDP (0x22)</td></tr><tr><td>SO_MR_MACRAW (‘0100’)</td><td>SOCK_MACRAW (0x42)</td></tr></table>	Sn_MR (P[3:0])	Sn_SR	Sn_MR_CLOSE (‘0000’)	-	Sn_MR_TCP (‘0001’)	SOCK_INIT (0x13)	Sn_MR_UDP (‘0010’)	SOCK_UDP (0x22)	SO_MR_MACRAW (‘0100’)	SOCK_MACRAW (0x42)
Sn_MR (P[3:0])	Sn_SR											
Sn_MR_CLOSE (‘0000’)	-											
Sn_MR_TCP (‘0001’)	SOCK_INIT (0x13)											
Sn_MR_UDP (‘0010’)	SOCK_UDP (0x22)											
SO_MR_MACRAW (‘0100’)	SOCK_MACRAW (0x42)											
0x02	LISTEN	<p>LISTEN 은 TCP mode (Sn_MR P[3:0]= Sn_MR_TCP)에서만 유효하다 이 모드에서, Socket n 은 ‘TCP CLIENT’로부터 connection-request (SYN packet)을 기다리는 TCP server 로 설정된다. 이 경우 Sn_SR 의 상태는 SOCK_INIT 에서 SOCK_LISTEN 으로 바뀐다.</p> <p>Client 의 connection-request 가 성공적으로 established 되면 Sn_SR 의 상태는 SOCK_LISTEN 에서 SOCK_ESTABLISHED 로 변하고 Sn_IR(0)은 ‘1’로 된다. 반면에 connection failure (SYN/ACK packet 전송 실패)의 경우 Sn_IR(3)은 ‘1’로 set 되고 Sn_SR 의 상태는 SOCK_CLOSED 로 변한다.</p>										
0x04	CONNECT	<p>CONNECT 는 TCP mode(Sn_MR P[3:0]=Sn_MR_TCP)에서만 유효하고 Socket n 이 ‘TCP CLIENT’로 동작할 경우 사용된다.</p> <p>CONNECT 는 Sn_DIPR 와 Sn_DPORT 로 설정된 ‘TCP SERVER’에게 Connect-request(SYN packet)를 전송한다. Connect-request 가 성공했을 경우(SYN/ACK packet 을 수신했을 경우), Sn_IR(0)=‘1’로 되고 Sn_SR 은 SOCK_ESTABLISHED 로 변경된다.</p> <p>Connect-request 가 실패했을 경우는 다음과 같이 3 가지가 있다.</p> <ul style="list-style-type: none">- ARP-process 를 통해 Destination hardware address 를 얻지 못하여 ARP_{T0}가 발생(Sn_IR(3)=‘1’)한 경우- SYN/ACK packet 를 수신 못하고 TCP_{T0}가 발생(Sn_IR(3)= ‘1’)한 경우- SYN/ACK packet 대신 RST packet 을 수신했을 경우.										

		위와 같은 경우 Sn_SR 은 SOCK_CLOSED 상태로 바뀐다.
0x08	DISCON	<p>DISCON 은 TCP mode 일 때만 유효하다.</p> <p>W5500 은 'TCP SERVER'와 'TCP CLIENT'에 상관없이, 접속중인 상대방에게 Disconnect-request(FIN packet)를 전송하거나(Active close), 상대방으로부터 Disconnect-request(FIN packet)을 수신했을 때(Passive close), W5500 은 FIN packet 을 전송한다. (Disconnect-process)</p> <p>Disconnect-request 가 성공했다면(FIN/ACK packet 을 수신했을 경우), Sn_SR 은 SOCK_CLOSED 로 변경된다. 그러나 Disconnect-request 가 실패했다면, TCP_{TO} 가 발생(Sn_IR(3)= '1')하고 Sn_SR 은 SOCK_CLOSED 로 변경된다.</p> <p>cf> DISCON 대신 CLOSE 를 사용할 경우, Disconnect-process (disconnect-request 전송) 없이, 단지 Sn_SR 만 SOCK_CLOSED 로 변경된다. 그리고 통신 중 상대방으로부터 RST packet 을 수신할 경우, 무조건 Sn_SR 은 SOCK_CLOSED 로 변경된다.</p>
0x10	CLOSE	<p>Socket n 을 close 한다.</p> <p>이 때 Sn_SR 은 SOCK_CLOSED 로 변경된다.</p>
0x20	SEND	<p>SEND 는 Socket n TX Buffer Block 에 저장되어 있는 Data 를 전송하려는 크기만큼 전송한다.</p> <p>자세한 사항은 'Socket n TX Free Size Register (Sn_TX_FSR)', 'Socket n TX Write Pointer Register (Sn_TX_WR)', 'Socket n TX Read Pointer Register(Sn_TX_RD)'를 참고하라.</p>
0x21	SEND_MAC	<p>SEND_MAC 은 UDP mode 일 때만 유효하다.</p> <p>기본동작은 SEND 와 같다. SEND 는 자동으로 ARP-process 를 통해 Destination hardware address 를 얻은 후 Data 를 전송하는 반면, SEND_MAC 은 Host 가 설정한 Sn_DHAR 을 Destination hardware address 로 하여 Data 를 전송한다.</p>
0x22	SEND_KEEP	<p>SEND_KEEP 은 TCP mode 일 때만 유효하다.</p> <p>Keep alive packet 을 송신하여 connection 이 유효한지 확인한다. 만약 상대방이 더 이상 응답이 없어서 connection 이 유효하지 않은 경우 connection 을 종료한다. Timeout Interrupt 가 발생한다.</p>
0x40	RECV	<p>RECV 는 'RX read pointer register (Sn_RX_RD)'를 이용해서 Socket n RX Buffer 에 저장된 수신 Data 의 Read 를 완료한다.</p> <p>자세한 사항은 'Socket n RX Received Size Register (Sn_RX_RSR,)', 'Socket n RX Write Pointer Register(Sn_RX_WR,)', 과 'Socket n RX Read Pointer Register(Sn_RX_RD,)'를 참고하라.</p>

Sn_IR (Socket n Interrupt Register) [RCW1] [0x0002] [0x00]

Sn_IR register 는 Socket n 의 Interrupt (establishment, termination, receiving Data, timeout) type 과 같은 정보를 제공한다. Interrupt 가 발생하고 Sn_IMR 의 해당 Mask Bit 가 '1'인 경우 Sn_IR 의 Interrupt Bit 는 '1'로 된다. Sn_IR Bit 를 clear 하기 위해서는, 해당 Bit 에 다시 '1'을 write 해야 한다.

7	6	5	4	3	2	1	0
Reserved	Reserved	Reserved	SEND_OK	TIMEOUT	RECV	DISCON	CON

Bit	Symbol	Description
7-5	Reserved	Reserved
4	SEND_OK	Sn_IR(SENDOK) Interrupt SEND OK Interrupt, SEND command 이 완료되면 발생한다.
3	TIMEOUT	Sn_IR(TIMEOUT) Interrupt TIMEOUT Interrupt, ARP _{TO} 혹은 TCP _{TO} 가 발생한 경우 발생한다.
2	RECV	Sn_IR(RECV) Interrupt Receive Interrupt, peer 로부터 Data packet 이 수신된 경우 발생한다.
1	DISCON	Sn_IR(DISCON) Interrupt Disconnect Interrupt, peer 로 부터 FIN packet 이나 FIN/ACK packet 을 수신한 경우 발생한다.
0	CON	Sn_IR(CON) Interrupt Connect Interrupt, peer 와 연결이 성립되어 Socket status 가 established 로 바뀔 때 1 번 발생한다.

Sn_SR (Socket n Status Register) [R] [0x0003] [0x00]

Sn_SR 은 Socket n 의 Socket 상태를 알려준다. Socket status 는 Sn_CR 의 Command 나, packet 송수신중에 변경될 수 있다.

Value	Symbol	Description
0x00	SOCK_CLOSED	Socket n 의 resource 가 release 된 상태. DISCON, CLOSE command 가 수행되거나 ARP _{TO} , TCP _{TO} 가 발생했을 경우 이전 값에 관계없이 이 상태로 변한다.
0x13	SOCK_INIT	Socket n 이 TCP mode 로 open 된 상태. 'Sn_MR P[3:0]= Sn_MR_TCP'이고 OPEN command 을 사용했을 때, Sn_SR 의 상태는 SOCK_INIT 으로 변한다. LISTEN 과 CONNECT command 을 사용할 수 있다.
0x14	SOCK_LISTEN	Socket n 이 TCP server mode 로 동작하며, 'TCP CLIENT'로부터 connection-request(SYN packet)를 기다리는 상태. LISTEN command 를 사용하면 이 상태로 변한다. SOCK_LISTEN 상태에서 'TCP CLIENT'의 Connect-request (SYN packet)를 성공적으로 처리했을 경우 Sn_SR 상태는 SOCK_ESTABLISHED 로 변하고, 실패했을 경우 TCP _{TO} 가 발생(Sn_IR(TIME OUT)='1')하고 SOCK_CLOSED 로 변한다.
0x17	SOCK_ESTABLISHED	TCP 연결이 성립된 상태. 'TCP SERVER'가 SOCK_LISTEN 상태에서 'TCP CLIENT'의 SYN packet 처리를 성공했을 경우나 'TCP CLIENT'의 CONNECT command 가 성공했을 경우, Sn_SR 은 SOCK_ESTABLISHED 로 변한다. 이 상태에서 SEND 와 RECV command 를 수행하여 DATA packet 을 송수신할 수 있다.
0x1C	SOCK_CLOSE_WAIT	Peer 로부터 disconnect-request(FIN packet)를 수신한 상태. TCP connection 이 완전히 disconnect 된 것이 아닌 half-close 상태이므로 DATA packet 송수신이 가능하다. TCP connection 을 완전히 disconnect 하기 위해서는 DISCON command 을 수행해야 한다. 하지만 단순히 Socket 을 close 할 경우 CLOSE command 을 수행한다.
0x22	SOCK_UDP	Socket n 이 UDP mode 로 Open 된 상태. 'Sn_MR P[3:0]=Sn_MR_UDP'인 상태에서 OPEN command 이 수행되었을 때 Sn_SR 은 SOCK_UDP 상태로 바뀐다. TCP mode Socket 과 달리 connection-process 없이 DATA packet 을 송수신할 수 있다.

0x42	SOCK_MACRAW	<p>Socket 0 가 MACRAW mode 로 Open 된 상태.</p> <p>‘SO_MR P[3:0]=SO_MR_MACRAW’이고 OPEN command 이 수행 될 때 이 상태로 바뀐다.</p> <p>UDP mode Socket 처럼 connection-process 없이 직접 MAC packet (Ethernet frame)을 송수신할 수 있다.</p>
------	-------------	---

아래의 Socket status 는 Sn_SR 의 천이 과정에서 관찰되는 Temporary Status 들이다.

Value	Symbol	Description
0x15	SOCK_SYNSENT	<p>‘TCP CLIENT’가 ‘TCP SERVER’에게 Connect-request (SYN packet)를 전송한 상태.</p> <p>CONNECT command 에 의해 Sn_SR 의 상태가 SOCK_INIT 에서 SOCK_ESTABLISEHD 로 바뀔 때 나타난다.</p> <p>이 상태에서 ‘TCP SERVER’로부터 Connect-accept (SYN/ACK packet)를 수신할 경우, Sn_SR 의 상태는 자동으로 SOCK_ESTABLISHED 상태로 바뀐다. 하지만 ‘TCP SERVER’로부터 TCP_{TO} 가 발생하기 전까지 (Sn_IR(TIMEOUT)='1') SYN/ACK packet 을 수신하지 못할 경우에는 SOCK_CLOSED 상태로 바뀐다.</p>
0x16	SOCK_SYNRCV	<p>‘TCP SERVER’가 ‘TCP CLIENT’로부터 connect-request (SYN packet)를 수신한 상태.</p> <p>이 상태에서 W5500 이 connect-request 에 대한 응답으로 connect-accept (SYN/ACK packet)을 ‘TCP CLIENT’에게 성공적으로 전송했을 때 자동으로 SOCK_ESTABLISHED 로 바뀐다. 하지만 전송에 실패했을 때 Timeout Interrupt 가 발생하고 (Sn_IR(TIME OUT)='1') SOCK_CLOSED 로 바뀐다.</p>
0x18	SOCK_FIN_WAIT	<p>Socket n 이 Closing 되는 상태로서, Active close 나 Passive close 인 경우의 Disconnect-process 에서 나타나는 상태.</p> <p>Disconnect-process 과정이 성공적으로 완료되거나, Timeout Interrupt 가 발생하면 (Sn_IR(TIMEOUT)='1') SOCK_CLOSED 상태로 변한다.</p>
0x1A	SOCK_CLOSING	
0x1B	SOCK_TIME_WAIT	
0x1D	SOCK_LAST_ACK	<p>Passive Closing 인 경우 W5500 이 전송한 FIN packet 의 FIN/ACK packet 을 기다리는 상태.</p> <p>Timeout Interrupt 가 발생하면 (Sn_IR(TIMEOUT)='1') SOCK_CLOSED 상태로 변한다</p>

Sn_PORT (Socket n Source Port Register) [R/W] [0x0004-0x0005] [0x0000]

Sn_PORT 는 Source Port Number 를 설정한다. Socket n 을 TCP 나 UDP mode 로 사용할 때만 유효하며, 그 외 mode 는 무시된다. OPEN command 이전에 반드시 설정해야 한다.

Ex) In case of Socket 0 Port = 5000(0x1388), configure as below,

0x0004	0x0005
0x13	0x88

Sn_DHAR (Socket n Destination Hardware Address Register)

[R/W] [0x0006-0x000B] [0xFFFFFFFFFFFFFF]

Sn_DHAR 은 Socket n 의 Destination hardware address 를 설정한다. UDP 에서 SEND_MAC command 를 사용할 경우 Socket n 의 Destination hardware address 를 설정한다. 또한 TCP, UDP mode 에서 Sn_DHAR 은 CONNECT 나 SEND command 에 의한 ARP-process 를 통해 획득한 Destination hardware address 로 설정된다. Host 는 CONNECT 나 SEND command 성공 이후 Sn_DHAR 을 통해 Destination hardware address 를 알 수 있다.

Ex) In case of Socket 0 Destination Hardware address = 08.DC.00.01.02.10,
configuration is as below.

0x0006	0x0007	0x0008	0x0009	0x000A	0x000B
0x08	0xDC	0x00	0x01	0x02	0x0A

Sn_DIPR (Socket n Destination IP Address Register)

[R/W] [0x000C-0x000F] [0x00000000]

Sn_DIPR 은 Socket n 의 Destination IP address 를 설정한다. Sn_DIPR 은 TCP, UDP mode 에서만 유효하고, MACRAW mode 에서는 무시된다. TCP mode 에서, 'TCP CLIENT'로 동작할 경우 접속하기 위한 'TCP SERVER'의 IP address 로 설정하고, CONNECT command 이전에 설정한다. 'TCP SERVER'로 동작할 경우 'TCP CLIENT'와 접속 성공 이후 내부적으로 'TCP CLIENT'의 IP address 로 설정된다. UDP mode 에서는, Sn_DIPR 은 UDP 나 IP Data packet 전송에 사용될 Destination IP address 로 SEND 나 SEND_MAC command 이전에 설정한다.

Ex) In case of Socket 0 Destination IP address = 192.168.0.11, configure as below.

0x000C	0x000D	0x000E	0x000F
192 (0xC0)	168 (0xA8)	0 (0x00)	11 (0x0B)

Sn_DPORT (Socket n Destination Port Register) [R/W] [0x0010-0x0011] [0x00]

Sn_DIPR 은 Socket n 의 Destination port number 를 설정한다. Sn_DIPR 은 TCP, UDP mode 에서만 유효하고, 그 외의 mode 에서는 무시된다.

TCP mode 에서, 'TCP CLIENT'로 동작할 경우 접속하기 위한 'TCP SERVER'의 Listen port number 로 설정하고, CONNECT command 이전에 설정한다. UDP mode 에서 Sn_DPORT 는 UDP Data packet 전송에 사용될 Port number 로, SEND 나 SEND_MAC command 이전에 설정한다.

Ex) In case of Socket 0 Destination Port = 5000(0x1388), configure as below,

0x0010	0x0011
0x13	0x88

Sn_MSSR (Socket n Maximum Segment Size Register) [R/W] [0x0012-0x0013] [0x0000]

Sn_MSSR 은 TCP 의 MSS (Maximum Segment Size)에 사용되고, TCP 가 Passive 모드에서 작동 될 때 Sn_MSSR 은 설정된다.

Ex) In case of Socket 0 MSS = 1460 (0x05B4), configure as below,

0x0012	0x0013
0x05	0xB4

Sn_TOS (Socket n IP Type of Service Register) [R/W] [0x0015] [0x00]

Sn_TOS 는 IP layer 에서 IP header 의 TOS (Type of service) field 를 설정한다. Sn_TOS 는 OPEN command 이전에 설정해야 한다.

자세한 사항은 <http://www.iana.org/assignments/ip-parameters> 를 참조 바란다.

Sn_TTL (Socket n TTL Register) [R/W] [0x0016] [0x80]

Sn_TTL 은 IP layer 에서 IP header 의 TTL (Time to live) field 를 설정한다. Sn_TTL 은 OPEN command 이전에 설정해야 한다.

자세한 사항은 <http://www.iana.org/assignments/ip-parameters> 를 참조 바란다.

Sn_RXBUF_SIZE (Socket n RX Buffer Size Register) [R/W] [0x001E] [0x02]

Sn_RXBUF_SIZE 는 Socket n RX Buffer Block size 를 설정한다. Socket n RX Buffer Block 은 0, 1, 2, 4, 8, 16 Kbytes 크기로 설정할 수 있으며, 이 외의 값을 사용할 경우 오동작을 일으킨다. Reset 후에 초기값으로 2Kbytes 의 값을 갖는다. Sn_RXBUF_SIZE 의 총합은 16K bytes 를 초과할 수 없으며 16K bytes 를 초과한 이후의 Socket 은 정상적인 Data 수신이 불가능하다.

8 개의 Sn_RXBUF_SIZE 가 설정되면 그 설정크기만큼 Socket 0 부터 우선적으로 16KB RX Memory 내에 RX Buffer Block 이 자동 할당된다. 할당된 Socket n RX Buffer Block 은 여기서 설정한 크기와 상관없이 0x0000 부터 0xFFFF 까지

64KbytesAddress 공간을 갖는 16bits Offset Address 로 접근된다. (Sn_RX_RD 와 Sn_RX_WR Register 참조)

Value (dec)	0	1	2	4	8	16
Buffer size	0KB	1KB	2KB	4KB	8KB	16KB

Ex) Socket 0 RX Buffer Size = 8KB

0x001E

0x08

Sn_TXBUF_SIZE (Socket n TX Buffer Size Register) [R/W] [0x001F] [0x02]

Sn_TXBUF_SIZE 는 Socket n TX Buffer Block size 를 설정한다. Socket n TX Buffer Block 은 0, 1, 2, 4, 8, 16K bytes 크기로 설정할 수 있으며, 이 외의 값을 사용할 경우 오동작을 일으킨다. Reset 후에 초기값으로 2Kbyte 의 값을 갖는다. Sn_TXBUF_SIZE 의 총합은 16K bytes 를 초과할 수 없으며, 16K Bytes 를 초과한 이후의 Socket 은 정상적인 Data 전송이 불가능하다.

8 개의 Sn_TXBUF_SIZE 가 설정되면 그 설정크기만큼 Socket 0 부터 순서대로 16KB TX Memory 내에 TX Buffer Block 이 할당된다. 할당된 Socket n TX Buffer Block 은 여기서 설정한 크기와 상관없이 0x0000 부터 0xFFFF 까지 64Kbytes Address 공간을 가지는 16bits Offset Address 로 접근된다. (Sn_TX_WR 와 Sn_TX_RD Register 참조)

Value (dec)	0	1	2	4	8	16
Buffer size	0KB	1KB	2KB	4KB	8KB	16KB

Ex) Socket 0 TX Buffer Size = 4KB

0x001F

0x04

Sn_TX_FSR (Socket n TX Free Size Register) [R] [0x0020-0x0021] [0x0800]

Sn_TX_FSR 은 Socket n TX Buffer Block 의 Free size 를 알려주며, 초기값은 Sn_TXBUF_SIZE 와 같다. HOST 는 Sn_TX_FSR 보다 더 큰 Data 를 Socket n TX buffer 에 저장해서는 안 된다. 왜냐하면, 아직 전송이 완료되지 않은 Data 를 overwrite 해 버리기 때문이다. 따라서, Data 전송 전에 반드시 Sn_TX_FSR 를 확인하여 이 값보다 작거나 같도록 Data size 를 정해 Socket n TX Buffer 에 저장 한 후 Sn_CR 의 SEND 나 SEND_MAC command 를 이용하여 Data 를 전송한다. 만약 전송할 Data 크기가 Sn_TX_FSR 보다 클 경우, Data 를 최대 Sn_TX_FSR 크기만큼 나누어서 전송해야 한다.

Sn_MR 의 P[3:0]가 TCP mode('0001')가 아닌 경우, Sn_TX_FSR 은 'Socket n TX Write Pointer Register(Sn_TX_WR)'과 'Socket n TX Read Pointer Register(Sn_TX_RD)' 간의 차이로 자동 계산된다. 그리고 TCP mode 인 경우에는, Sn_TX_FSR 은 'Socket n TX Write Pointer Register(Sn_TX_WR)'과 TCP 로 연결된 상대방이 수신을 완료한 Data 의 Pointer 차이로 자동 계산된다.

Ex) In case of 2048(0x0800) in S0_TX_FSR,

0x0020	0x0021
0x08	0x00

참고) 사이즈 정보를 표현하는 이 레지스터는 16 비트이다. 즉, 동시에 전부를 읽을 수 없기 때문에, 한 바이트씩 2 번에 나누어서 읽는 동안 이 값이 변경될 수 있다.

따라서, 전체 16-bit 레지스터 값을 2 번 이상 읽어서 같은 값이 나올 때 그 값을 사용하는 것을 추천한다.

Sn_TX_RD (Socket n TX Read Pointer Register) [R] [0x0022-0x0023] [0x0000]

Sn_TX_RD 는 Sn_CR 의 OPEN command 에 의해 초기화된다. 단, Sn_MR 의 P[3:0]가 TCP mode('0001')인 경우, TCP 연결이 설정되는 단계에서 초기값이 재 설정 된다.

이 값은 Sn_CR 의 SEND command 의해 자동으로 증가된다. Sn_CR 의 SEND command 는 Socket n TX Buffer 에 Sn_TX_RD 부터 Sn_TX_WR 까지 저장된 Data 를 전송하고 Sn_TX_RD 를 Sn_TX_WR 과 같은 값으로 자동으로 증가시켜 준다. 만약, 자동 증가한 값이 16bit Offset Address 의 최대 값 0xFFFF 를 초과(0x10000 이상일 경우)하여 Carry bit(17th bit)가 발생한 경우 그 Carry bit 는 무시되고, 하위 16bits 값으로 자동 설정된다.

Sn_TX_WR (Socket n TX Write Pointer Register) [R/W] [0x0024-0x0025] [0x0000]

Sn_TX_WR 는 Sn_CR 의 OPEN command 에 의해 초기화된다. 단, Sn_MR 의 P[3:0]가 TCP mode('0001')인 경우, TCP 연결이 설정되는 단계에서 초기값이 재 설정 된다.

그리고, 이 값은 Data 를 전송하기 위해 다음의 절차와 같이 읽거나 갱신해 주어야 한다. 첫 번째로, Host 는 전송할 Data 를 저장할 시작 Address 인 이 값을 읽는다. 두 번째로, Host 는 이 값을 시작 Address 로 하여 Data 를 Socket n TX Buffer 에 저장한다. 세 번째로, 이전의 Sn_TX_WR 값에 Buffer 에 저장한 Data 의 Byte Size 값을 합하여 Sn_TX_WR 값을 갱신한다. 만약, Sn_TX_WR 값이 16 Bits Offset Address 의 최대 값 0xFFFF 를 초과(0x10000 이상일 경우)하여 Carry bit(17th bit)가 발생한 경우 그 Carry bit 는 무시하고 하위 16bits 값으로 갱신해야 한다. 마지막으로, Sn_CR 의 SEND/SEND_MAC command 를 수행하여 Buffer 에 저장된 Data 를 전송한다.

Sn_RX_RSR (Socket n Received Size Register) [R] [0x0026-0x0027] [0x0000]

Sn_RX_RSR 은 Socket n RX Buffer Block 의 Received Data Size 를 알려주며, Sn_RXBUF_SIZE 를 초과할 수 없다. 그리고, 이 값은 ‘Socket n RX Write Pointer Register(Sn_RX_WR)’와 ‘Socket n RX Read Pointer Register(Sn_RX_RD)’ 간의 차이 값으로 계산된다.

Ex) In case of 2048(0x0800) in S0_RX_RSR,

0x0026	0x0027
0x08	0x00

참고) 사이즈 정보를 표현하는 이 레지스터는 16 비트이다. 즉, 동시에 전부를 읽을 수 없기 때문에, 한 바이트씩 2 번에 나누어서 읽는 동안 이 값이 변경될 수 있다.

따라서, 전체 16-bit 레지스터 값을 2 번 이상 읽어서 같은 값이 나올 때 그 값을 사용하는 것을 추천한다.

Sn_RX_RD (Socket n RX Read Data Pointer Register) [R/W] [0x0028-0x0029] [0x0000]

Sn_RX_RD 는 Sn_CR 의 OPEN command 에 의해 초기화 된다.

이 값은 수신한 Data 를 읽어가기 위해 다음의 절차와 같이 읽거나 갱신 되어야 한다. 첫 번째로, Host 는 수신한 Data 의 시작 Address 인 이 값을 읽는다. 두 번째로, Host 는 이 시작 Address 부터 Data 를 읽는다. 세 번째로, Host 는 Sn_RX_RD 값을 읽은 Data 의 Byte Size 를 더한 값으로 갱신해 준다. 만약 세번째 과정에서 계산된 Sn_RX_RD 값이 16 Bits Offset Address 의 최대 값 0xFFFF 를 초과(0x10000 이상일 경우)하여 Carry bit(17th bit)가 발생한 경우, 그 Carry bit 는 무시하고 하위 16bits 값으로 갱신해야 한다. 마지막으로, Host 는 갱신된 값을 적용하기 위해 Sn_CR 의 RECV command 를 수행한다.

Ex) In case of 2048(0x0800) in S0_RX_RD,

0x0028	0x0029
0x08	0x00

Sn_RX_WR (Socket n RX Write Pointer Register) [R] [0x002A-0x002B] [0x0000]

Sn_RX_WR 는 Sn_CR 의 OPEN command 에 의해 초기화 된다.

이 값은 Data 수신에 의해 자동 증가한다. 만약 증가한 값이 16bit Offset Address 의 최대 값 0xFFFF 를 초과(0x10000 이상일 경우)하여 Carry bit(17th bit)가 발생한 경우, 그 Carry bit 는 무시되고 하위 16bits 값으로 자동 설정된다.

Ex) In case of 2048(0x0800) in S0_RX_WR,

0x002A	0x002B
--------	--------

0x08

0x00

Sn_IMR (Socket n Interrupt Mask Register) [R/W] [0x002C] [0xFF]

Sn_IMR 은 Host 로 알려줄 Socket n 의 Interrupt 를 설정한다. Sn_IMR 의 Interrupt Mask Bit 들은 Sn_IR 의 Interrupt Bit 들과 각각 대응된다. 임의의 Socket Interrupt 가 발생하고 Sn_IMR 의 그 Bit 가 '1'로 설정되어 있을 경우 Sn_IR 의 대응 Bit 가 '1'로 설정된다. Sn_IMR 과 Sn_IR 의 임의 Bit 가 모두 '1'일 때 SIR(n) = '1'이 된다. 이때 SIMR(n) = '1'이라면 Host 에 Interrupt 가 발생('/INT' signal low assert)한다)

7	6	5	4	3	2	1	0
Reserved	Reserved	Reserved	SEND_OK	TIMEOUT	RECV	DISCON	CON

Bit	Symbol	Description
7~5	Reserved	Reserved
4	SENDOK	Sn_IR(SENDOK) Interrupt Mask
3	TIMEOUT	Sn_IR(TIMEOUT) Interrupt Mask
2	RECV	Sn_IR(RECV) Interrupt Mask
1	DISCON	Sn_IR(DISCON) Interrupt Mask
0	CON	Sn_IR(CON) Interrupt Mask

Sn_FRAG (Socket n Fragment Register) [R/W] [0x002D-0x002E] [0x4000]

Sn_FRAG 는 전송 시 IP layer 에서 IP header 의 Fragment field 를 설정한다.

Ex) Sn_FRAG0 = 0x0000 (Don't Fragment)

0x002D	0x002E
0x00	0x00

Sn_KPALVTR (Socket n Keep Alive Time Register) [R/W] [0x002F] [0x00]

1 byte register 로 Socket n 의 KEEP ALIVE(KA) packet 의 전송 Time 을 설정한다. TCP mode 만 유효하며, 그 외 mode 는 무시된다. 단위는 5 sec 이다.

KA packet 은 Sn_SR 이 SOCK_ESTABLISHED 로 전이되고 한번 이상의 Data packet 송신이나 수신 이후 전송이 가능하다. Sn_KPALVTR > 0 일 경우, 설정된 Time-period 가 지나게 되면 W5500 은 내부적으로(automatically) KA packet 을 전송하여 TCP connection 을 Check 한다(Auto-Keep-Alive-process). Sn_KPALVTR = 0 일 경우는 Auto-Keep-Alive-process 는 동작하지 않으며, Host 의 SEND_KEEP command 에 의해 KA packet 이 전송할 수 있다(Manual-Keep-Alive-process).

Manual-Keep-Alive-process 는 Sn_KPALVTR > 0 일 경우 무시된다.

Ex) Sn_KPALVTR = 10 (Keep Alive packet will be transmitted every 50 seconds.)

0x002F

0x0A

5 Electrical Specifications

5.1 Absolute Maximum Ratings

Symbol	Parameter	Rating	Unit
V _{DD}	DC Supply voltage	-0.5 to 4.6	V
V _{IN}	DC input voltage	-0.5 to 6	V
V _{OUT}	DC output voltage	-0.5 to 4.6	V
I _{IN}	DC input current	±5	mA
T _{OP}	Operating temperature	-40 to +85	°C
T _{JMAX}	Maximum junction temperature	125	°C
T _{STG}	Storage temperature	-65 to +150	°C

***COMMENT:** Stressing the device beyond the 'Absolute Maximum Ratings' may cause permanent damage.

5.2 Absolute Maximum Ratings (Electrical Sensitivity)

Electrostatic discharge (ESD)

Symbol	Parameter	Test Condition	Class	Maximum value(1)	Unit
VESD(HBM)	Electrostatic discharge voltage (human body model)	TA = +25 °C conforming to MIL-STD 883F Method 3015.7	2	2000	V
VESD(MM)	Electrostatic discharge voltage (man machine model)	TA = +25 °C conforming to JEDEC EIA/JESD22 A115-A	B	200	V
VESD(CDM)	Electrostatic discharge voltage (charge device model)	TA = +25 °C conforming to JEDEC JESD22 C101-C	III	500	V

Static latchup

Symbol	Parameter	Test Condition	Class	Maximum value(1)	Unit
LU	Static latch-up class	TA = +25 °C conforming to JESD78A	I	≥ ±200	mA

5.3 DC Characteristics

(Test Condition: Ta = -40 to 85 °C)

Symbol	Parameter	Test Condition	Min	Typ	Max	Unit
V _{DD}	Supply voltage	Apply VDD, AVDD	2.97	3.3	3.63	V
V _{IH}	High level input voltage		2.0		5.5	V
V _{IL}	Low level input voltage		- 0.3		0.8	V
V _T	Threshold point	All inputs except XI	1.30	1.41	1.53	V
V _{T+}	Schmitt trig Low to High Threshold point	All inputs except XI	1.53	1.64	1.73	V
V _{T-}	Schmitt trig High to Low Threshold point	All inputs except XI	0.95	1.02	1.09	V
T _J	Junction temperature		-40	25	125	°C
I _L	Input Leakage Current				±1	μA
R _{PU}	Pull-up Resistor	SCSn, RSTn, PMODE[2:0]	62	77	112	Kohm
R _{PD}	Pull-down Resistor	RSVD(Pin 23, Pin 38 ~ Pin 42)	48	85	174	Kohm
V _{OL}	Low level output voltage	IOL = 8mA, All outputs except XO			0.4	V
V _{OH}	High level output voltage	IOH = 8mA, All outputs except XO	2.4			V
I _{OL}	Low level output Current	VOL = 0.4V, All outputs except XO	8.6	13.9	18.9	mA
I _{OH}	High level output Current	VOH = 2.4V, All outputs except XO	12.5	26.9	47.1	mA
I _{DD1}	Supply Current (Normal operation mode)	VDD=3.3V, AVDD=3.3V, Ta = 25 °C		132		mA
I _{DD2}	Supply Current (Power Down mode)	PHY Power Down mode, VDD=3.3V, AVDD=3.3V, Ta = 25 °C		13		mA

5.4 POWER DISSIPATION

(Test Condition: VDD=3.3V, AVDD=3.3V, Ta = 25 °C)

Condition	Min	Typ	Max	Unit
100M Link	-	128		mA
10M Link	-	75		mA
Un-Link (Auto-negotiation mode)	-	65		mA
100M Transmitting	-	132		mA
10M Transmitting	-	79		mA
Power Down mode	-	13		mA

5.5 AC Characteristics

5.5.1 Reset Timing

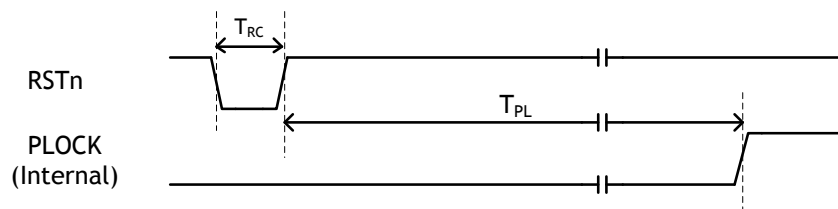


Figure 22. Reset Timing

Symbol	Description	Min	Max
T_{RC}	Reset Cycle Time	500 us	-
T_{PL}	RSTn to internal PLOCK (PLL Lock)	-	1 ms

5.5.2 Wake up Time

Voltage Regulator Wake up Time: 10us

5.5.3 Crystal Characteristics

Parameter	Range
Frequency	25 MHz
Frequency Tolerance (at 25 °C)	±30 ppm
Shunt Capacitance	7pF Max
Drive Level	59.12uW
Load Capacitance	18pF
Aging (at 25 °C)	±3ppm / year Max

5.5.4 SPI Timing

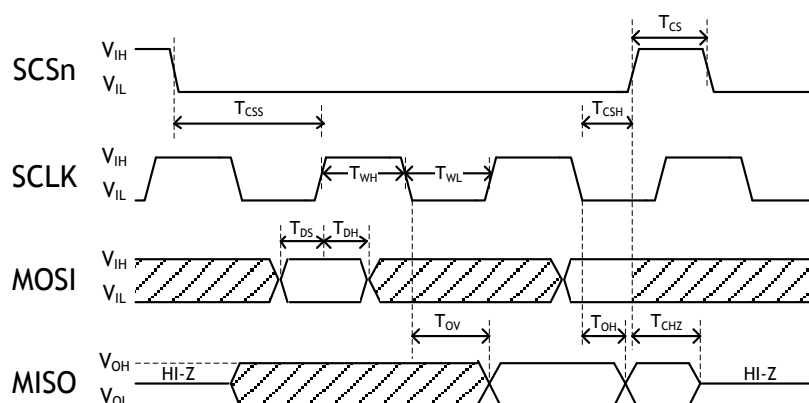


Figure 23. SPI Timing

Symbol	Description	Min	Max	Units
F_{SCK}	SCK Clock Frequency		80/33.3 ⁵	MHz
T_{WH}	SCK High Time	6		ns
T_{WL}	SCK Low Time	6		ns
T_{CS}	SCSn High Time	30		ns
T_{CSS}	SCSn Setup Time	5	-	ns
T_{CSH}	SCSn Hold Time	5		ns
T_{DS}	Data In Setup Time	3		ns
T_{DH}	Data In Hold Time	3		ns
T_{OV}	Output Valid Time		5	ns
T_{OH}	Output Hold Time	0		ns
T_{CHZ}	SCSn High to Output Hi-Z		2.1 ⁶	ns

⁵ Theoretical Guaranteed Speed

Even though theoretical design speed is 80MHz, the signal in the high speed may be distorted because of the circuit crosstalk and the length of the signal line. The minimum guaranteed speed of the SCLK is 33.3 MHz which was tested and measured with the stable waveform.

Please refer to the SPI Application Note which shows the WIZnet test environment and results.

⁶ 2.1ns is when pn loaded with 30pF. The time is shorter with lower capacitance.

5.5.5 Transformer Characteristics

Parameter	Transmit End	Receive End
Turn Ratio	1:1	1:1
Inductance	350 uH	350 uH

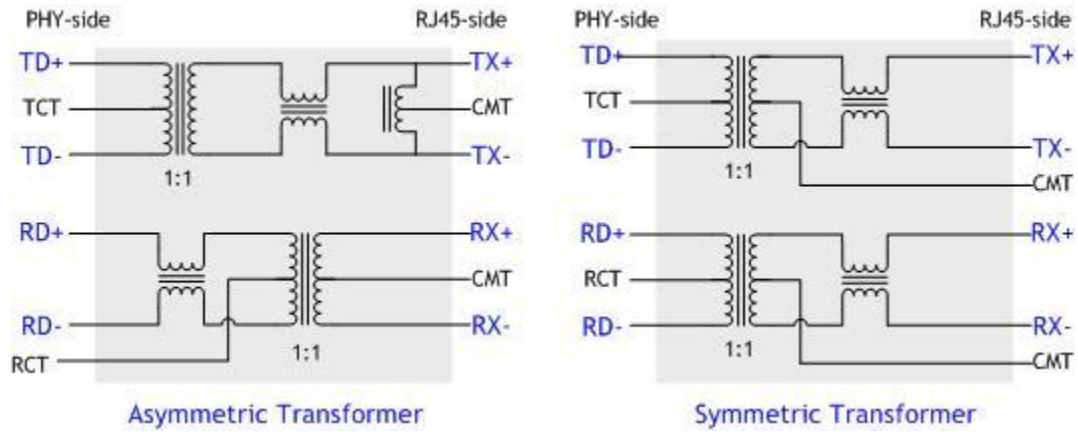


Figure 24. Transformer Type

5.5.6 MDIX

W5500 은 Auto-MDIX 를 지원하지 않는다.

따라서, Router 또는 Network Switch(허브)와 연결하는 경우 straight-through cable 를 사용하고, PC, Workstation, 혹은 또 다른 W5500 을 직접 연결하는 경우에는 반드시 Crossover cable 를 사용한다.

단, Auto-MDIX 를 지원하고 있는 장치(현재 대부분의 기기가 이 기능을 지원한다)와 연결하는 경우에는 어떤 cable 을 사용하여도 무방하다.

6 IR Reflow Temperature Profile (Lead-Free)

Moisture Sensitivity Level : 3

Dry Pack Required: Yes

Average Ramp-Up Rate ($T_{s_{max}}$ to T_p)	3° C/second max.
Preheat <ul style="list-style-type: none"> - Temperature Min ($T_{s_{min}}$) - Temperature Max ($T_{s_{max}}$) - Time ($t_{s_{min}}$ to $t_{s_{max}}$) 	150 °C 200 °C 60-120 seconds
Time maintained above: <ul style="list-style-type: none"> - Temperature (T_L) - Time (t_L) 	217 °C 60-150 seconds
Peak/Classification Temperature (T_p)	265 + 0/-5 °C
Time within 5 °C of actual Peak Temperature (t_p)	30 seconds
Ramp-Down Rate	6 °C/second max.
Time 25 °C to Peak Temperature	8 minutes max.

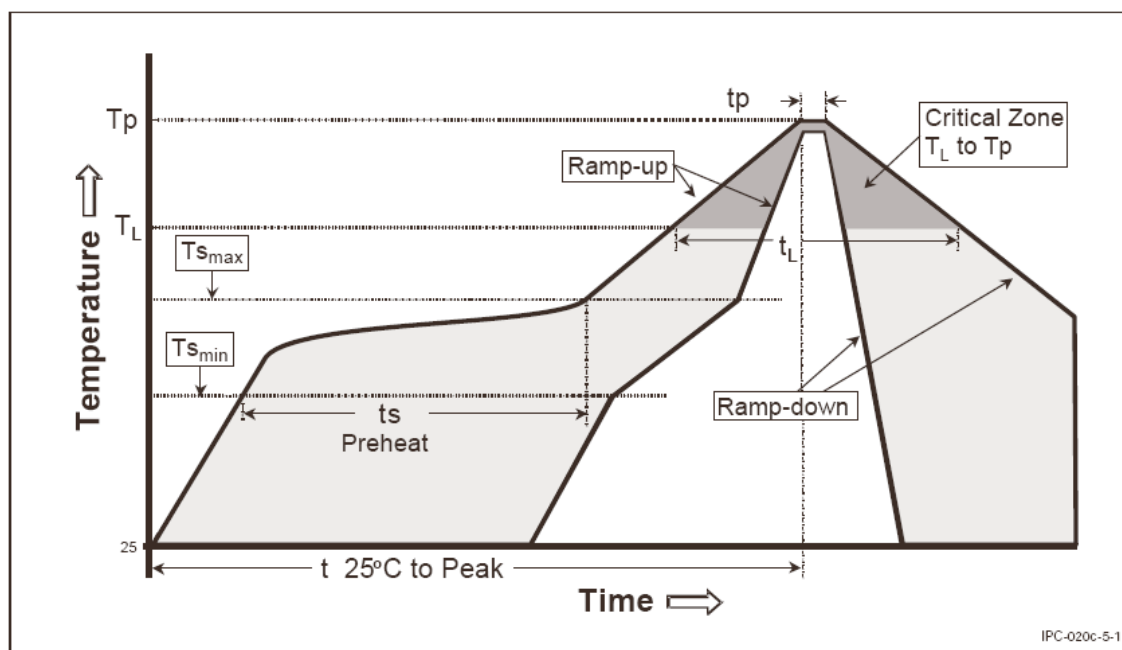


Figure 25. IR Reflow Temperature

7 Package Descriptions

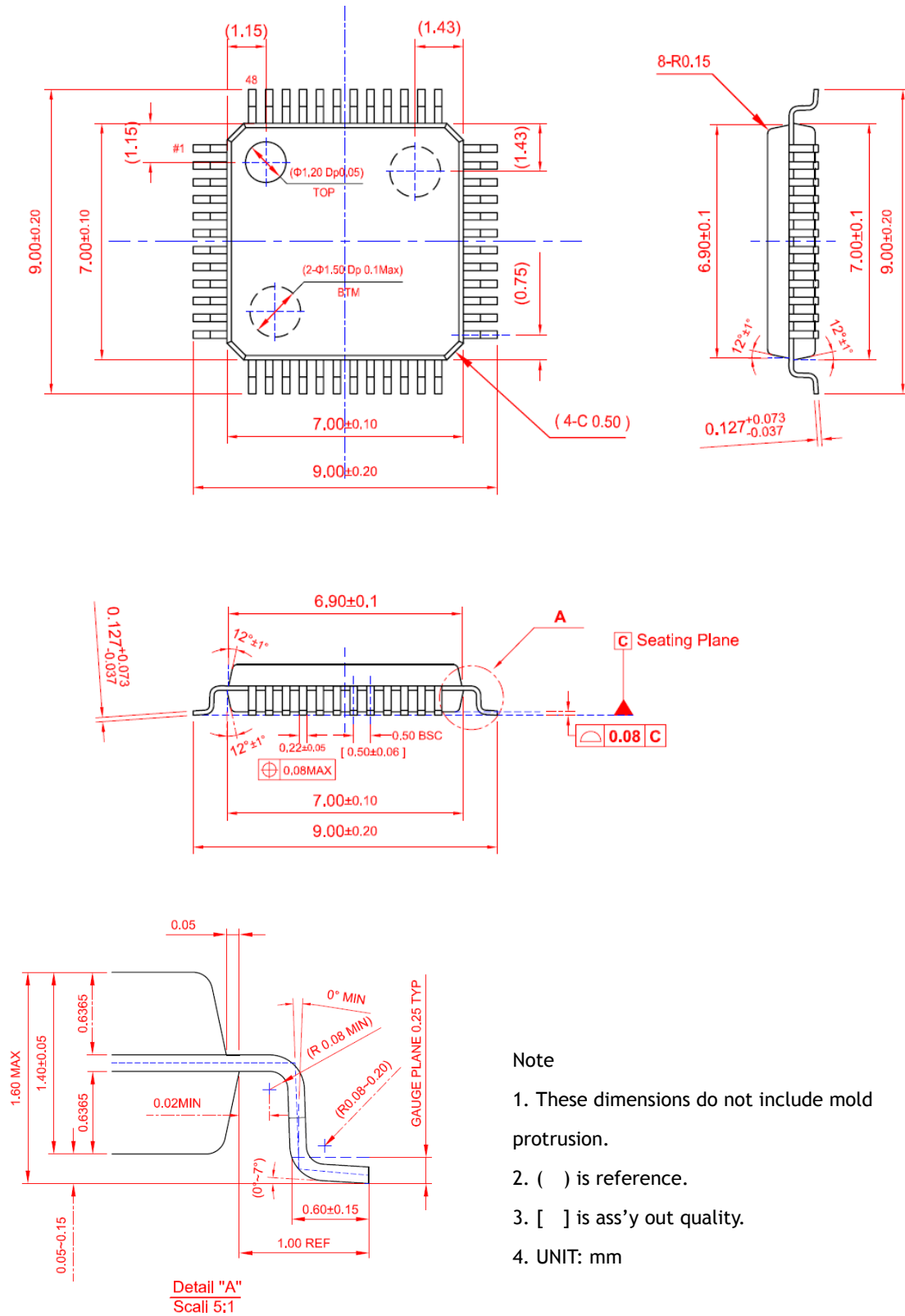


Figure 26. Package Dimensions

Document History Information

Version	Date	Descriptions
Ver. 1.0	1AUG2013	Initial Release
Ver. 1.0.1	13SEP2013	Corrected typing error (P. 28)
Ver. 1.0.2	14NOV2013	<ol style="list-style-type: none"> 1. Changed “descriptions of pin at 1.1 Pin Descriptions”(P.10) from It must be tied to GND to NC(PIN38~42) 2. Corrected typing error : from 0x02 to 0x42 value of SOCK_MACRAW at 4.2 Socket Registers(P.50)
Ver. 1.0.3	29MAY2014	<ol style="list-style-type: none"> 1. Corrected “Sn_MSSR at 4.2 Socket Register”(P.53) wrong descriptions of Sn_MSSR about FMTU/MTU
Ver. 1.0.4	13JUN2014	<ol style="list-style-type: none"> 1. Added Note about reading size register value (P.55, 56) 2. Added IR Reflow Temperature Profile (P.65)
Ver. 1.0.5	10NOV2014	<ol style="list-style-type: none"> 1. Added description for MISO pin (P.10) The SCSn signal defines MISO pin output value. 2. Modified the register notation (P.32), Modified the register notation “Sn_IR at 4.2 Socket Register” (P.48) from [R] to [RCW1] 3. Corrected typing error: from DICON to DISCON of Sn_SR at 4.2 Socket Register (P.49)
Ver. 1.0.6	30DEC2014	<ol style="list-style-type: none"> 1. Corrected typing error : from 0x02 to 0x42 value of SOCK_MACRAW “Sn_CR at 4.2 Socket Registers” (P.46)
Ver. 1.0.7	23FEB2016	<ol style="list-style-type: none"> 1. Corrected I_{AWT} (Interrupt Assert Wait Time) Function (P.34) 2. Notice PLL_{clk} is 150MHz (P.34)
Ver. 1.0.8	19MAY2017	<ol style="list-style-type: none"> 1. Corrected Driver Level Range Unit uW/MHz to uW(5.5.3 Crystal Characteristics) Function (P.59)
Ver. 1.0.9	22MAY2019	<ol style="list-style-type: none"> 1. Corrected Sn_IMR Description (P.55) 2. Corrected Junction temperature Min value T_J (P.57) 3. Added Maximum junction temperature T_{JMAX} (P.58)

Copyright Notice

Copyright 2013 WIZnet Co., Ltd. All Rights Reserved.

Technical Support: support@wiznet.co.kr

Sales & Distribution: sales@wiznet.co.kr

For more information, visit our website at <http://www.wiznet.co.kr>