



دانشگاه صنعتی امیرکبیر
(پلی تکنیک تهران)

دانشکده مهندسی برق
گزارشکار پروژه درس vlsi
استاد درس : دکتر شالچیان

آنوشا شریعتی ۹۹۲۳۰۴۱

رجیستر - گیت اند - مازول اصلی - گزارش - شبیه سازی

مهشاد اکبری سریزدی ۹۹۲۳۰۹۳

جمع کننده - مالتی پلکسر - مازول اصلی - گزارش - شبیه سازی

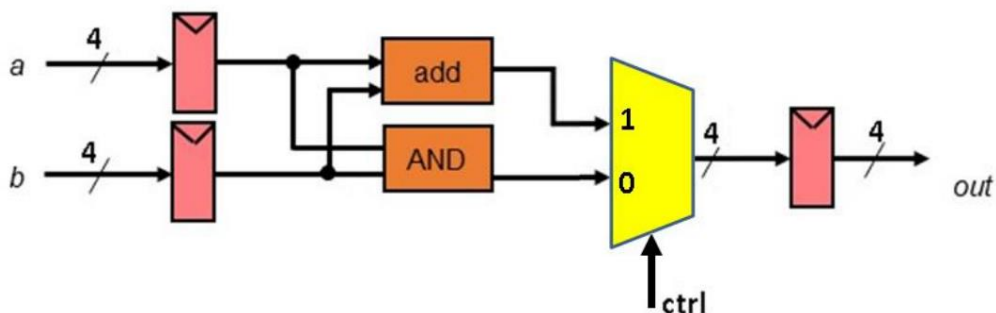
تیر 1402

فهرست مطالب

3.....	مقدمه
4.....	بخش اول و دوم : طراحی
4.....	رجیستر
5.....	جمع کننده 4 بیتی.....
6.....	مالتی پلکسر.....
7.....	گیت اند 4 بیتی.....
8.....	بخش سوم : تست بنچ و شبیه سازی
8.....	رجیستر
9.....	تحلیل زمانی
10.....	تعیین پریود کلاک
11.....	گیت اند 4 بیتی.....
12.....	جمع کننده 4 بیتی.....
13.....	مالتی پلکسر.....
15.....	شبیه سازی مسیر بحرانی
16.....	تست بنچ
18.....	بخش چهارم : LAYOUT
18.....	رجیستر
20.....	جمع کننده 4 بیتی.....
22.....	مالتی پلکسر.....
23.....	گیت اند 4 بیتی.....
24.....	طراحی کلی و مساحت
25.....	بخش پنجم : نتیجه گیری

• متأسفانه در طراحی این پروژه (به اشتباه) از تکنولوژی 90 نانومتر استفاده شده است. که باعث ایجاد تغییراتی در دیزاین رول ها گردید و امکان اصلاح آن در زمان کم وجود نداشت.

مقدمه

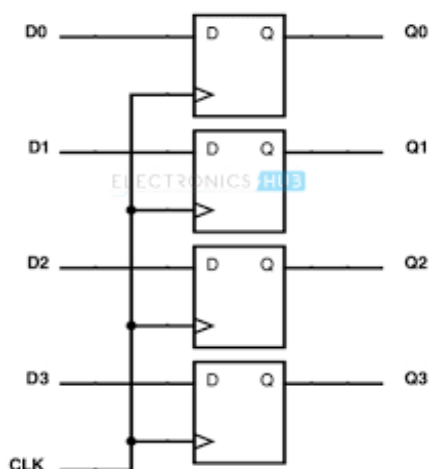


هدف از انجام این پروژه طراحی مدار بالا با استفاده از دانش درس vlsi میباشد به طوری که مساحت و تاخیر بهینه شود. برای راحت سازی طراحی این مدار را به ماژول های رجیستر، اند، جمع کننده 4 بیتی و مالتی پلکسر 2 به 1 تقسیم کردیم و مدار و لی اوت را برای هر بخش به طور مجزا قرار دادیم.

بخش اول و دوم

رجیستر:

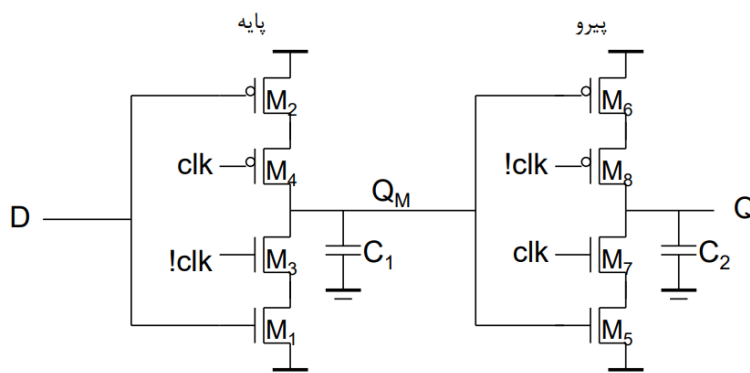
برای طراحی رجیستر های 4 بیتی که در ورودی و خروجی استفاده شده است از موازی کردن 4 فلیپ فلاپ دی استفاده کردیم. علت استفاده از این نوع فلیپ فلاپ راحتی کار کردن و طراحی آن بود. همچنین طبق خواسته سوال برای ریست آسنکرون از یک ترانزیستور ان ماس با قدرت درایو بالا که بین خروجی و زمین وصل میشود استفاده میکنیم به این صورت که وقتی نیاز به ریست کردن مدار داشتیم مقدار یک را به گیت آن میدهیم تا به زمین وصل شود. همچنین برای طراحی فلیپ فلاپ دی از طراحی زیر که از نوع پویاست استفاده کردیم به این علت که در این طراحی زمان نشست و تاخیر انتشار بهینه تر از طراحی ایستاست.



ترانزیستور های پی ماس: $w/l = 2.4 / 0.2$

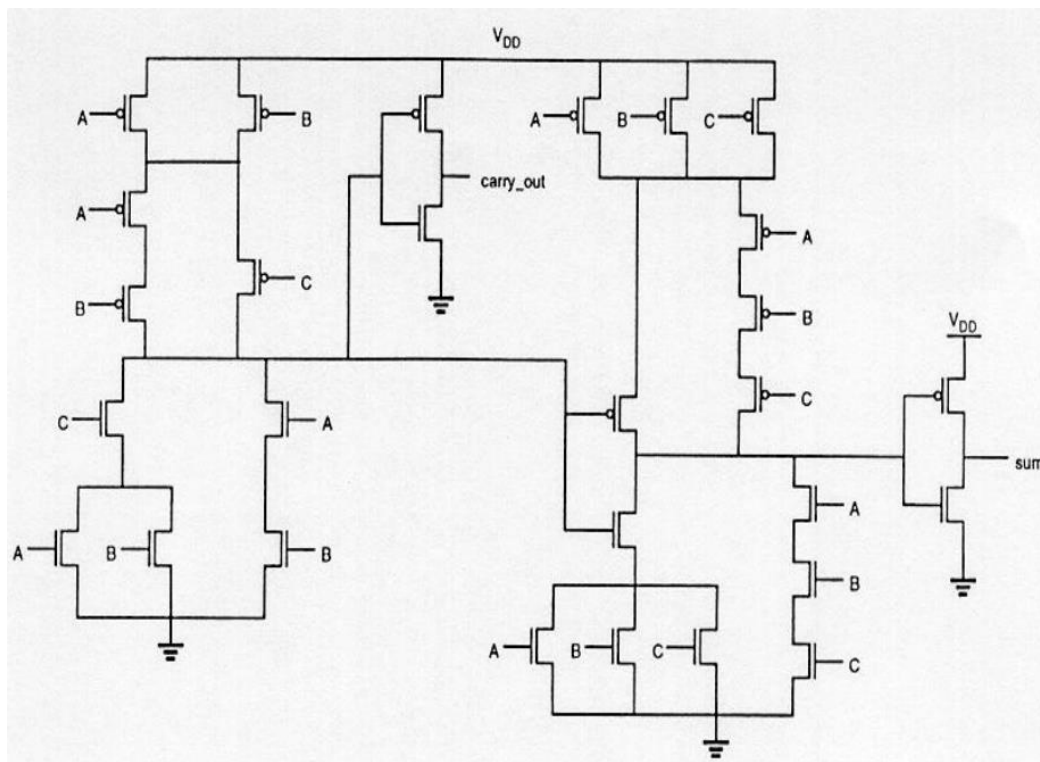
ترانزیستور های ان ماس: $w/l = 1.2 / 0.2$

ترانزیستور ان ماس ریست: $w/l = 4.8 / 0.2$



جمع کننده :

برای طراحی جمع کننده 4 بیتی ابتدا از جمع کننده آینه ای استفاده کردیم اما طراحی آن به درستی پاسخگو نبود بنابراین به بررسی دیگر جمع کننده ها پرداختیم و در نهایت جمع کننده نردبانی را برای مدارمان برگزیدیم.



ترانزیستور های پی ماس: $w/l = 1.2/0.2$

ترانزیستورهای ان ماس: $w/l = 0.4/0.2$

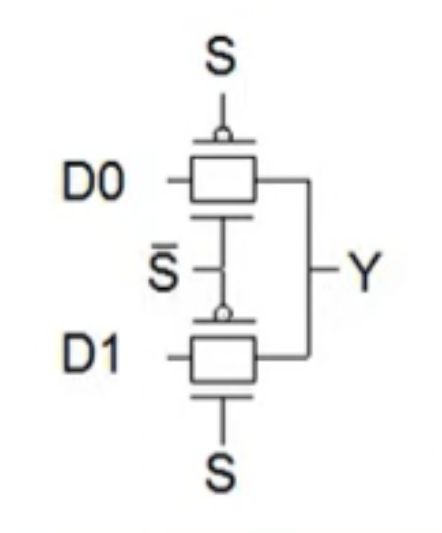
مالتی پلکسر:

برای طراحی مالتی پلکسر از منطق گیت های انتقالی استفاده کردیم چون در نهایت در مقایسه با طراحی های دیگری که انجام دادیم مساحت کمتری داشت. قبل از این با استفاده از کد Verilog ساختار مالتی پلکسر را پیاده کردیم که مساحت زیادی نسبت به ساختار انتخاب ما اشغال میکرد. عملکرد مدار به این گونه است که با صفر شدن s ترانزیستورها برای عبور مقدار D0 فعال می شوند و با یک شدن s ترانزیستور ها برای عبور D1 فعال می شوند. در اینجا چون مقدار داده 4 بیتی می باشد از 4 عدد از این مالتی پلکسر ها به صورت موازی با پایه سلکت یکسان استفاده میکنیم.

در اینجا ابعاد PMOS را دو برابر NMOS انتخاب کردیم.

$$W/L \text{ PMOS} = 1.2/0.2$$

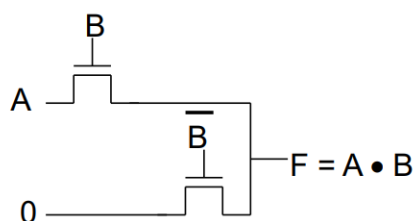
$$W/L \text{ NMOS} = 0.6/0.2$$



اند 4 بیتی :

برای طراحی گیت اند 4 بیتی از 4 اند دوبیتی به صورت موازی استفاده میکنیم. همچنین در طراحی گیت اند دوبیتی از منطق ترانزیستور عبوری استفاده میشود زیرا هم تعداد ترانزیستورها از 6 تا به 2 تا کاهش میابد هم تلفات ایستا نداریم و همچنین دیگر نیازی به اینورتر نمیشود.

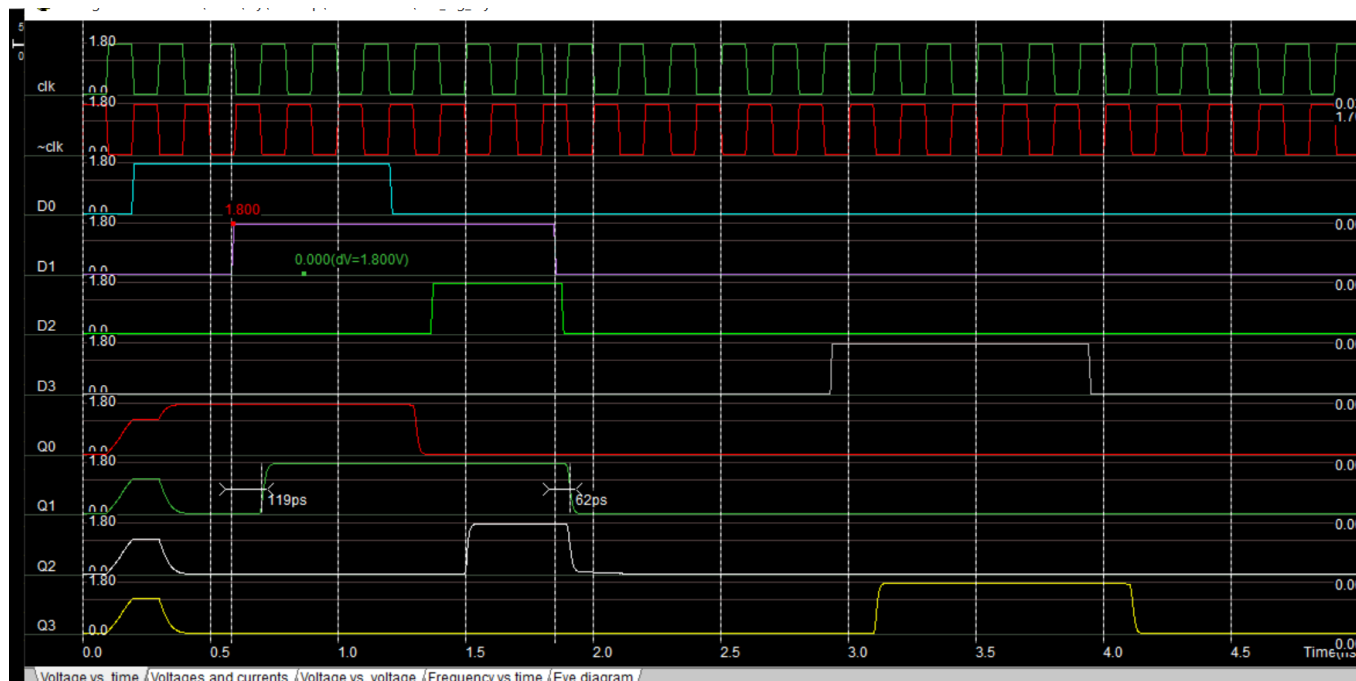
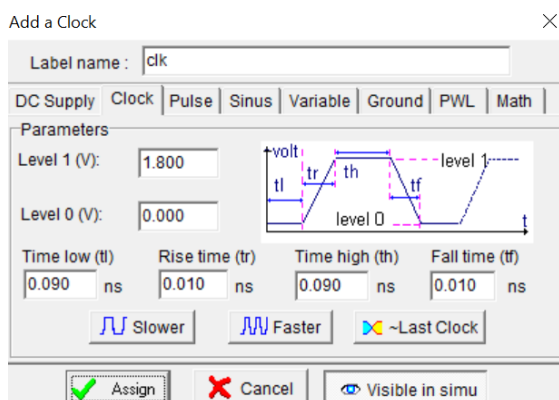
سایز ترانزیستورهای ان ماس: $w/l = 0.6 / 0.2$



بخش سوم

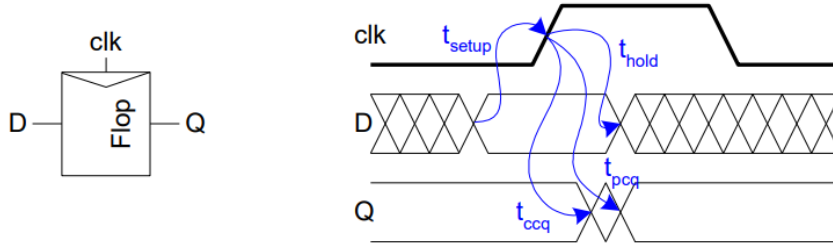
رجیستر :

برای شبیه سازی و بررسی عملکرد ماژول رجیستر به ورودی های Q پالس های متفاوتی را به عنوان ورودی دادیم همچنین پالس کلاک را برای مدار تعیین کردیم. نتیجه شبیه سازی به صورت زیر به دست آمد. همینطور که مشاهده میشود با آمدن لبه بالارونده کلاک ورودی به خروجی منتقل میشود.



تحلیل زمانی:

برای تحلیل زمانی طبق تعاریف زیر شکل موج شبیه سازی رجیستر را بررسی کرده و مقادیر مورد نظر را به دست می آوریم.

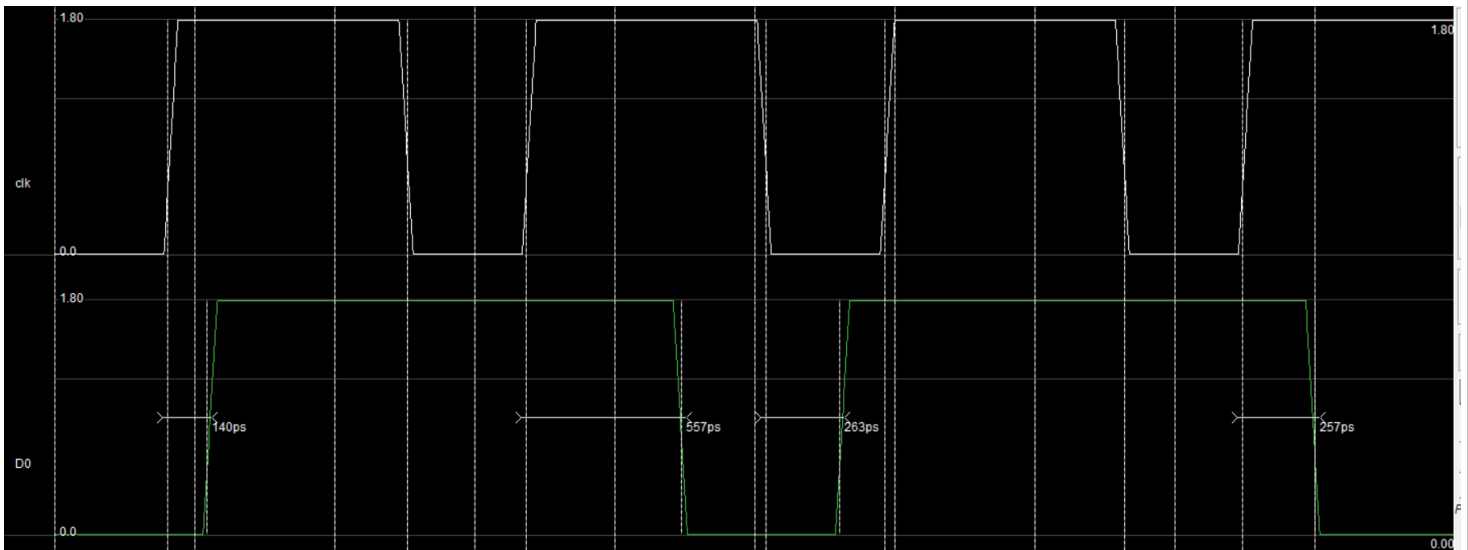


$T_{setup} = 3 \text{ ps}$

$T_{hold} = 140 \text{ ps (clk-d0)}$

$T_{ccq} = 494 \text{ ps}$

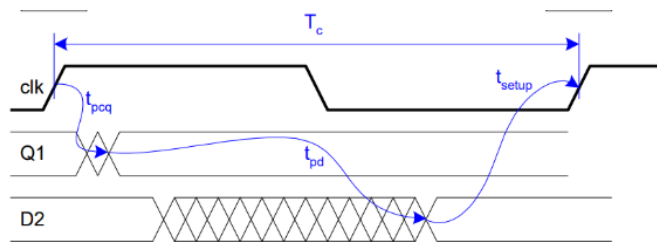
$T_{pcq} = 308 \text{ ps}$



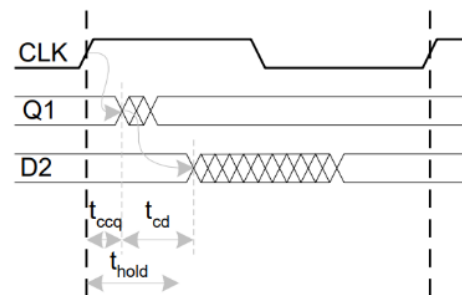
انتخاب پریود کلاک:

برای انتخاب پریود کلاک از شرط زمان آمادگی و زمان نگهداری استفاده میکنیم.

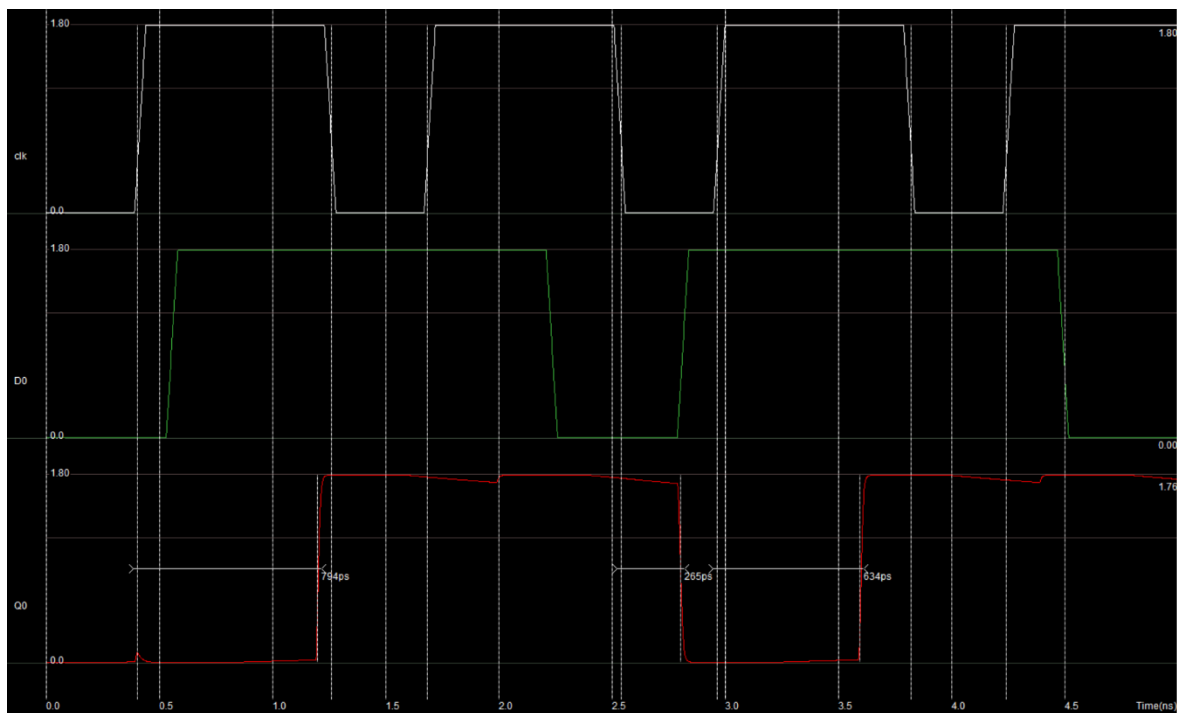
$$T_c \geq t_{pcq} + t_{pd} + t_{setup}$$



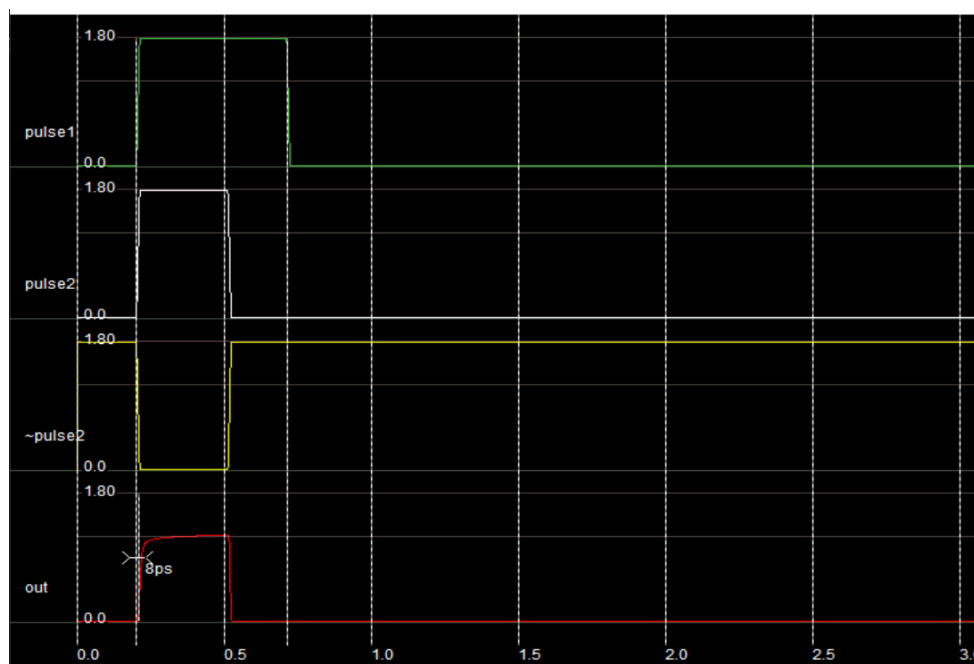
$$t_{hold} < t_{ccq} + t_{cd}$$



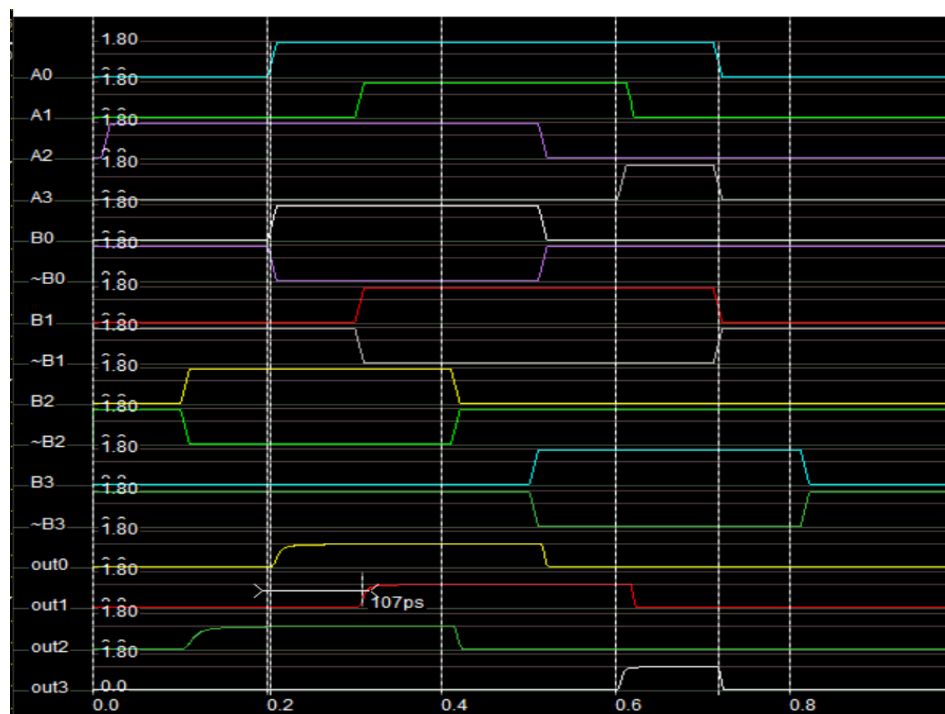
با جایگذاری مقادیر زمانی در فرمول بالا حدود پریود کلاک به دست می آید.



طبق شکل زیر با مقدار دادن به ورودی های A و B صحت عملکرد گیت اند دو ورودی نشان داده شده است.

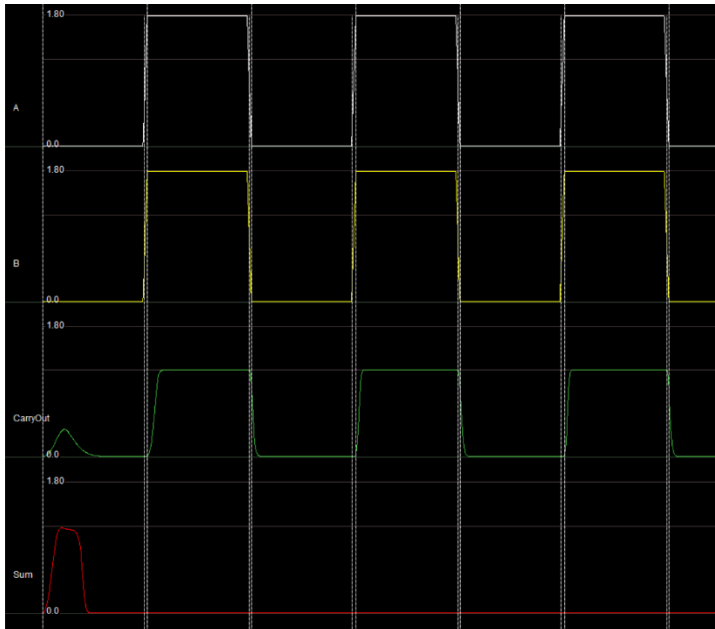


همچنین با استفاده از مقدار دهی به هر 4 بیت ورودی A و B نتیجه زیر به دست آمد.



جمع کننده :

برای اطمینان از صحت عملکرد این ماژول با دادن مقادیر پالس به ورودی ، شبیه سازی آن را مشاهده می کنیم . ابتدا ماژول تک بیتی را شبیه سازی میکنیم تا از صحت عملکرد آن اطمینان کسب کنیم و بعد از آن به سراغ طراحی ماژول 4 بیتی رفتیم و آن را شبیه سازی کردیم .



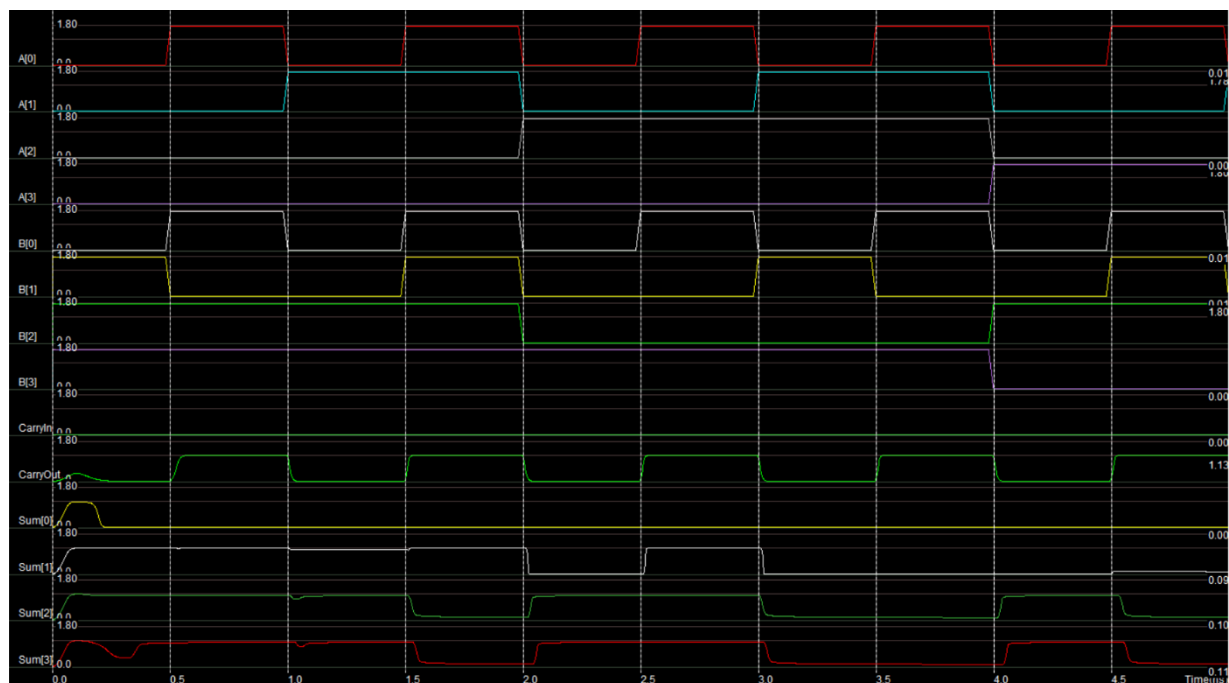
شبیه سازی ماژول تک بیتی برای حالتی که هر

دو یک و یا هر دو صفر باشند و

اطمینان از صحت عملکرد آن.

شبیه سازی جمع کننده 4 بیتی:

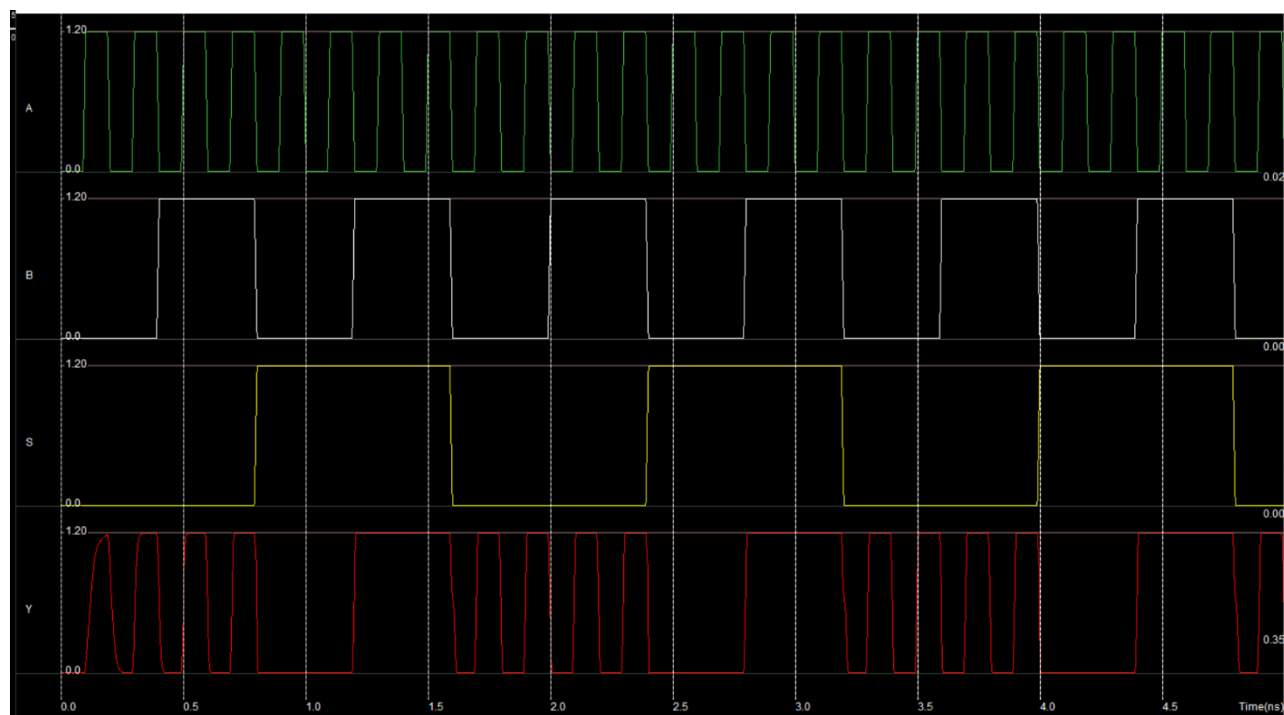
در این جا حالتی در نظر گرفته شده است که همواره کری در طول محاسبات منتقل شود .



مالتی پلکسر :

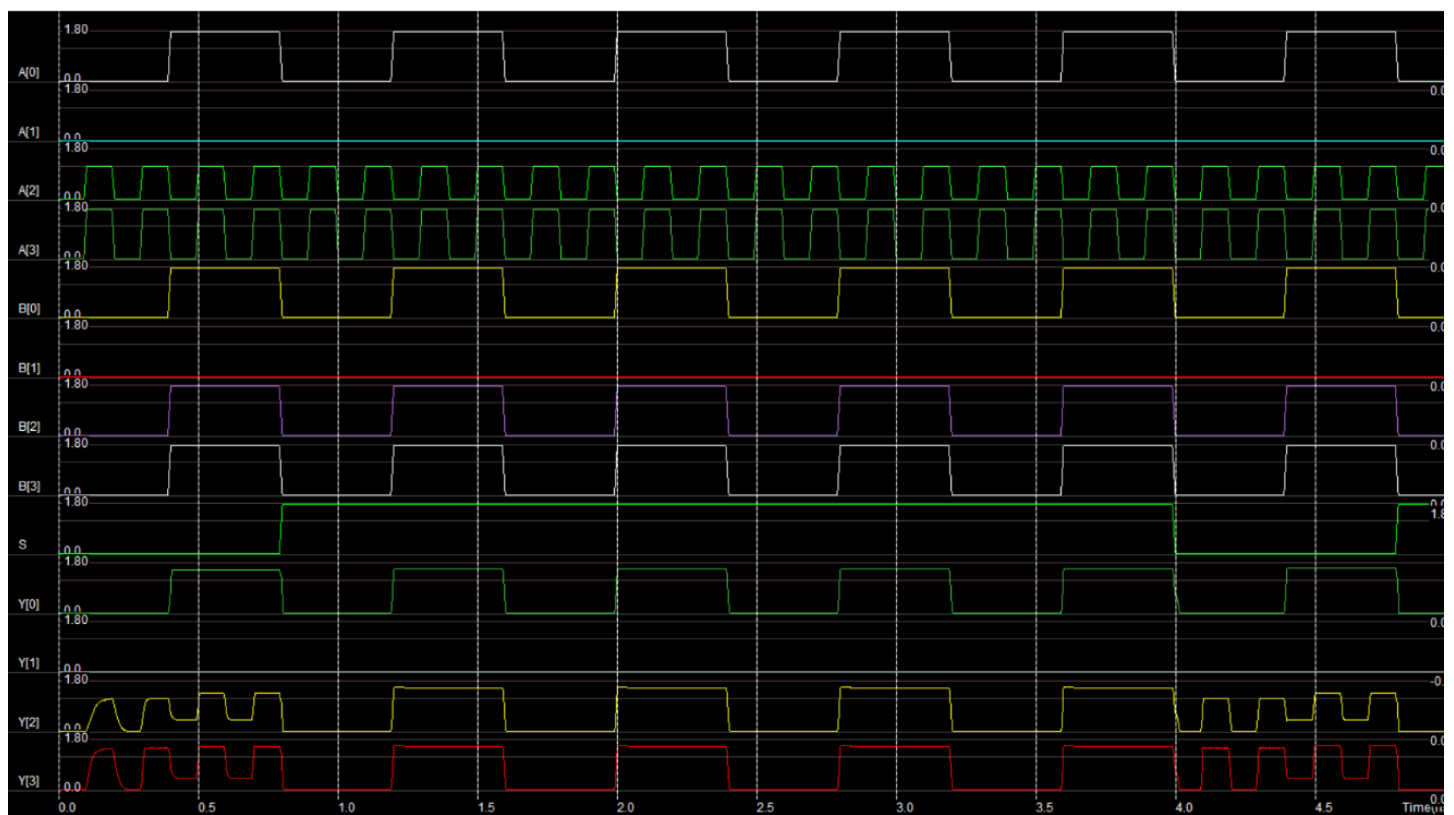
برای اطمینان از صحت عملکرد این ماژول به ورودی ها کلاک با فرکانس های مختلف اعمال شده و انتظار می رود هنگامی که S (پایه سلکت) 0 باشد مقدار A در خروجی به نمایش گذاشته شود و هنگامی که مقدار S، 1 باشد مقدار B . که طبق شبیه سازی انتظارمان برآورده شده است .

شبیه سازی مالتی پلکسر برای تک بیت:



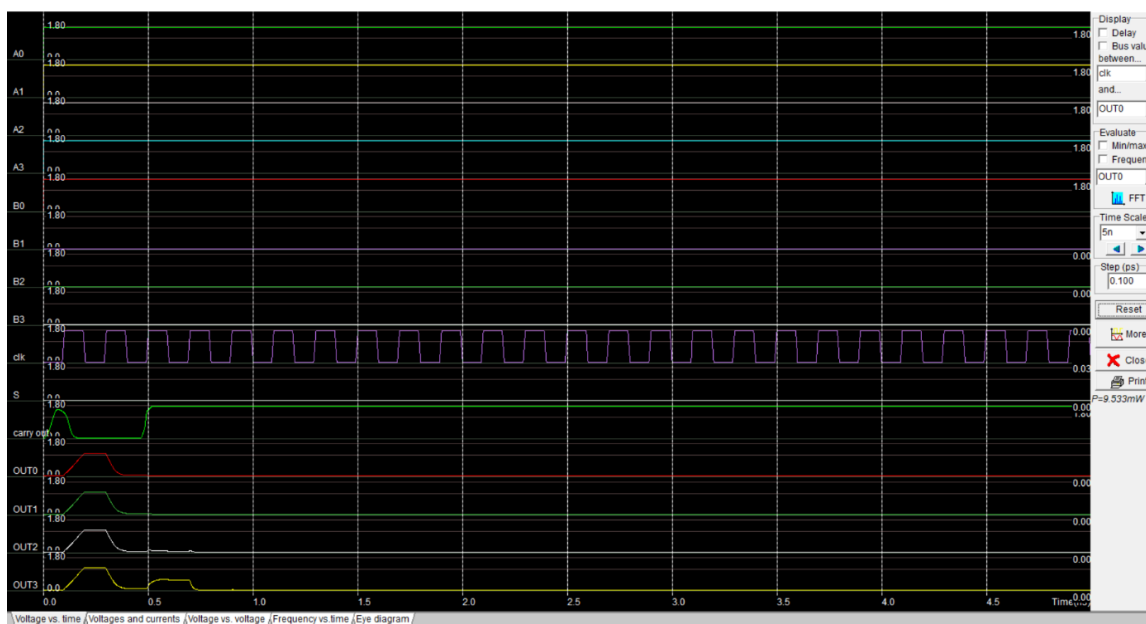
شبیه سازی مالتی پلکسر برای ورودی های 4 بیتی:

همانطور که در قسمت قبل اشاره شد برای طراحی مالتیپلکسر برای ورودی های 4 بیتی از چهار مدار مالتیپلکسر به صورت موازی با پایه های سلکت یکسان استفاده میشود و نحوه عملکرد به این صورت است که هنگامی که پایه سلکت 0 است مقادیر $A[0]$ ، $A[1]$ ، $A[2]$ و $A[3]$ را در خروجی ها مشاهده می کنیم و هنگامی که پایه سلکت 1 باشد مقادیر $B[0]$ ، $B[1]$ ، $B[2]$ و $B[3]$ را مشاهده می کنیم .



شبیه سازی مسیر بحرانی:

مسیر بحرانی در طراحی، مسیری با بیشترین تاخیر است. پس برای به دست آوردن تاخیر طراحی باید اول مسیر بحرانی مشخص شود سپس تاخیر آن اندازه گیری شود. در مدار داده شده مسیر بحرانی به ازای مقادیر $a=1111$ و $b=0001$ به دست می آید زیرا در این حالت نیاز به محاسبه مقدار carry out در مازول ادر نیز میشود. برای شبیه سازی اعداد بالا را برای مقادیر ورودی تعیین کرده و نتیجه خروجی را مانند شکل زیر مشاهده میکنیم.



برای به دست آوردن تاخیر در مسیر بحرانی بیشترین زمانی که طول کشید تا خروجی ها به مقدار نهایی برسد را در نظر گرفتیم که طبق شکل بالا برای خروجی 3 اتفاق می افتد و مقدار تاخیر حدود 0.7 نانو ثانیه است.

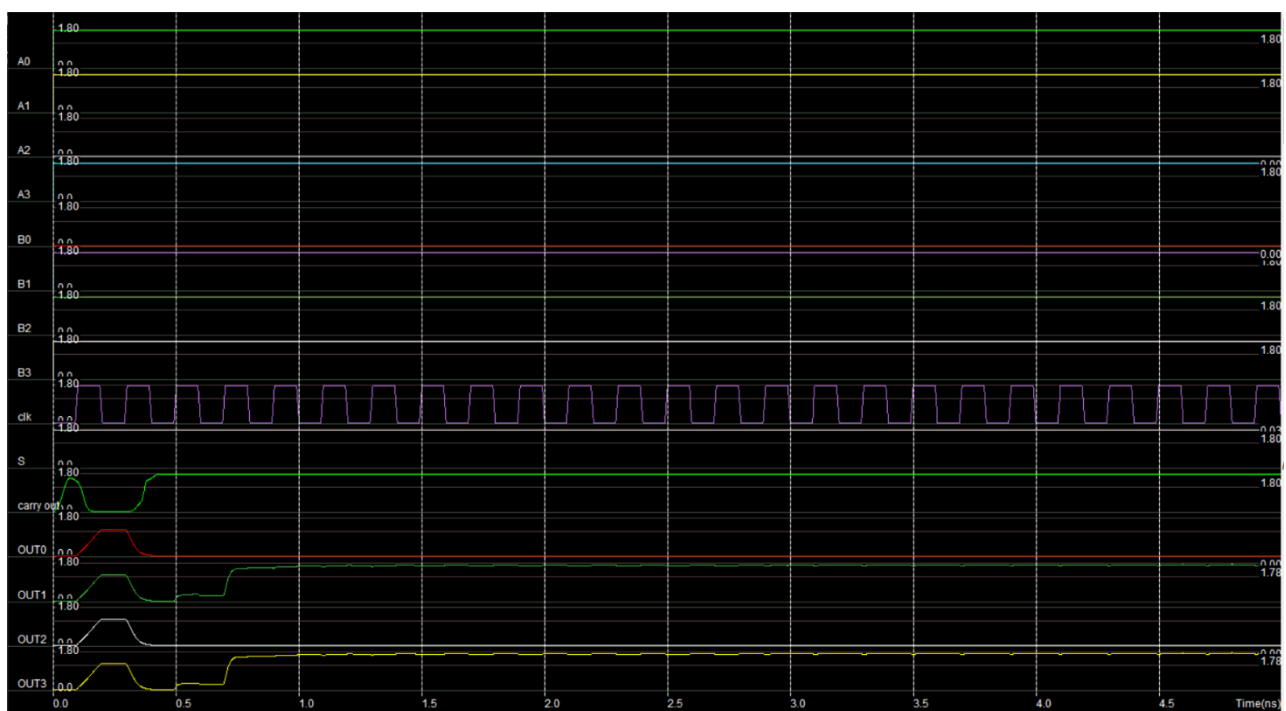
تست بنچ :

برای نشان دادن صحت عملکرد مدار به ازای ورودی های مختلف نتایج شبیه سازی را به دست آوردیم که در زیر آورده شده اند.

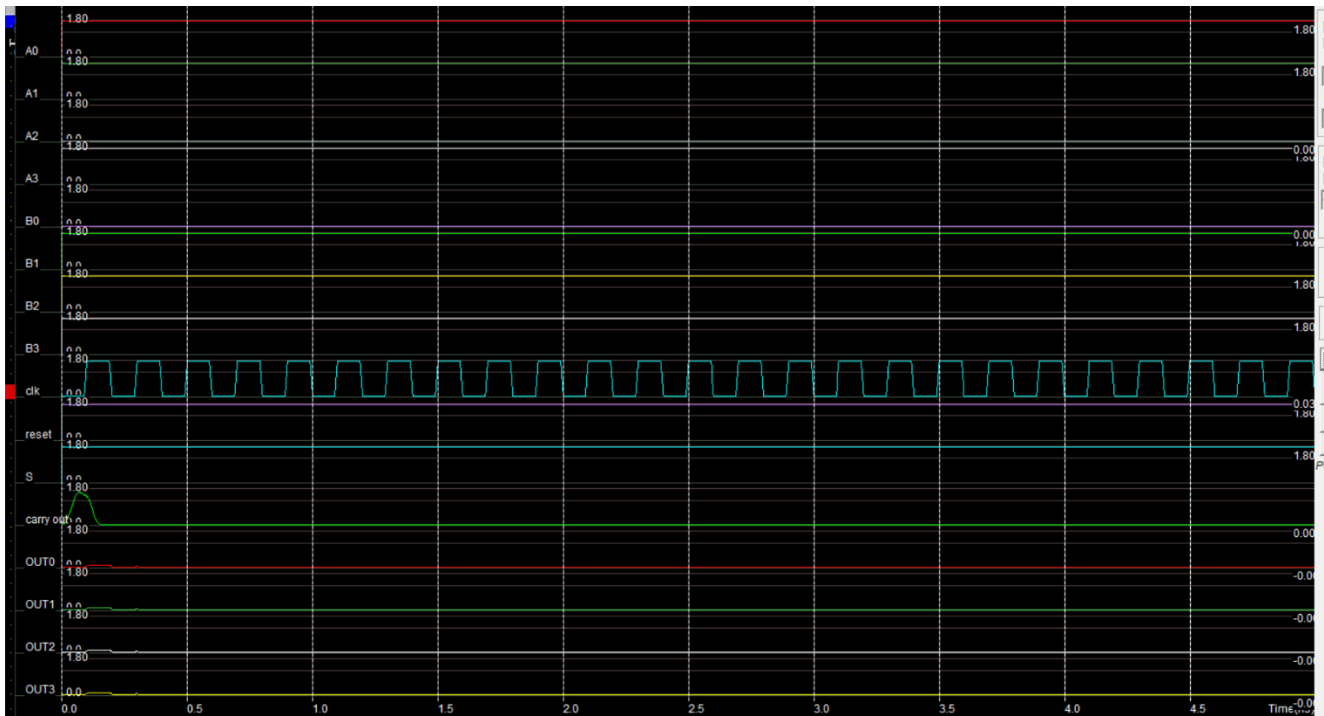
A=0101, b=1111 adder



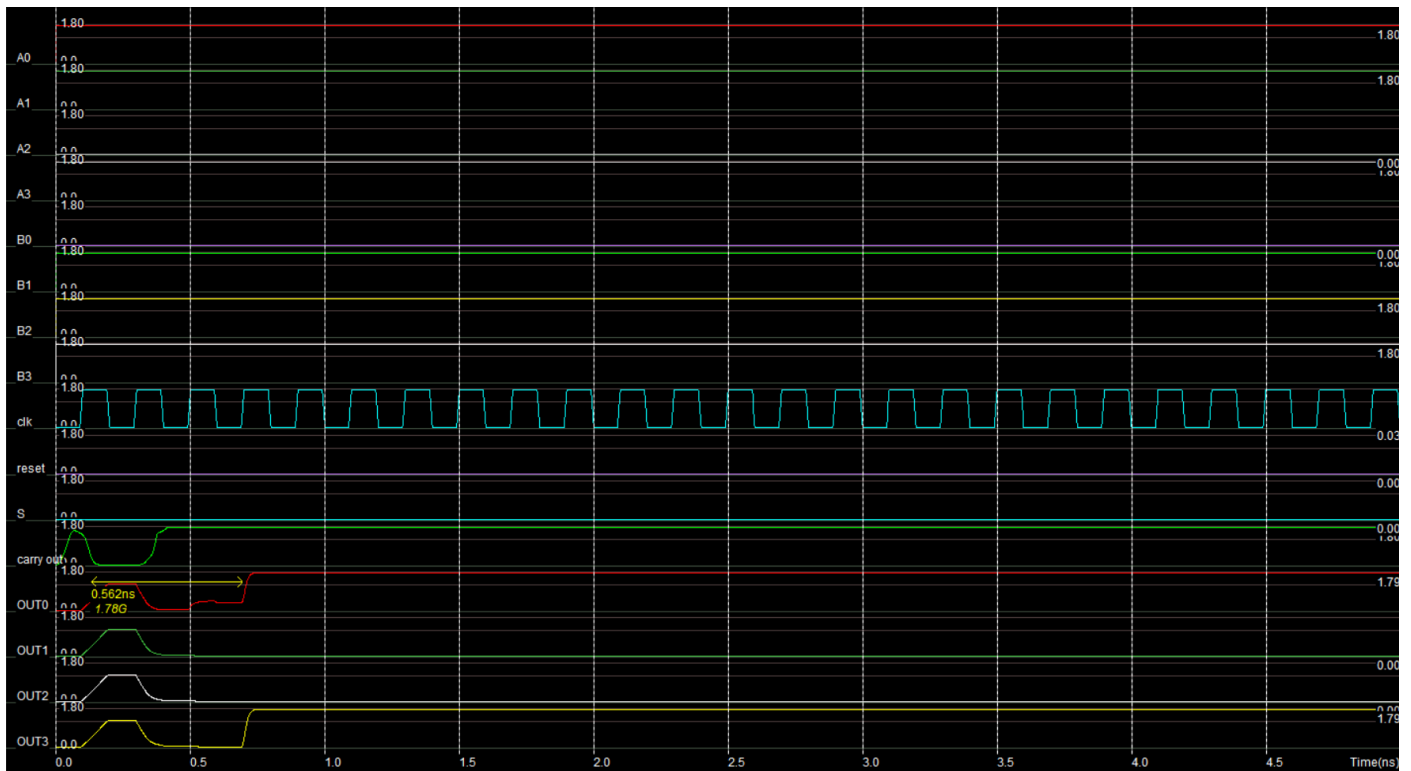
A=1011, B=1110 and



Reset آسنکرون



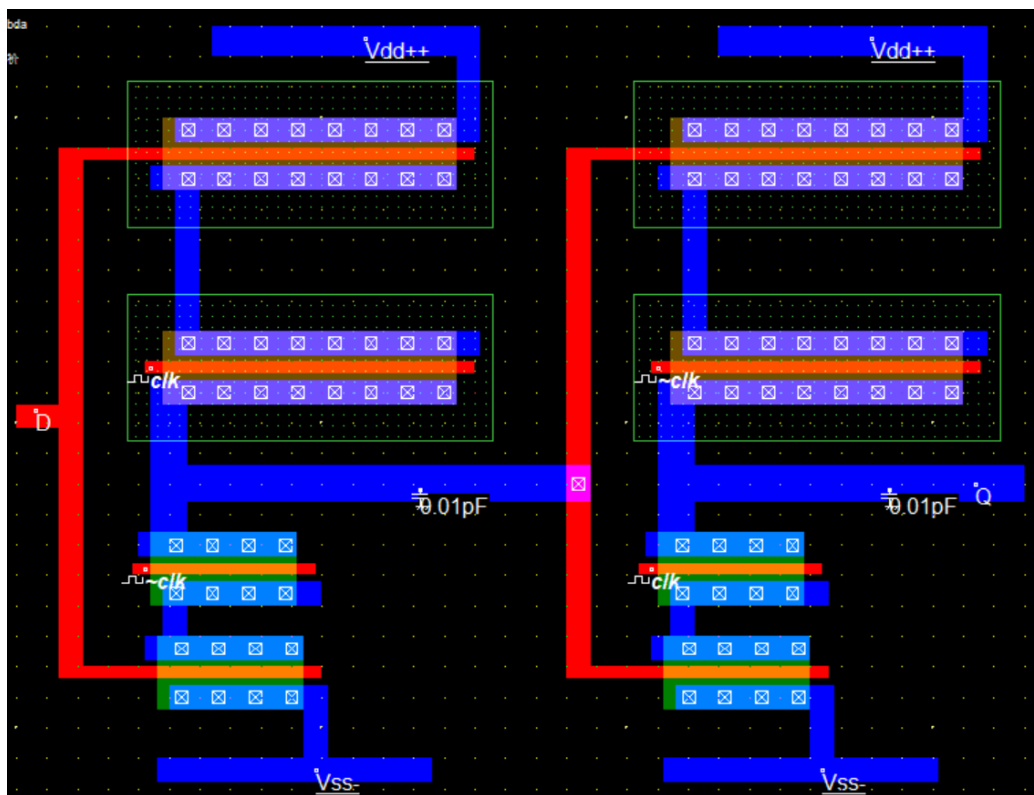
Add $1011 = a$, $b = 1110$



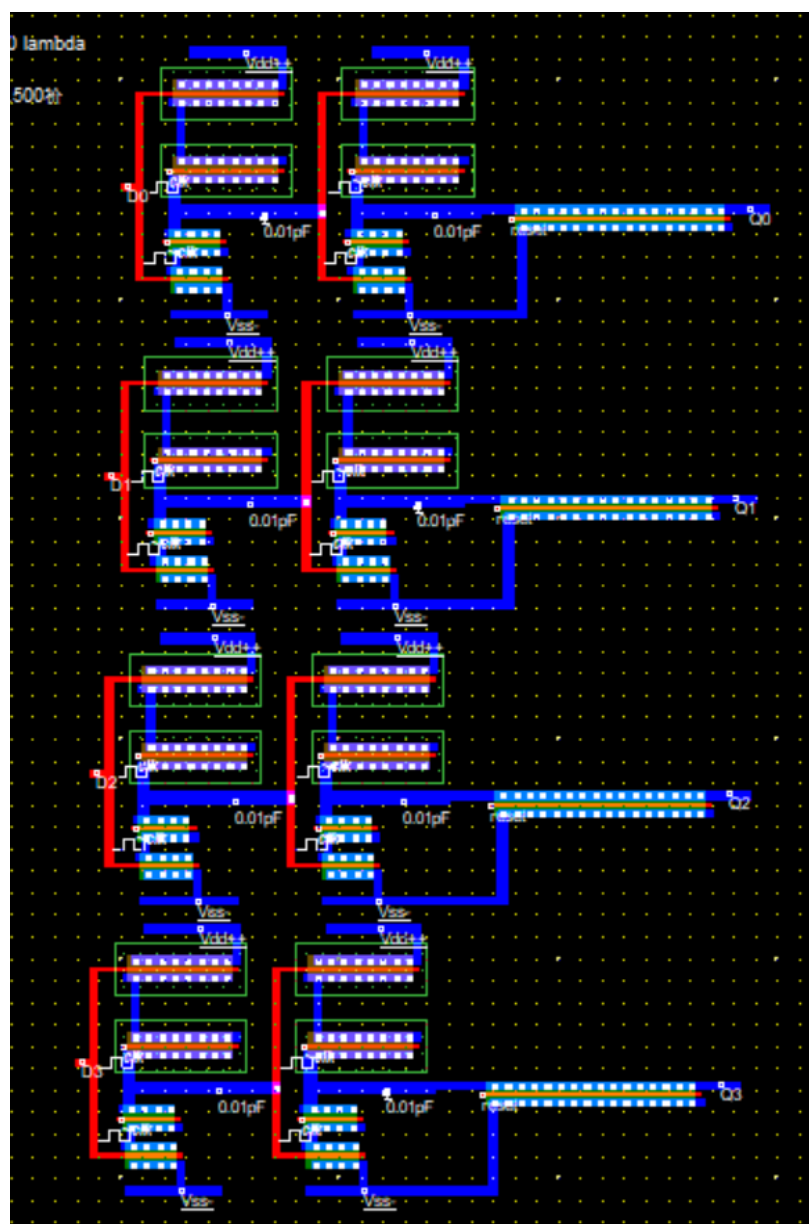
بخش چهارم

رجیستر:

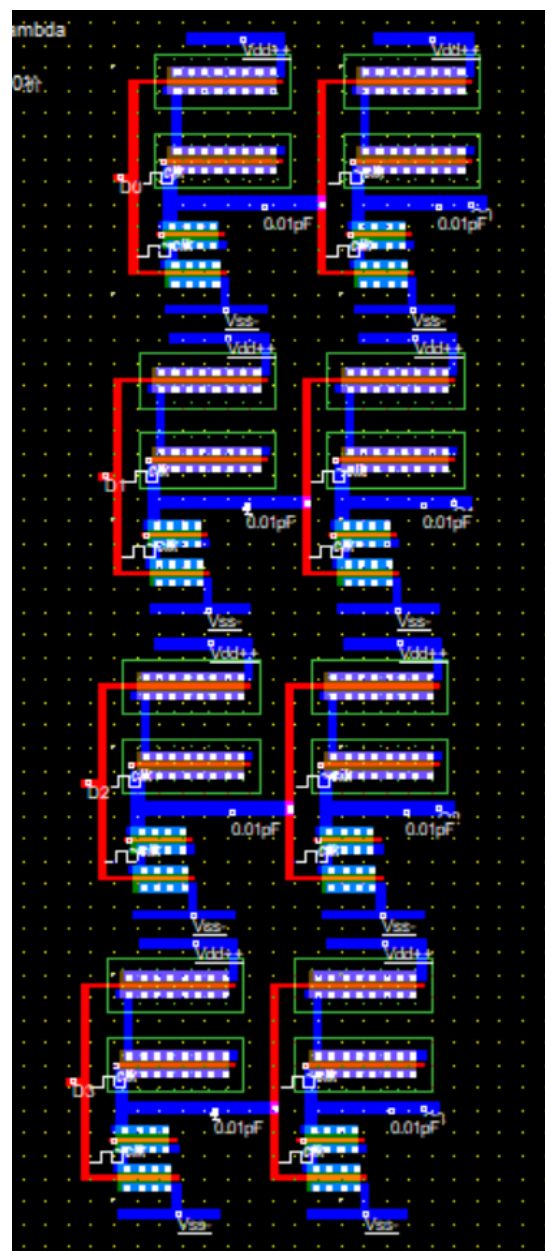
در ابتدا لی اوت یک فلیپ فلاپ دی را به صورت زیر رسم کرده سپس با موازی کردن 4 فلیپ فلاپ و اضافه کردن ریست آ سنکرون لی اوت رجیستر را طراحی میکنیم که به صورت زیر نمایش داده شده است.



فلیپ فلاپ دی با معماری c2mos



رجیستر 4 بیتی با ریست آسنکرون

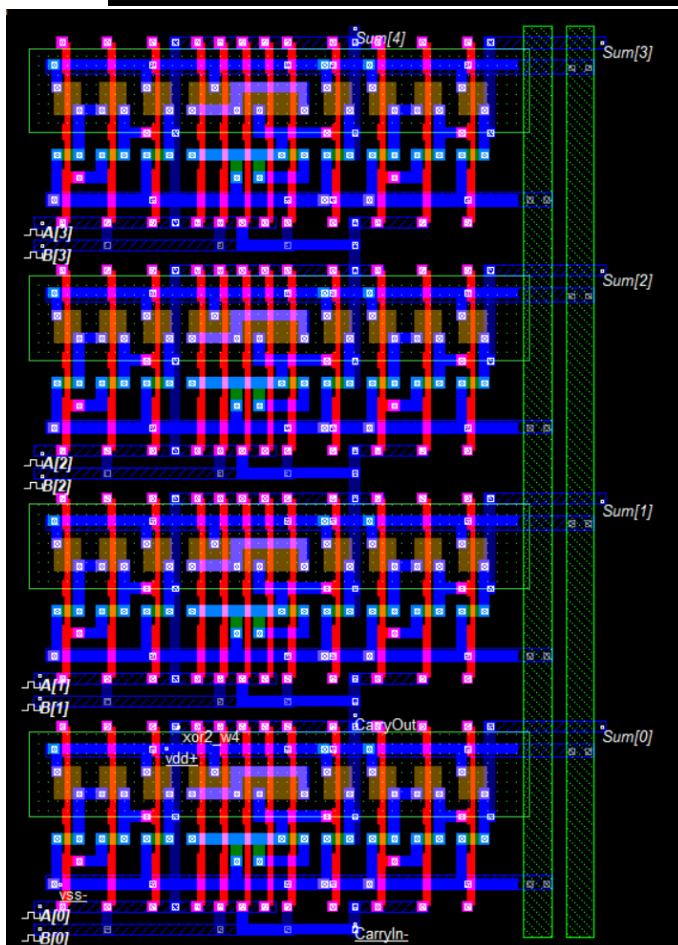
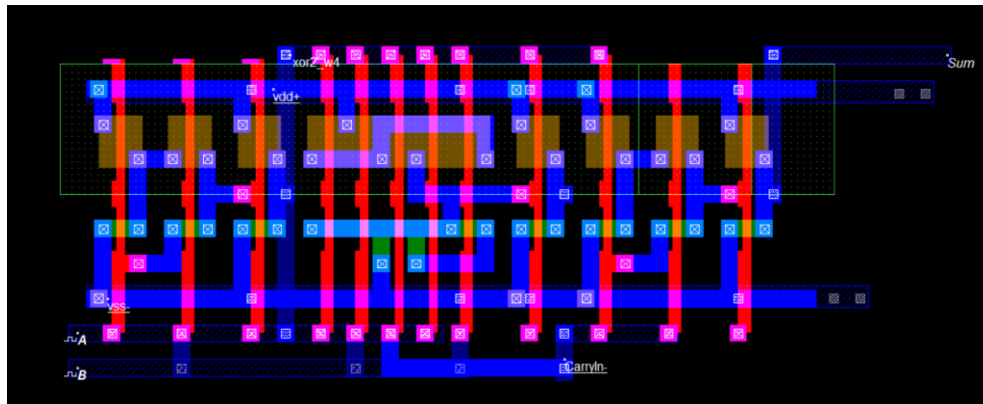


رجیستر 4 بیتی

جمع کننده:

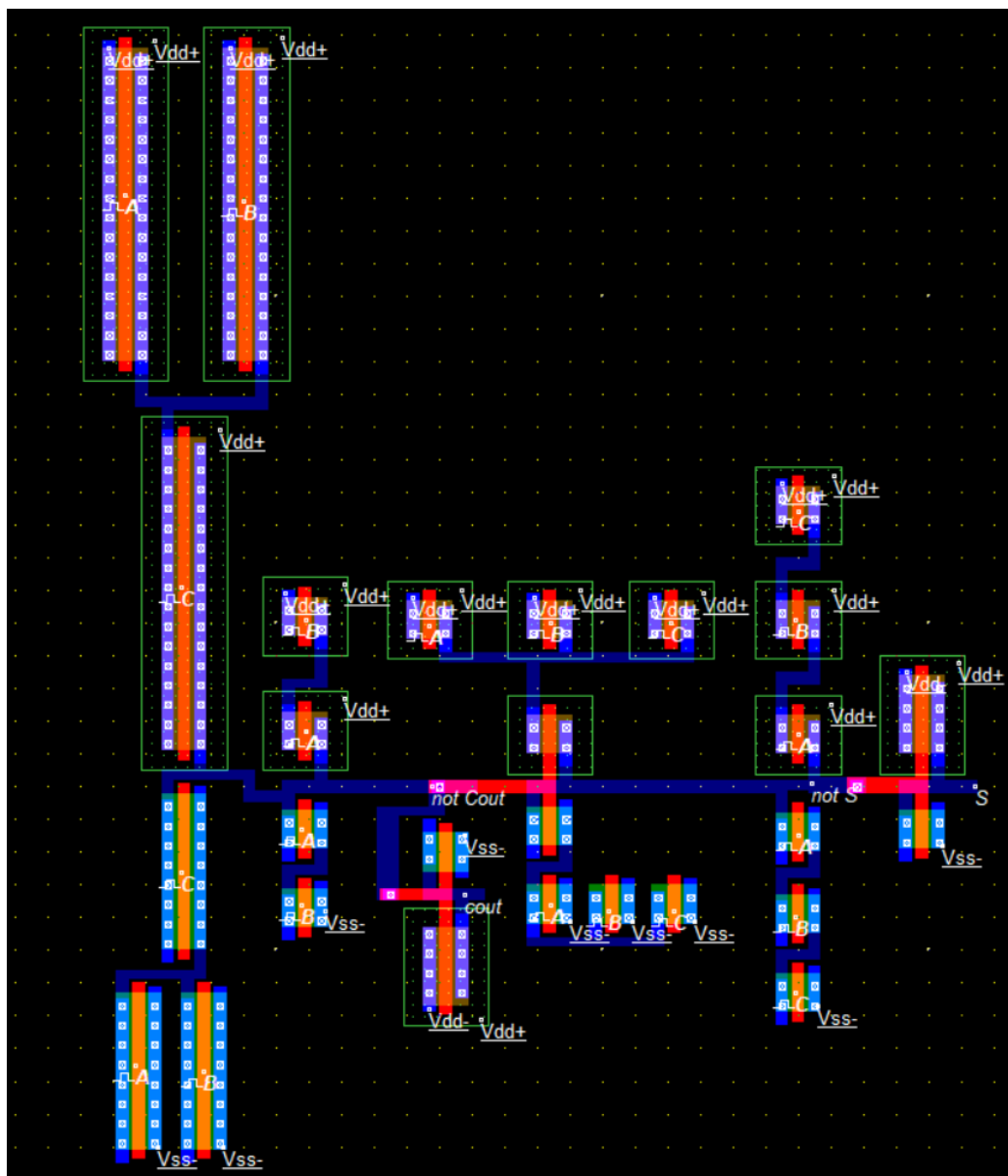
در ابتدا لی اوت یک جمع کننده تک بیتی را رسم کردیم و در نهایت با اتصال چهار تا از این جمع کننده ها مطابق ساختار نردبانی ، لی اوت نهایی را به دست آوردیم .

جمع کننده تک بیتی



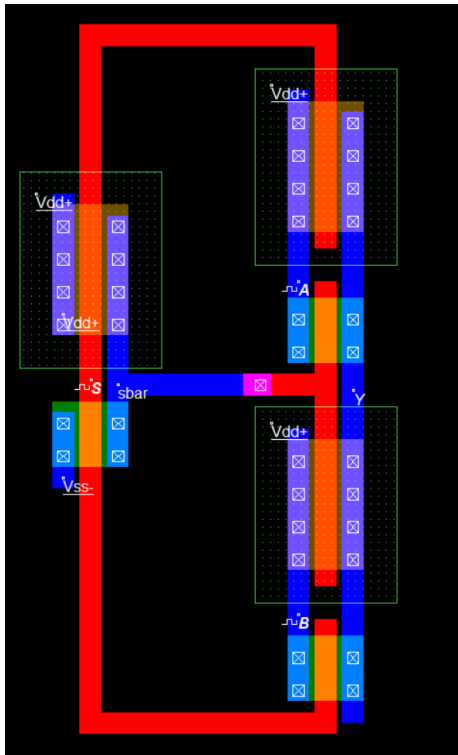
جمع کننده 4 بیتی

*قبل از جمع کننده نردبانی لی اوت جمع کننده آینه ای را نیز به صورت زیر رسم کردیم اما عملکرد دلخواه را از آن نگرفتیم .

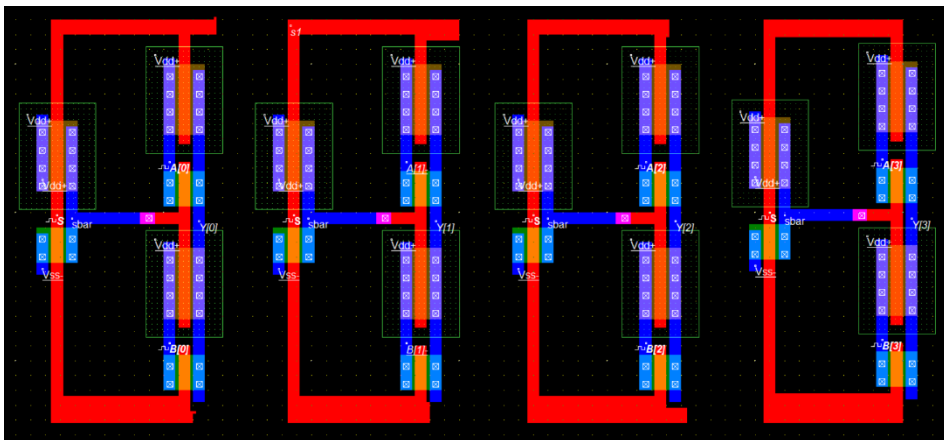


مالتی پلکسر:

طراحی مالتی پلکسر تک بیتی به صورت زیر می باشد . که در سمت چپ یک اینورتر طراحی شده است و در سمت راست چهار ترانزیستور که دو به دو آنها گیت انتقالی تشکیل داده اند.

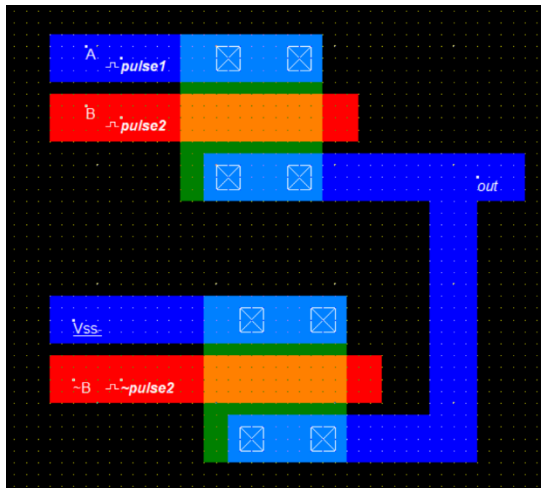


از آنجایی که داده های 4 بیتی داریم با استفاده از موازی کردن چهار ماژول بالا با یک دیگر و داشتن یک پایه سلکت یکسان لی اوت چهار بیتی آن به صورت زیر خواهد بود .



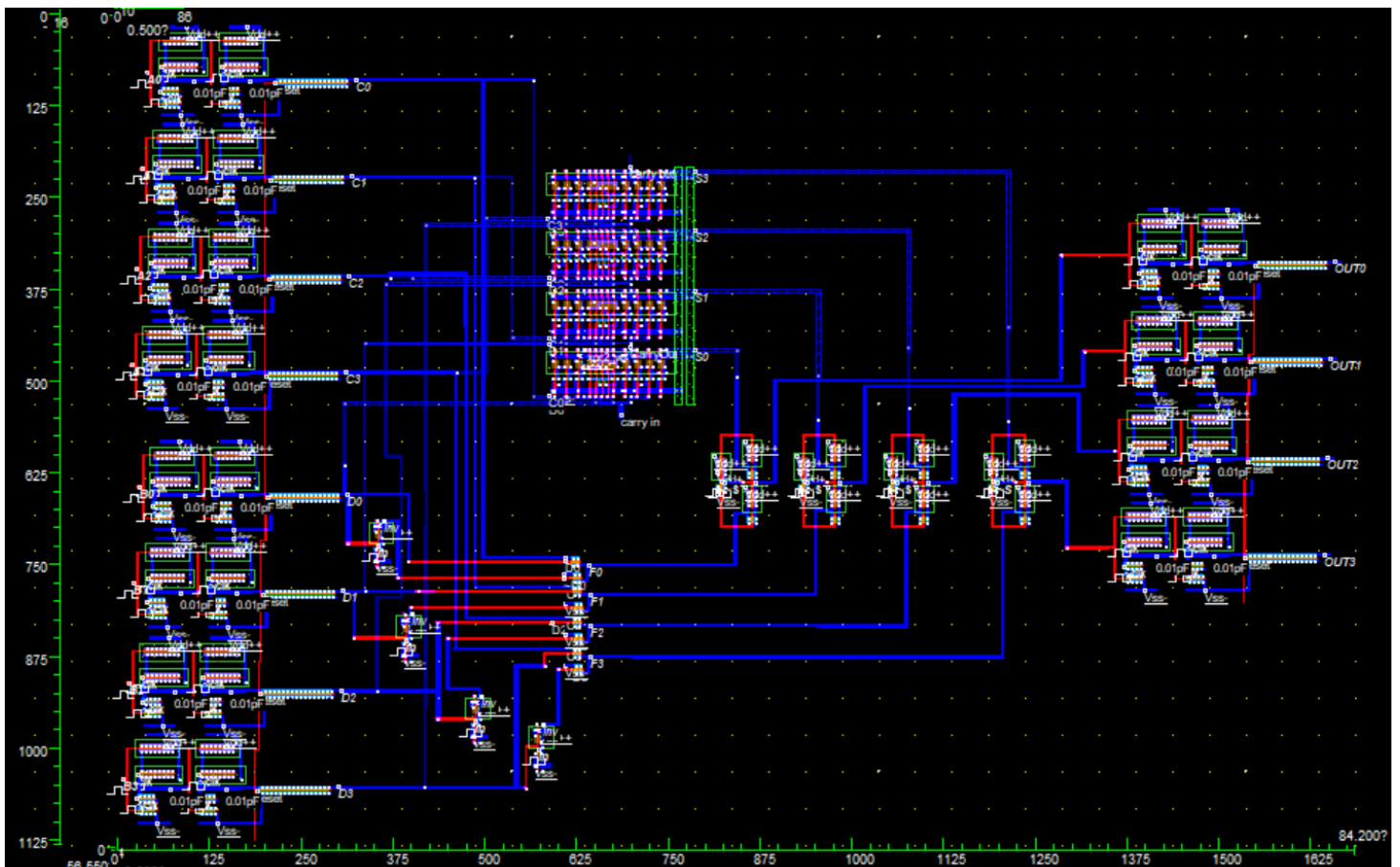
اند 4 بیتی:

در ابتدا با استفاده از منطق ترانزیستور عبوری گیت اند دو ورودی را طراحی کرده سپس با قرار دادن 4 تا از این ماژول به طور موازی لی اوت اند 4 بیتی را طراحی میکنیم.



طراحی کلی مدار:

با قرار دادن مازول های ذکر شده در قیمت های قبل کنار هم و برقراری اتصالات بین آنها مدار زیر به دست آمد. طول این مدار 84 میکرو متر و عرض آن 56 میکرو متر به دست آمد و مساحتی حدود 4700 میکرو متر مربع دارد که شرایط مسئله را ارضا میکند.



بخش پنجم:

مدار طراحی شده دارای مساحت 4700 میکرومتر و تاخیر 0.7 نانوثانیه است. در طراحی این مدار از 132 ترانزیستور ان ماس و 112 ترانزیستور پی ماس استفاده شده است که اندازه آنها در قسمت طراحی ذکر شده است.

- متأسفانه در طراحی این پروژه (به اشتباه) از تکنولوژی 90 نانومتر استفاده شده است. که باعث ایجاد تغییراتی در دیزاین رول ها گردید و امکان اصلاح آن در زمان کم وجود نداشت.

- فایل نت لیست پروژه که شامل مشخصات کامل اجزای مدار و تعداد دقیق و اندازه ترانزیستور ها میشد در فایل تحویلی پیوست شده است.

- با تشکر <=