



به نام خدا

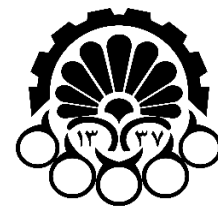
VHDL تمرین دوم

معماری کامپیوتر

دکتر شریعتمدار مرتضوی

نیمسال دوم 1401-1402

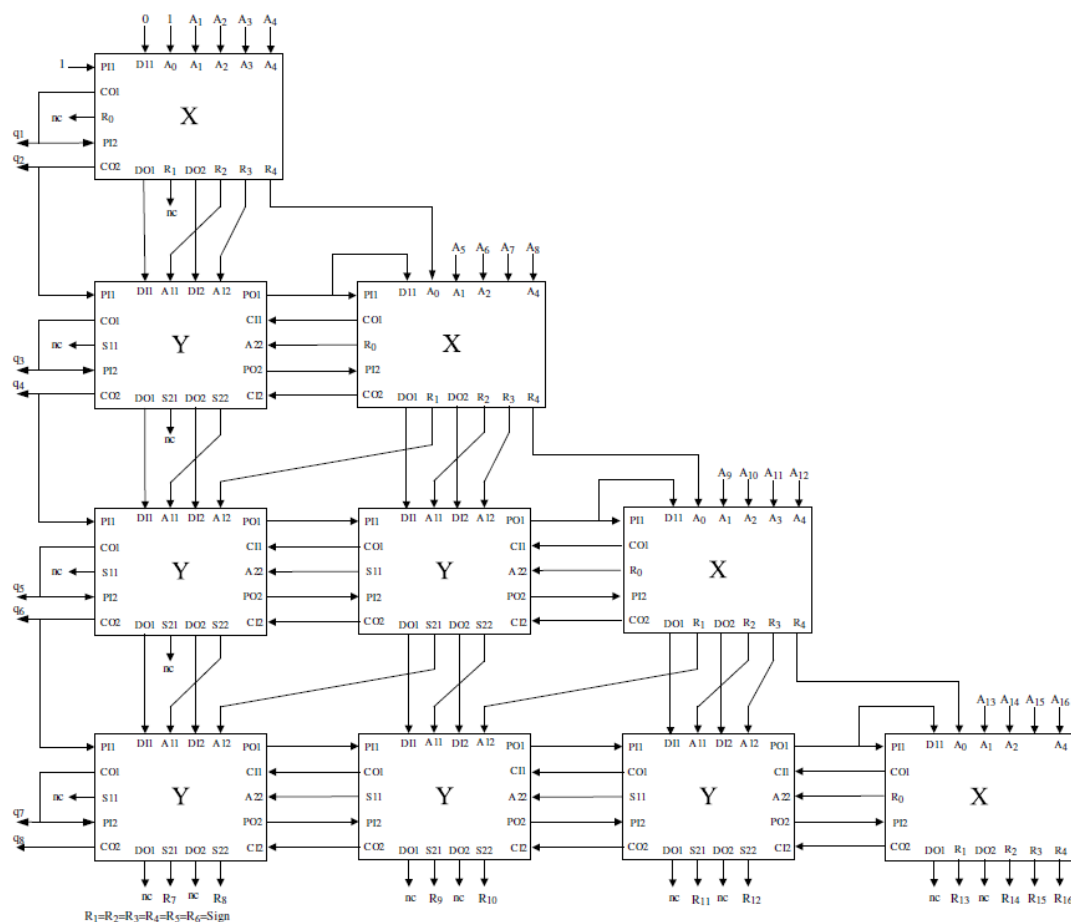
مهلت تحویل : 1402/ 1/13



دانشگاه صنعتی امیر کبیر

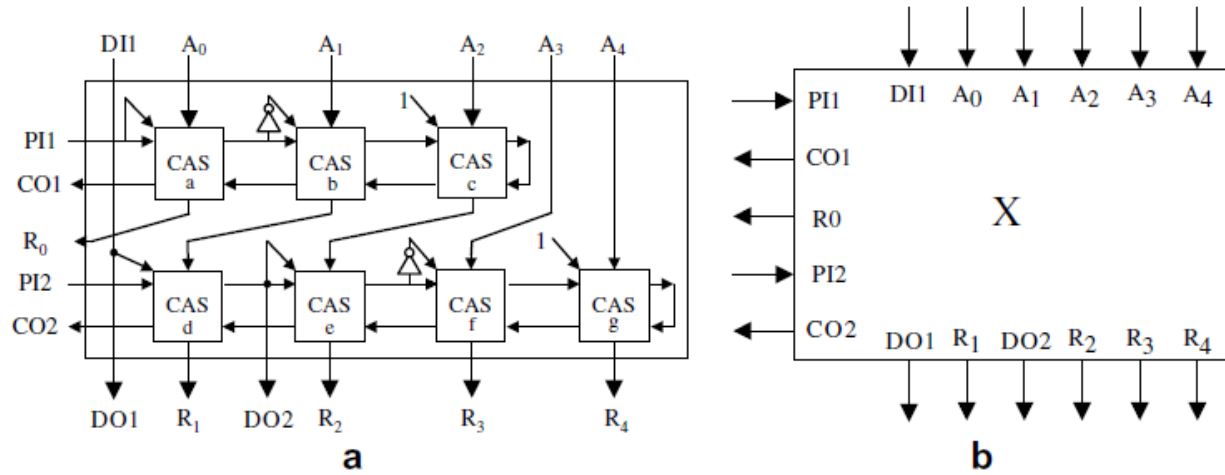
در تمرین دوم می‌خواهیم یک جذرگیر یا همان ریشه دوم گیر را بسازیم.

شکل کلی یک مدار جذر گیر 16 بیتی به صورت زیر می‌باشد که مانند تمرین اول باید به صورت ماژول وار ساخته و نحوه پیاده سازی آن نیز مانند تمرین اول است.

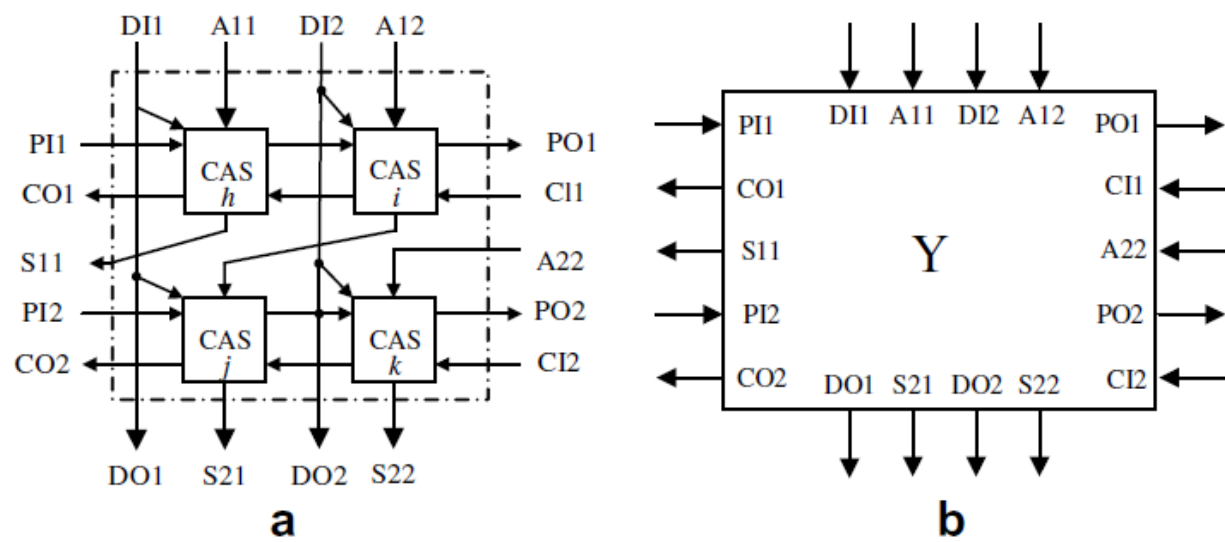


که این جذرگیر از دو بلوک خاص X و Y درست شده است.

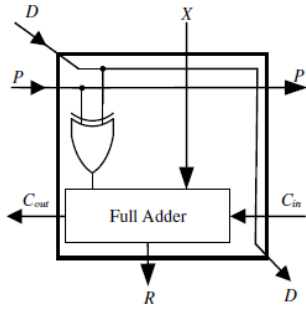
بلوک X:



بلوک Y:



و خود بلوک‌های X و Y نیز از بلوک‌های کوچکتری ساخته شده است به نام CAS که ساختاری این بلوک نیز به صورت شکل زیر است :



عملیات مورد انتظار در این تمرین به شرح زیر خواهد بود:

- 1) شبیه‌سازی جذرگیر با استفاده از زبان VHDL
- 2) ایجاد Testbench برای پیاده‌سازی هریک از ماژول‌ها و یکی برای کل پروژه
- 3) گزارش شماتیک ایجاد شده در محیط شبیه‌سازی
- 4) سطوح مصرف FPGA هر ماژول

موفق باشید