

PCB 布线规则

Power Application Controllers

目录

1 地回路部分电路	3
1.1 地回路的连接	3
1.2 地回路铺铜	5
2 功率电源部分电路	6
2.1 VBUS 母线电源	6
2.2 VP 电源	7
2.3 LDO 电源	7
3 开关电源部分电路	9
4 驱动信号部分电路	10
5 采样信号部分电路	11
6 PAC 芯片封装及回路	12
7 EMI 改善回路	13
8 更改履历	14

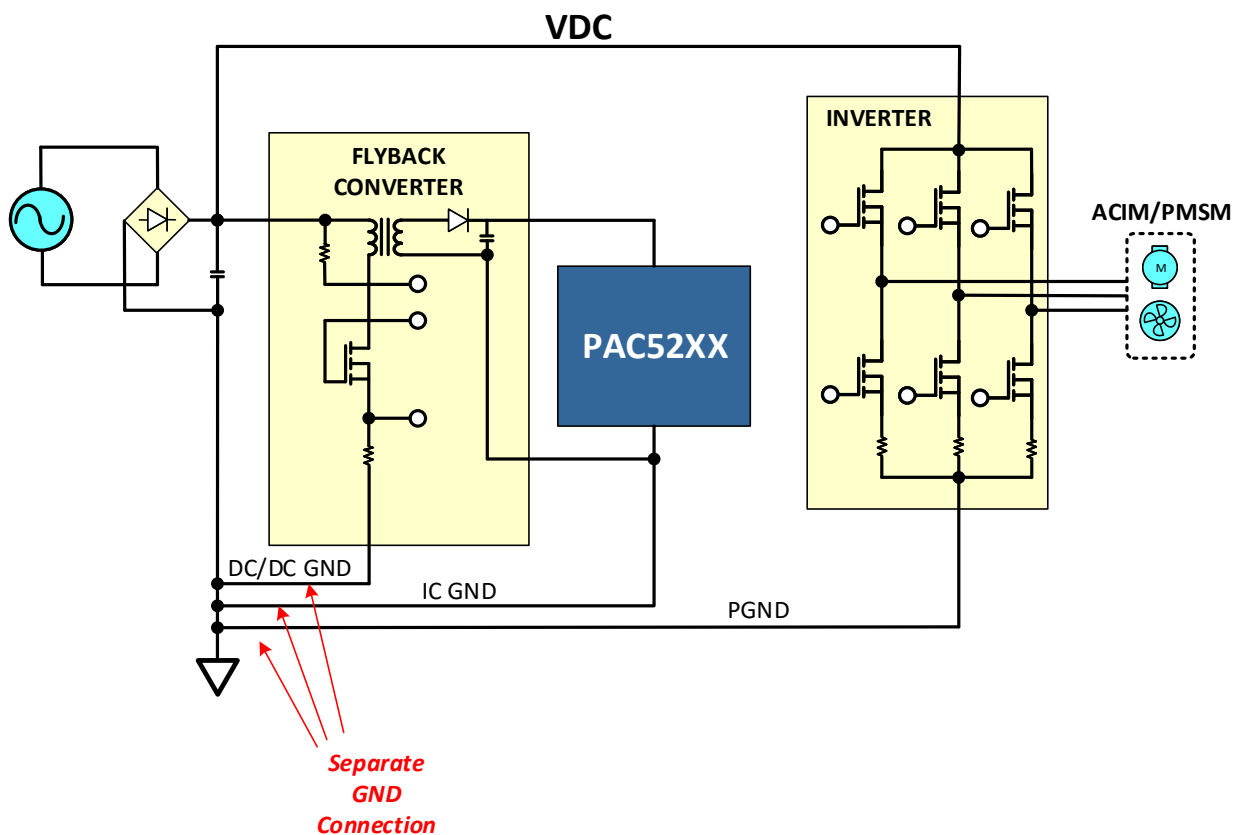
1 地回路部分电路

1.1 地回路的连接

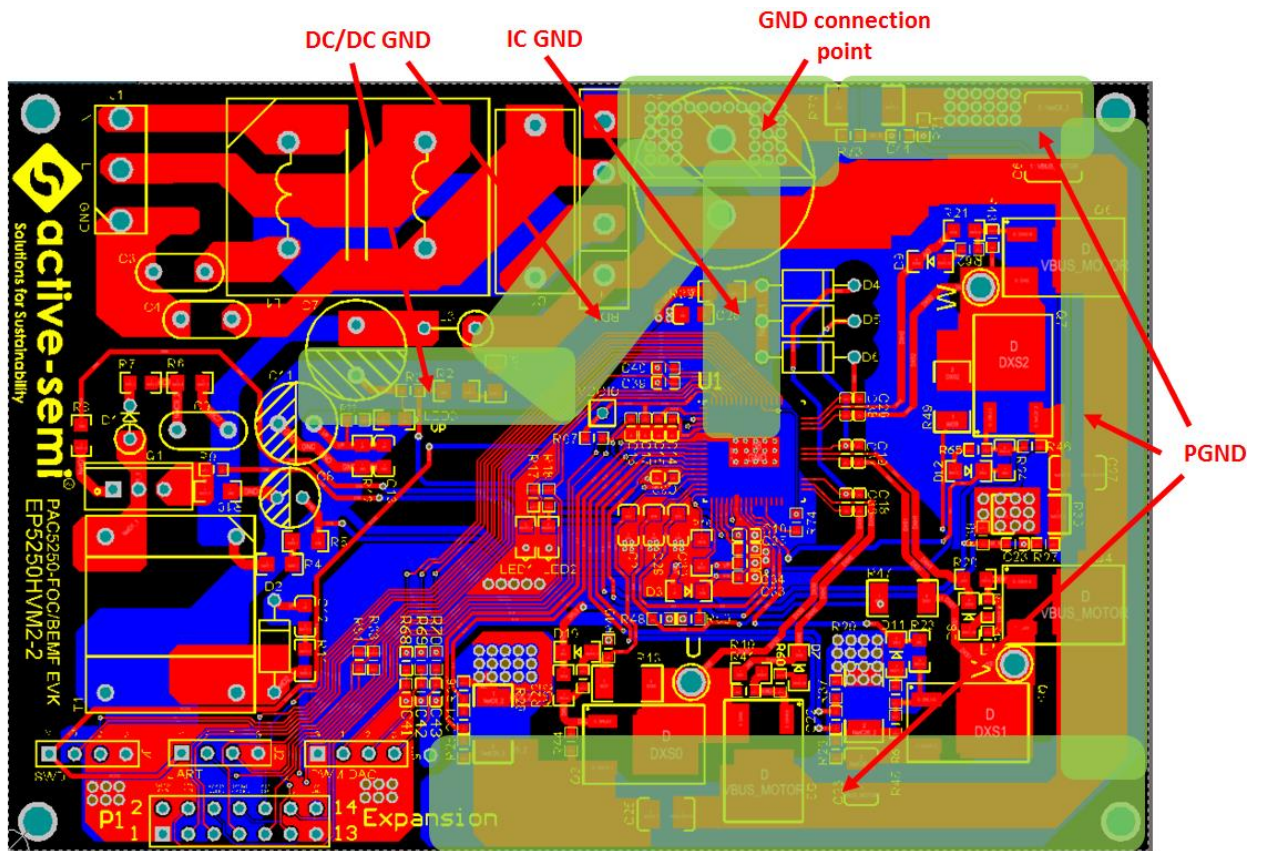
在基于 PAC 器件的电机应用方案中，一般包含三处需要对 GND 处理的回路：

- MCU 的 GND：MCU 器件部分的地回路
- DC/DC 的 GND：DC/DC 电源部分的地回路
- PGND：驱动桥臂部分的地回路

在 PCB 的设计中，以上三个地虽然在电气上是属于互相连接状态，但在布线时需要考虑互相之间的干扰，从而需要做到三个 GND 独立星型连接到 DC/DC 总电源的电解电容处，其框图如下：



下图以 EP5250HVM EVK 的 PCB 设计图为例，其对地回路部分的处理框图如下：

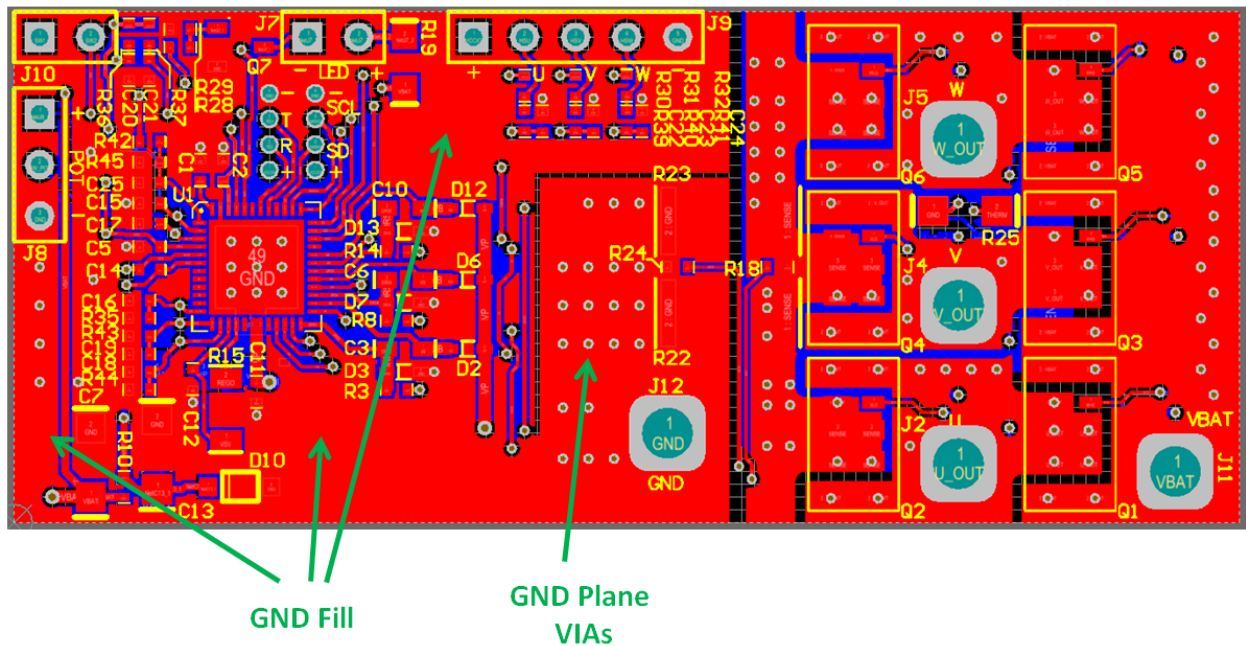


1.2 地回路铺铜

在 PCB 上未使用的位置铺上地回路的铺铜，有助于整体 PCB 的信号稳定性，尤其是在高频信号方案下。

同时，在不同 layout 层下的地回路铺铜之间加入适当数量的通孔，可提高不同层地回路之间的低阻抗特性。

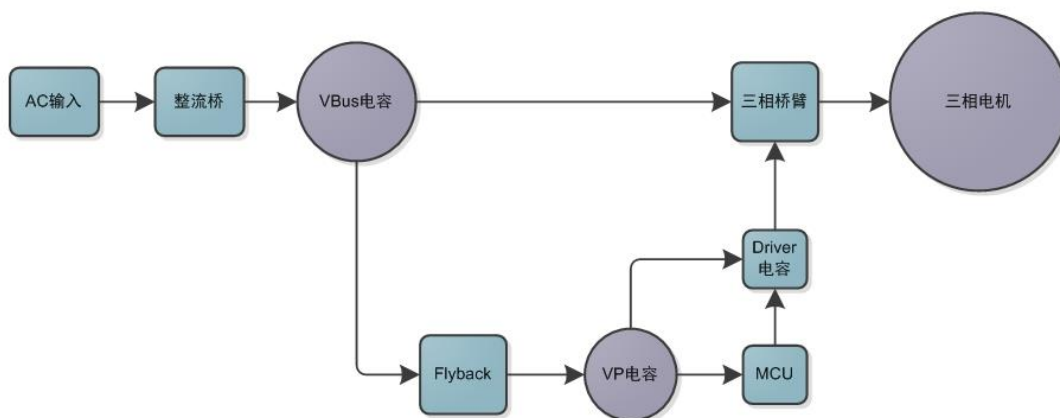
以下以 EP5223PT 的 PCB 设计作为参考，其图如下：



如图所示，在该 PCB 设计中的 Top 层和 Bottom 层添加了大面积的地回路铺铜，同时在两层之间增加了一定数量的通孔。

2 功率电源部分电路

PAC 应用方案内包含两个重要的功率电源—Vbus 和 Vp，各自需要一个或以上的电解电容用作缓冲。而这两个电源的稳定程度是影响整个方案稳定度的关键因素，以 AC 交流输入，高压驱动电机方案为例，其框架图如下：



2.1 Vbus 母线电源

母线电源主要起两个作用

- 实际应用的供电能量源
- 通过开关电路产生 Vp

方案内主要的功率消耗集中于实际的应用（如高速高功率电机的拖动），所以母线电源在布线时需要从电解电容处分离，保证大功率的应用下，开关电源的输入源不会因为应用的变化产生过多的干扰。

大功率线路需保证 1mm 线宽、1 盎司铜厚，可以流过 1A 电流。若要在不增加线宽情况下增大流过电流，请在画板时附加 solder 层，用以加锡扩流。且高压各线间距应保证 1mm/100V 的线距标准。

实际方案中，发现电机线电流峰值抖动比较明显，且 PID 参数已经无法修复该现象时，可观测 Vbus 母线电源的电压信号，是否有波动等情况，根据实际功率需求更改母线电解电容的容值大小（推荐为母线电流 1A 对应容值 220uF 时母线电压波动状况可在理想范围内）

母线电源的布线可影响到的情况为：当方案跑在高功率下，发现到达某个功率点时整个方案自动重启。遇到这样的情况，可先从母线电源处找原因。

2.2 Vp 电源

Vp 电源主要起两个作用

- PAC 芯片的供电电源
- 高压驱动脚的自举电压源

Vp 可作为 PAC 芯片的直接供电电源，通过 PAC 芯片内部的 LDO 电路产生 Vsys (5V)、VCC33 (3.3V) 和 VCC18 (1.8V)。最简单的供电方式为，将 VP 和 VHM 同时对地供 9V~12V 范围，PAC 芯片就可以工作在最简单的低压数字核模式内。对于芯片的调试，程序的检验等都有帮助。

芯片如果频繁复位，可从 VP 处检测电压信号看是否有间歇性的掉电现象，再反向从开关电路和母线电源处排查。

电机方案中，三相桥臂的三个上桥处的三个驱动信号，其自举电压的来源就是 Vp，根据所选功率器件的门极驱动电压来设置 Vp 为 9V、12V 或者 15V。当发现上臂驱动异常时，即可从 Vp 处开始排查问题。

布线方面，由 Vp 处的电解电容处分成芯片供电一组和上桥自举电容一组，保证两者之间干扰的程度达到最小，从而增强整体的稳定性。

2.3 LDO 电源

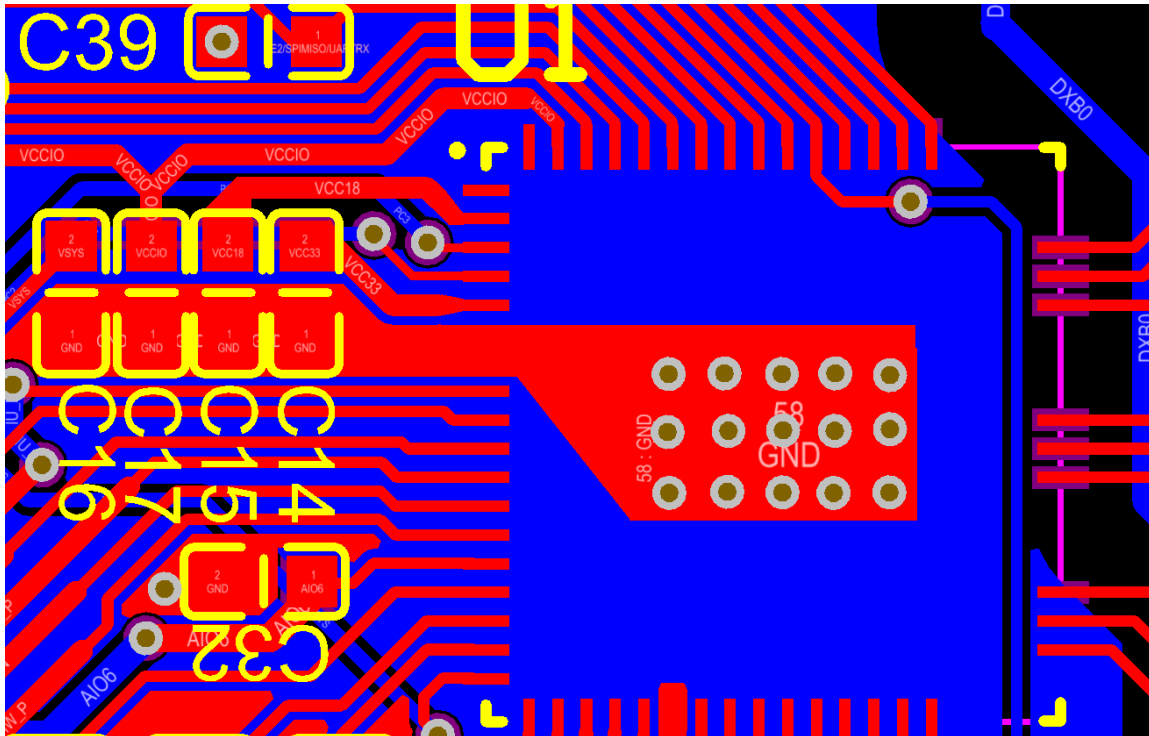
PAC52xx 系列器件，通过 VP 供电后产生四路 LDO 电源如下：

- VSYS – 5V 系统供电电源
- VCC18 – 1.8V 内核供电电源
- VCCIO – 3.3V/5V IO 供电电源
- VCC33 – 3.3V 电源

每一个电源信号都需要通过一个去耦电容来接地，从而保证其正常工作。

这些去耦电容需要离 MCU 器件越近越好，同时将回路布线设计得越短越好。这样可以有效的减少振铃效应以及寄生效应。

其参考设计如下图（C14~C17）：



3 开关电源部分电路

开关电源部分电路在整机 PCB 上属于干扰源之一，高频的调制信号容易对器件周边路线产生同步频率的尖峰噪声。其电路部分结构核心为 PAC 芯片的四个引脚构成的电路（VP、VHM、CSM 和 DRM）。其中，Vp 和 VHM 脚为最终恒定的电源信号，CSM 为调制采样信号输入脚，DRM 为调制 PWM 输出驱动脚。

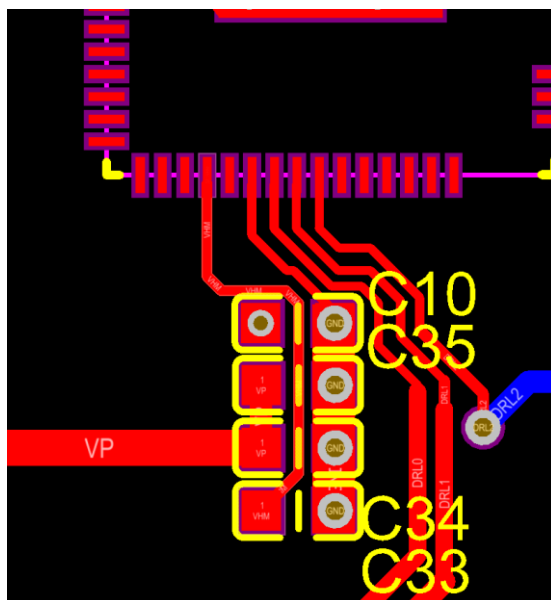
无论是 DC/DC 的 Buck 电路或是 AC/DC 的 Flyback 电路。DRM 脚和 CSM 脚为对外辐射干扰的重要两个点。同时在 Flyback 电路中的绕组变压器也是其中一点。

布线方面，这几个点应尽量远离对信号比较敏感的通路，例如 ADC 采样线路。

同时 DRM 和 CSM 的走线不宜过长，即开关电源部分电路不宜离 PAC 芯片过远。也不宜放在整板正中心。如果遇到特殊板型需要将开关电源部分远离芯片的，尽量让 DRM 和 CSM 走等长平行线且远离信号线的走法。

Vp 处的点解电容因为是属于开关电源电路的一部分，所以需要靠近开关电源部分的输出端。从而减少开关电源输出路线扰动部分的长度。

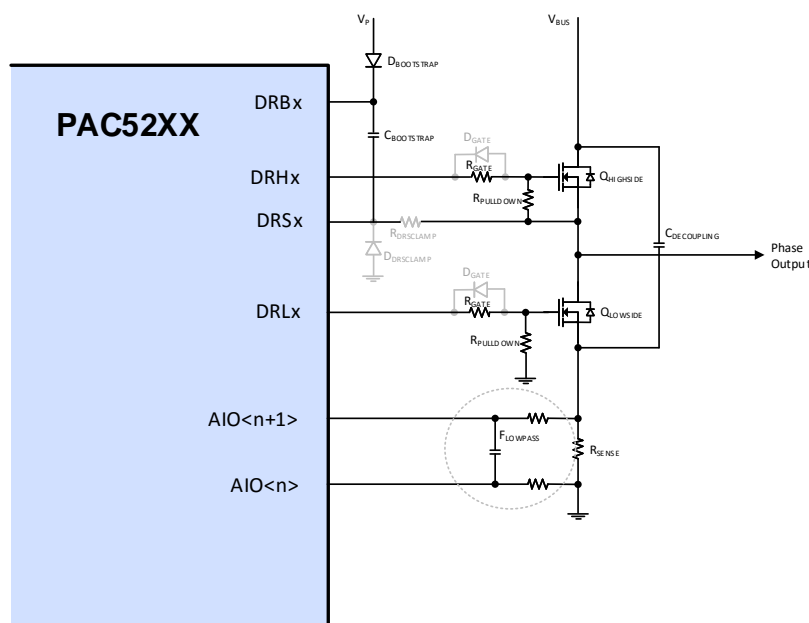
Vp，VHM 和 CSM 脚同样需要一个去耦电容的连接。同样需要离器件 IC 越近越好。其参考设计如下：



4 驱动信号部分电路

驱动信号部分电路包括三组上桥驱动和三组下桥驱动，由于门极驱动多数会是相对的高压（12V 以上），所以被干扰的可能性很小，反而可将其视作一个潜在的干扰源（频率跟随应用驱动频率，小于开关电源电路频率）。

其推荐配置如下框图：



布线方面，上桥驱动相对于下桥驱动，多出了自举电容的排布。自举电容组要接近上桥驱动引脚处，同时自举电容的器件容量选择要根据实际应用来调整，以及看是否需要在电机启动前用程序添加预充电代码。

在低压大电流的方案中，DRSx 与电机的 UVW 间需要串接一个 1206 封装的 5.1 Ω电阻以及对地的钳位二极管，用于防止电机的负压反电动势对主控 IC 的损坏。

门极驱动电阻应尽量靠近功率器件 MOS 管（六路），其大小可根据实际应用的驱动信号开断时间要求做变动。该电阻越大，PWM 驱动信号的上下沿则越平缓，也越利于 EMI 等测试，但开断时间不够迅速会导致一部分能量消耗在功率器件上，可导致功率器件温升略高。

如果还需要将开断时间变得更平滑，可将功率器件 G 极和 S 极之间的电阻更换为适当大小的电容。切记容值不可过大，否则将造成驱动信号电压不够高，无法导通功率器件造成功率器件的工作异常。

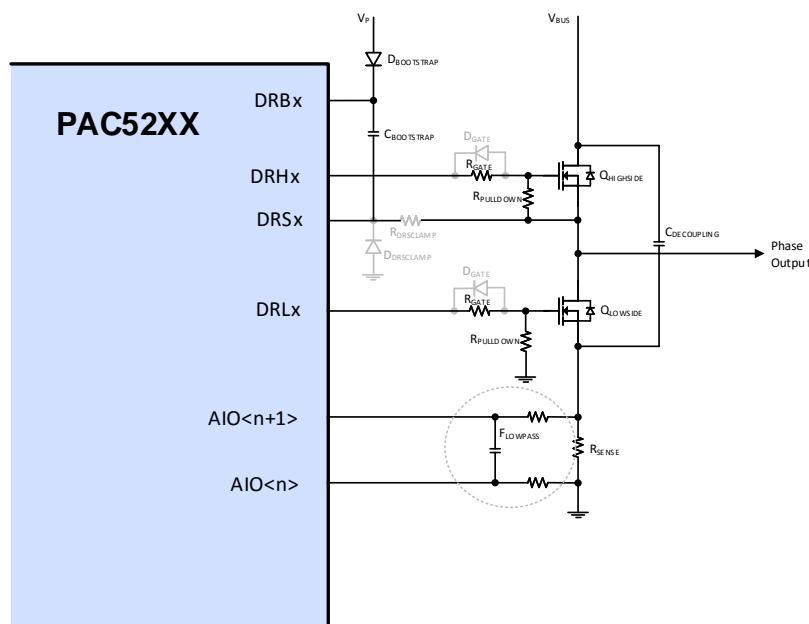
5 采样信号部分电路

采样信号部分电路的总原则为：**分压后进入主控 IC 的电压不允许超过 2.5V！！**

采样信号在电机 EVK 应用中分为三种：母线，反电动势和三相电流采样。

母线电压采样路线抗干扰性比较强，也由于实际应用中母线的信号不会处于太多抖动的情况。分压电路中的电容元件靠近主控 IC 的采样口即可。（一般使用的是 PAC 芯片的 PCx 口，而 PCx 口在采样时需要注意程序内将 PCx 口的上拉功能禁止掉）

反电动势在电机拖动方案中是处于高压的 PWM 形态，所以其走线不宜过长，分压电阻中的高压端电阻可靠近 UVW 处，然后走线至近主控 IC 处再通过分压电阻中的低压端电阻电容，进入单端采样口 AIOy 内



同样，由上模块所述，三相电流采样电阻一般不超过 100mΩ，导致采样信号在小负载的情况下会变得很弱且很容易被干扰，于是三相采样的路线应尽量避免开关电源部分电路和驱动信号部分电路。同时保持等长平行的布线方式，可减少一定量的干扰。差分采样的滤波电阻和电容可靠近主控 IC 处（最起码，滤波电容应靠近 AIOxx 处），可滤掉部分高频噪声。

6 PAC 芯片封装及回路

PAC 芯片封装推荐直接使用原厂提供的封装库，注意事项如下：

背面 PAD 为芯片的 EP 脚，用于接地，同时封装的背面采用 Multi-layer 模式，保证背部也留有 solder 层，在添加焊锡后保证 PAC 芯片在运行过程中的散热条件。

布线方面请参照各芯片型号的 DS。

芯片封装的具体细节请参考 QFN PCB Layout Guidelines Rev4_Chinese.pdf

7 EMI 改善回路

当客户需要设计马达驱动方案时，需要考虑一些额外的平衡，如整板成本、方案效果以及 EMI。

EMI 可以由以下几个方面原因产生：

- 离开 PCB 的信号（例如与另外 MCU 通讯的 IO 线）
- 门极驱动互补上下管信号的死区时间设置不恰当
- 门级驱动电阻阻值过小
- 高频信号过多的 90°边沿

PCB 与外界系统互联的 IO 脚上可产生一定的发射噪音，并且同步于一个固定的频率。用户可在 IC 与 PCB 对外的连接 IO 处添加一系列的电阻或者电阻珠来阻止高频频率的干扰噪音。

对于低电流的一些信号，用户可以使用串列电阻来阻止这些高频噪音。但对于高速信号，串列电阻会有一定的带阻特性，或者大电流的信号，会在电阻上产生相当的压降。这种场合下，即可使用电阻珠来滤高频噪音，并且对低频也没有太大的影响。

设计者常常会为了提高效率而将门极驱动电阻的阻值设置得尽量小，这样功率管的开通时间能够变得更迅速，但是开通信号过于快速也会在三相接线处发射出噪音信号，并且也是同步于驱动信号的频率。所以适当的加大电阻值，将开关速度放缓，可有效的降低该处产生的 EMI。同时，在开关速度放缓的情况下，用户需要调节上下互补信号的死区时间设置。在保证上下管不会短路导通的情况下，越小的死区时间能提高一定的效率，但是也同样会产生一定的 EMI 放射，所以，可通过加大一定的死区时间来权衡效率和 EMI 的设计。

在有些应用里，用户可通过特殊处理将一些 90°的跳变信号，转化为稍微圆滑的信号，也可以一定程度的消除跳变信号产生的 EMI。

8 更改履历

2017-2-3	重新整理，添加目录分类
2017-8-24	添加地部分回路
2017-9-15	添加 EMI 改善回路