



Digitális Rendszerek és Számítógép Architektúrák (VEMKKN3214A)

1. előadás: Bevezetés, számítógép generációk.
Neumann-Harvard architektúrák.

Előadó: Dr. Vörösházi Zsolt
voroshazi.zsolt@virt.uni-pannon.hu

Feltételek:

-  Könyv: *L. Howard Pollard – Computer Design and Architecture* (Prentice-Hall 1990)
- 8 fő fejezet (pdf)
- Követelmények: lásd tematika
 - kisZH-k** (plusz pontokért*)
 - 1 ZH** (lásd tematika – plusz pontok beszámítása!)
 - PótZH** (lásd tematika – plusz pontok fele kerül beszámításra!)
- Megajánlott jegy: **eredmény(ZH) >= 4**
- Vizsgára bocsátás feltétele:
 - eredmény(ZH) >= 2, vagy**
 - eredmény(PótZH) = megfelelt**
- Óralátogatás: **kötelező!**
- Vizsga: Tételsor alapján írásbeli-szóbeli.
- **Államvizsga tárgy:**
 - Informatika BSc - Informatika t.cs.: 3 összevont téTEL
 - Villamosmérnök BSc – választható tárgy

Kapcsolódó jegyzet, segédanyag:

-  Angol nyelvű könyv:
<http://www.virt.uni-pannon.hu> → Oktatás → Tantárgyak → Digitális Rendszerek és Számítógép Architektúrák (nappali)
(chapter1/.../8.pdf) + további segédletek
 - Bevezetés: Számítógép Generációk (**chapter01.pdf**)
-  Fóliák, óravázlatok .ppt (.pdf)
- Frissítésük folyamatosan „//frissítve”

További ajánlott irodalom

-  Dr. Holczinger, Dr. Göllei. Dr. Vörösházi:
Digitális Technika I. (TAMOP 4.1.2A - 2012) :
Digitalis technika I TAMOP
-  Dr. Holczinger, Dr. Göllei. Dr. Vörösházi:
Digitális Technika II. (TAMOP 4.1.2A - 2013) :
Digitalis technika II TAMOP

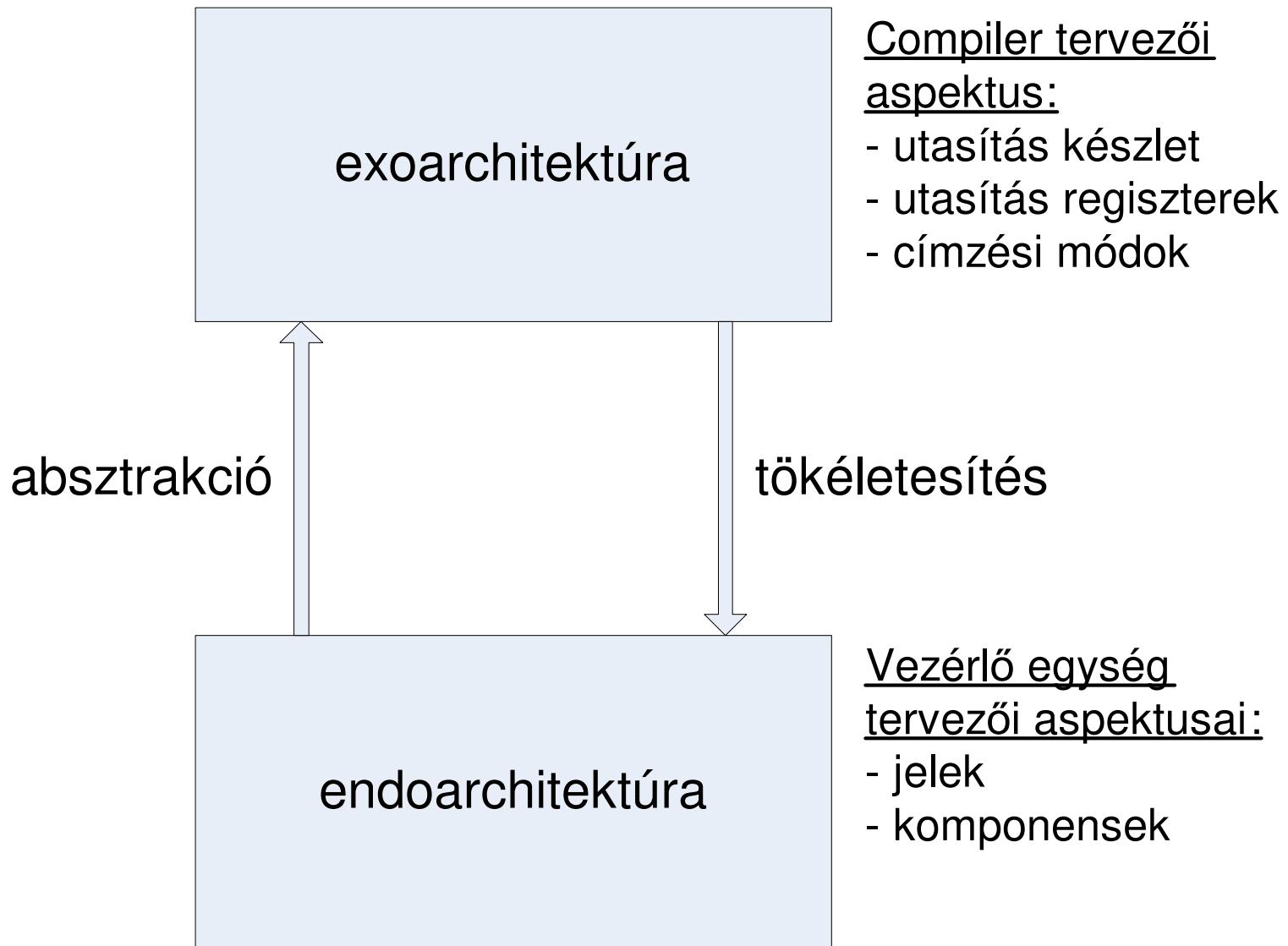
Előzmények (PE tantárgyak)

- A számítástechnika alapjai
 - Informatikai alapfogalmak
 - Számítástechnika fejlődéstörténete I-II.
 - Logikai tervezés (K.H.)
 - Számrendszerök, számábrázolás
- Digitális Technika - Digitális Áramkörök
 - Kombinációs és Szekvenciális hálózatok tervezése
- Operációs Rendszerek (párhuzamosan)
 - Memória szervezés és védelem (cache)

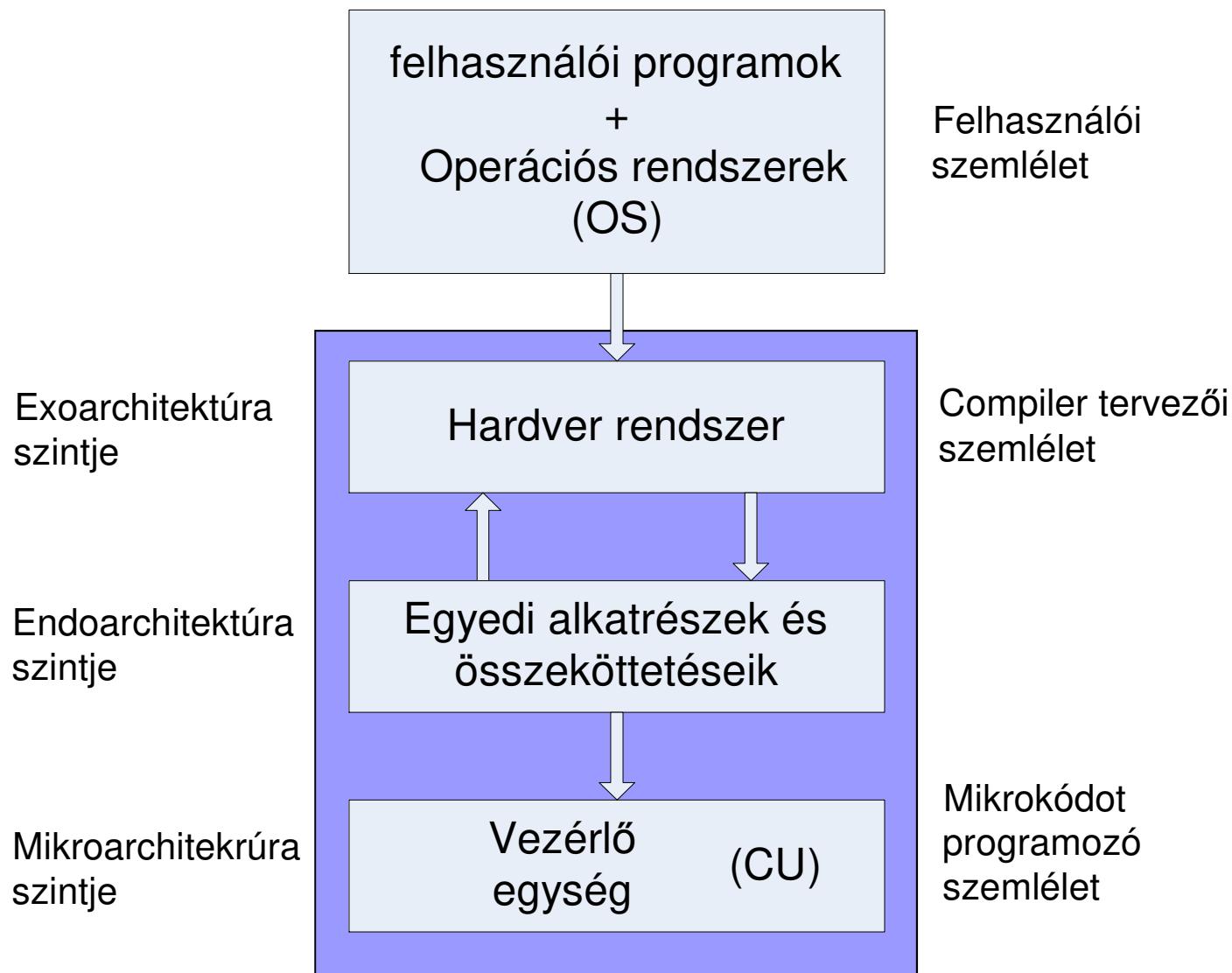
Alapfogalmak:

- **A számítógép architektúra** a hardver egy általános *absztrakciója*: a hardver struktúráját és viselkedését jelenti más rendszerek egyedi, sajátos tulajdonságaitól eltekintve
- **Architektúrális tulajdonságok** nemcsak a funkcionális elemeket, hanem azok belső felépítését, struktúráját is magába foglalják
- **Számítógép architektúra** = utasítás készlet (ISA) + rendszer mikroarchitektúrája.
- **Mikroarchitektúra**: egy számítógép kapcsolási sémája, hardver-alapú működésének leírása.

Exoarchitektúra – endoarchitektúra:

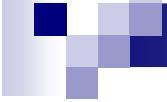


Számítógép architektúra definíciója:



Számítógépes rendszerekkel szembeni tervezői követelmények:

- Aritmetika megtervezése, algoritmusok, módszerek elemzése, hogy a kívánt eredményt elfogadható időn belül biztosítani tudja
- Utasításkészlet – vezérlés
- A részegységek közötti kapcsolatok / összeköttetések a valós rendszert szemléltetik
 - CFG, DFG a főbb komponensek között
- Számítógép és perifériák közötti I/O kommunikációs technikák

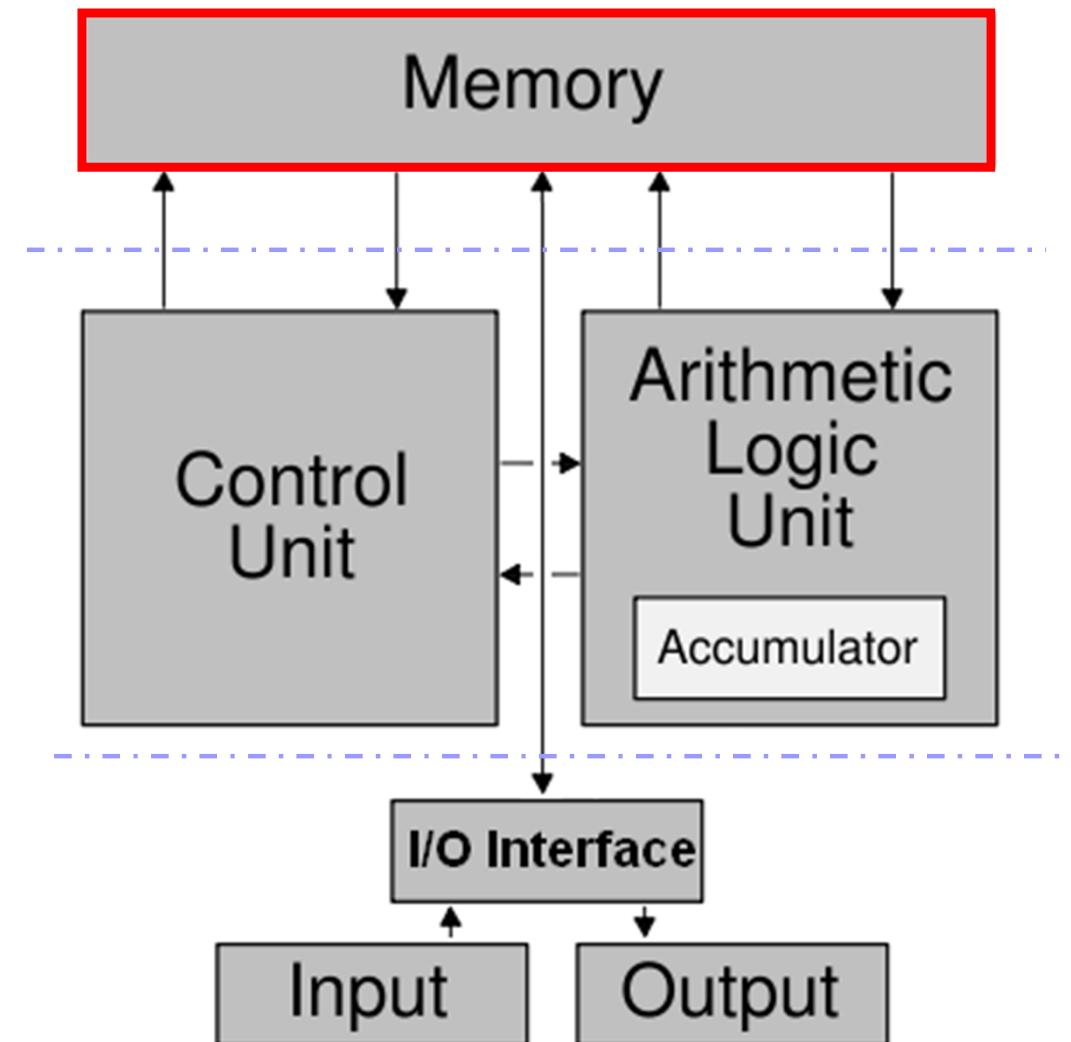


Neumann vs. Harvard számítógép architektúrák

A.) Neumann architektúra

■ Számítógépes rendszer modell:

- CPU (CU + ALU) szeparáció
- Egyetlen, de különálló tároló elem (utasítások és adatok együttes tárolására)
- Univerzális Turing gépet implementál (TM)
- „Szekvenciális” architektúra (SISD)



Von Neumann architektúra

- „De Facto” szabvány: „single-memory architecture”. Az *adat-* és *utasítás-címek* a memória (tároló) ugyanazon címtartományára vannak leképezve (mapping). Ilyen típusú pl:
 - EDVAC (Neumann), egyenletmegoldó tárolt-programú gép
 - Eckert, Mauchly: ENIAC, UNIVAC (University of Pennsylvania) – numerikus integrátor, kalkulátor
 - A mai rendszerek modern mini-, mikro, és mainframe számítógépei is ezt az architektúrát követik.
 - PI régebbi ARM7 processzor architektúrák

Neumann elvek

- számítógép működését tárolt program vezérli (Turing);
- a vezérlést vezérlés-folyam (control-flow graph - CFG) segítségével lehet leírni; /lásd vezérlő egység tétel!/ Fontos lépés itt az adatút megtervezése.
- a gép belső operatív tárolójában a program utasításai és a végrehajtásukhoz szükséges adatok egyaránt megtalálhatók (**közös utasítás és adattárolás**, a program felülírhatja önmagát – **Neumann architektúra** definíciója);
- az *aritmetikai* / és *logikai* műveletek (programutasítások) végrehajtását önálló részegység (ALU) végzi; /lásd ALU-s térel!/ CU – vezérlő egység szeparáció.
- az adatok és programok beolvasására és az eredmények megjelenítésére önálló egységek (IO perifériák) szolgálnak;
- 2-es (bináris) számrendszer alkalmazása.
 - Pl: EDVAC computer, ENIAC stb.

Fix vs. tárolt programozhatóság

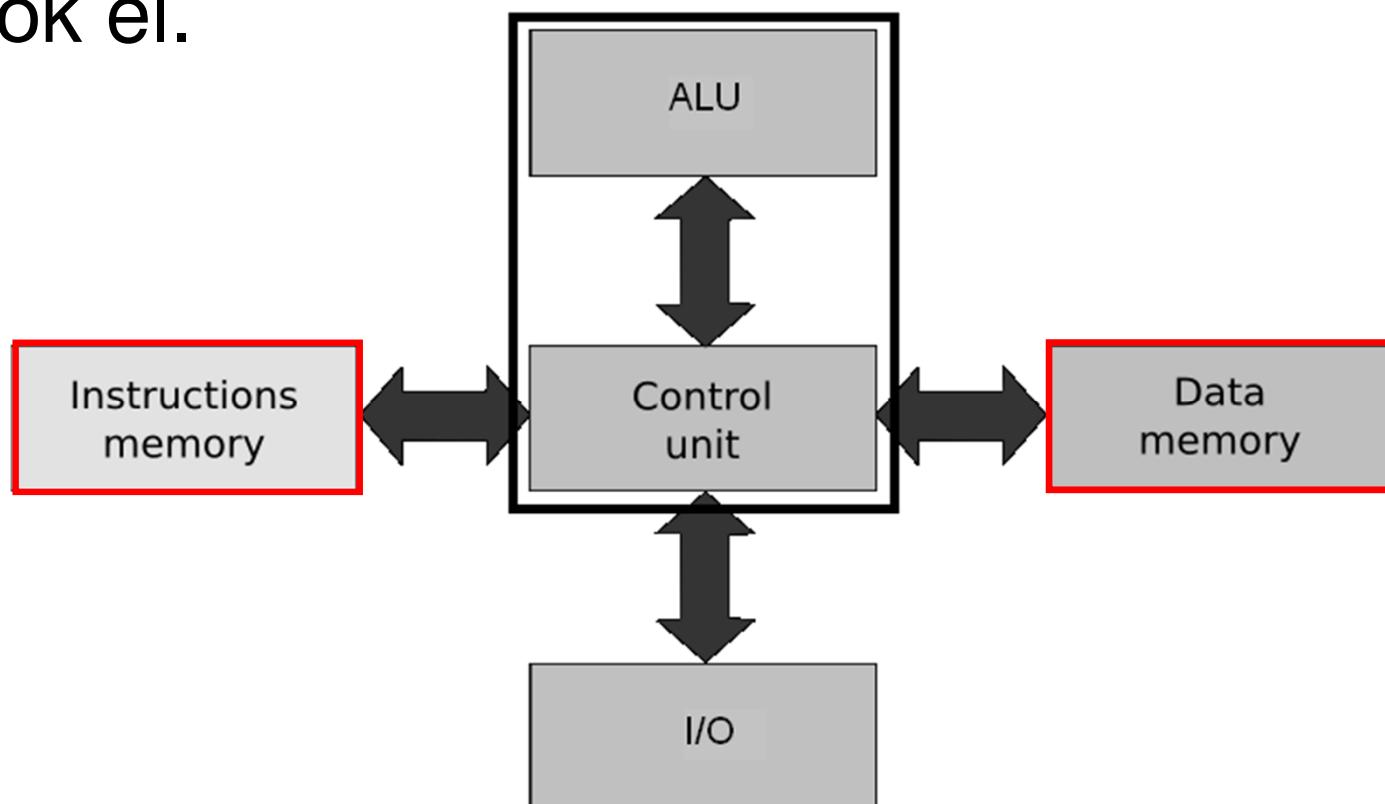
- Korai számítási eszközök **fix** programmal rendelkeztek (nem tárolt programozható): pl: kalkulátor
 - - Program változtatása: „átvezetékezés”, struktúra újratervezéssel lehetséges csak (lassú)
 - - Újraprogramozás: folyamat diagram → előterv spec. (papíron) → részletes mérnöki tervek → nehézkes implementáció (hibalehetőség)
- **Tárolt** programozhatóság ötlete:
 - + Utasítás-készlet architektúra (ISA): RISC, CISC
 - + Változtatható *program*: utasítások sorozata
 - + Nagyfokú flexibilitás, *adatot* hasonló módon tárolni, és kezelní (assembler, compiler, automata prog. eszk.)

Neumann architektúra hátrányai

- „Önmagát változtató” – kártékony programok (self-modifying code / vulnerability - sebezhetőség):
 - Már eleve hibásan megírt program „kárt” okozhat önmagában ill. más programokban is: „malware”=„malfunction”+„software”.
 - OS szinten: rendszer leálláshoz is vezethet
 - Pl., Buffer túlcordulás: kezelése szintenkénti hozzáféréssel, memória védelemmel!!
- **Neumann „bottleneck”:** sávszélesség korlát a CPU és memória között, amely a nagymennyiségű adatok továbbítása során léphet fel.
 - ezért kellett bevezetni a CPU –ban a Cache memóriát
- A nem-cache alapú Neumann rendszerekben, egyszerre vagy csak adat írás/olvasást, vagy csak az utasítás beolvasását lehet elvégezni (egy buszrendszer!)

B.) Harvard architektúra

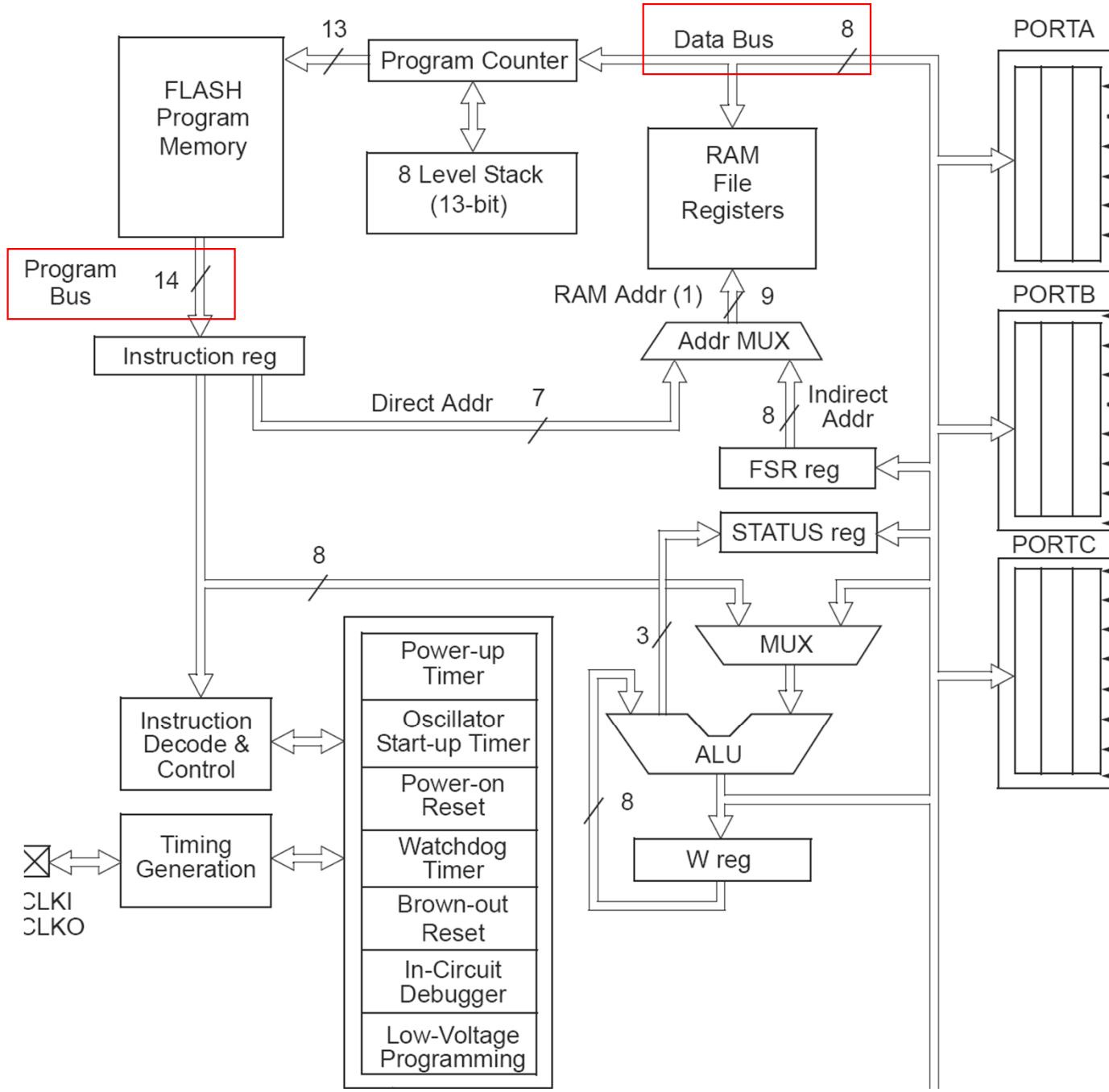
- Olyan számítógéprendszer, amelynél a program *utasításokat* és az *adatokat* fizikailag **különálló** memóriában tárolják, és külön buszon érhetők el.



Harvard architektúra

- Eredet 1944: Harvard MARK I. (relés alapú rdsz.)
- További fontosabb példák:
 - Intel Pentium processzor család L1-szintű különálló adat- és utasítás-cache (\$) memóriája
 - ARM processzorok újabb pl. Cortex sorozatai (L1 cache)
 - Mikrovezérlők (MCU) különálló utasítás-adat buszai és memóriái (PIC-MicroChip, Atmel, stb.)
 - FPGA-alapú beágyazott (embedded) rendszerek: MicroBlaze, PowerPC memóriái, buszrendszerei.
 - DSP jelfeldolgozó processzorok (RAM, ROM memóriái)

Példa: PIC 14-bites mikrovezérlő



Harvard arch. tulajdonságai

- Nem szükséges a memória (shared) osztott jellegének kialakítása:
 - + A memória szóhosszúsága, időzítése, tervezési technológiája, címzése is különböző lehet.
 - Az utasítás (program) memória gyakran szélesebb mint az adat memória (nagyobb utasítás memóriára lehet szükség)
 - Utasításokat a legtöbb rendszer esetében olvasható ROM-ban (esetleg PROM) tárolják, míg az adatot írható/olvasható memóriában (pl. RAM-ban).
 - Ezért nincs malware probléma (mint Neumann esetben)
 - + A számítógép különálló buszrendszer segítségével egyidőben akár egy utasítás beolvasását és adat írását/olvasását is el lehet végezni (cache nélkül is).

„Módosított” Harvard architektúra

- Modern számítógép rendszerekben az utasítás-memória és CPU között olyan közvetlen adatút biztosított, amellyel az olvasható *adatot is, mint utasítás-szót* lehet elérni a program memóriából:
 - Konstans adat (pl: string, inicializáló érték) utasítás memóriába töltésével a változók számára további helyet spórolunk meg az adatmemóriában
 - Mai modern rendszereknél a Harvard architektúra megnevezés alatt, **ezt a módosított változatot értjük.**
 - Gépi (alacsony) szintű assembly utasítások

Harvard architektúra hátrányai

- Mai korszerű egychipes rendszereknél (pl. **SoC**: System On a Chip - 2005), ahol egyetlen chipen van implementálva minden funkció, nehézkes lehet a különböző memória technológiák együttes használata az utasítások és adatok kezelésénél. Ezekben az esetekben a Neumann architektúra alkalmazása lehet megfelelőbb.
- Korábban hátrányként említették: a magas szintű nyelveket (pl. ANSI C szabvány) , melyek közvetlen támogatása mára sokat fejlődött (új nyelvi konstrukció az utasítás adatként való elérésére).

Harvard – Neumann együttes architektúra megvalósítás

- Mai, nagy teljesítményű számítógép architektúrákban a két elvet együttesen kell értelmezni:
- Példa: Cache rendszer
 - Programozói szemlélet (Neumann): cache ‘*miss*’ esetén a fő memóriából kell kivenni az adatot (cím → adat)
 - Rendszer, hardver szemlélet (Harvard): a CPU ún. „on-chip” cache memóriája különálló adat-, és utasítás cache blokkokból áll, amelyből a CPU *cache ,hit*’ esetén közvetlenül tud adatot/utasítást venni.

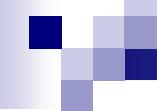


Meltdown



Spectre

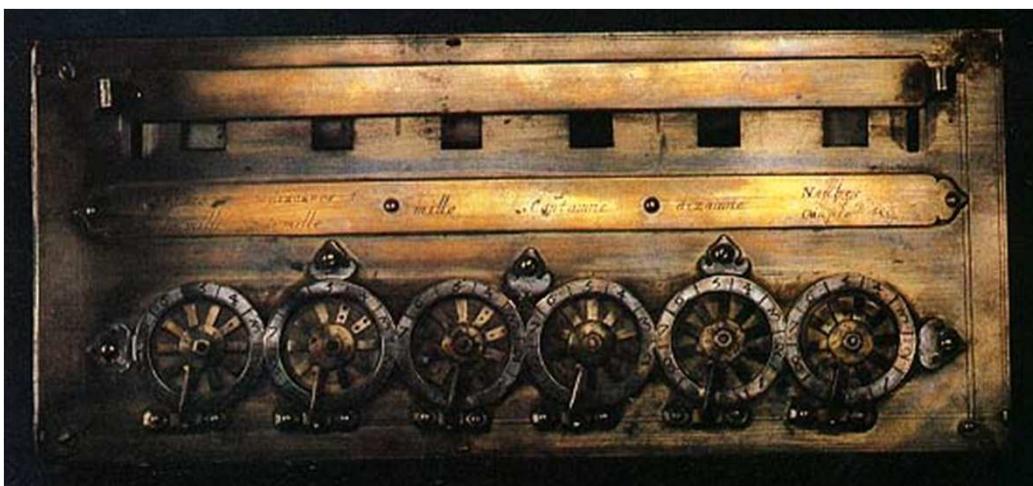
- Meltdown: illetéktelen hozzáférés memória tartalomhoz, CPU adat cache-én keresztül
 - szoftveres memória védelem (OS update - 5-30% lassulás), mikrokód javítása (FW update), később új mikroarchitektúra kell
- Spectre: branch misprediction – ún. spekulatív végrehajtás, mikroarchitektúrális támadás, illetve felhasználói módból OS kernel memória olvasható
 - Hardveres védelem, OS update, később új mikroarchitektúr kell
- Mely rendszereket érintheti:
 - Intel, AMD, ARM, RISC, Nvidia (GPU), Apple ...
 - Linux, MacOS, Windows ...



Ismétlés: Számítógép generációk

Eredet - korai számítási eszközök I:

- 1642: Pascal – mechanikus kalkulátor (+,-)
- 1671: Leibnitz – kalkulátor 4 alapműv.

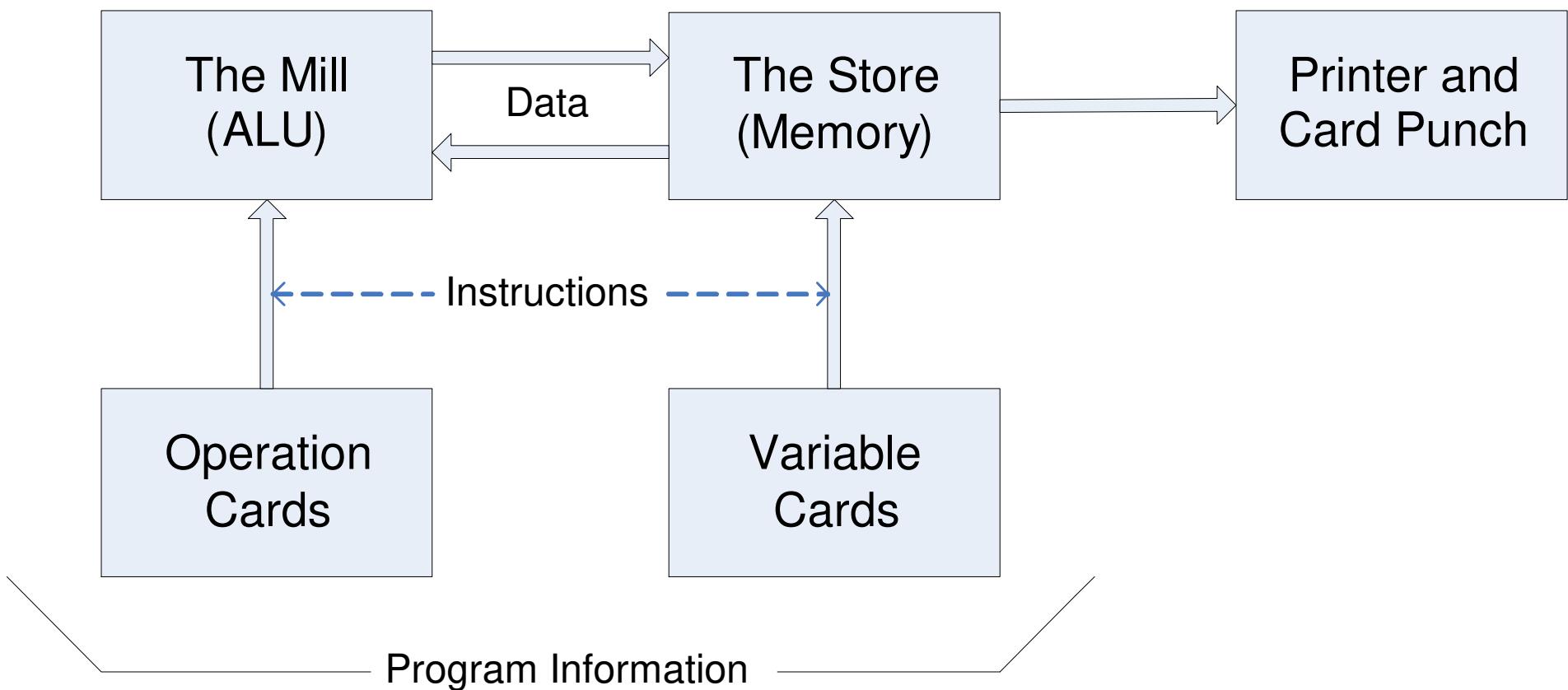


Eredet - korai számítási eszközök I (folyt.)

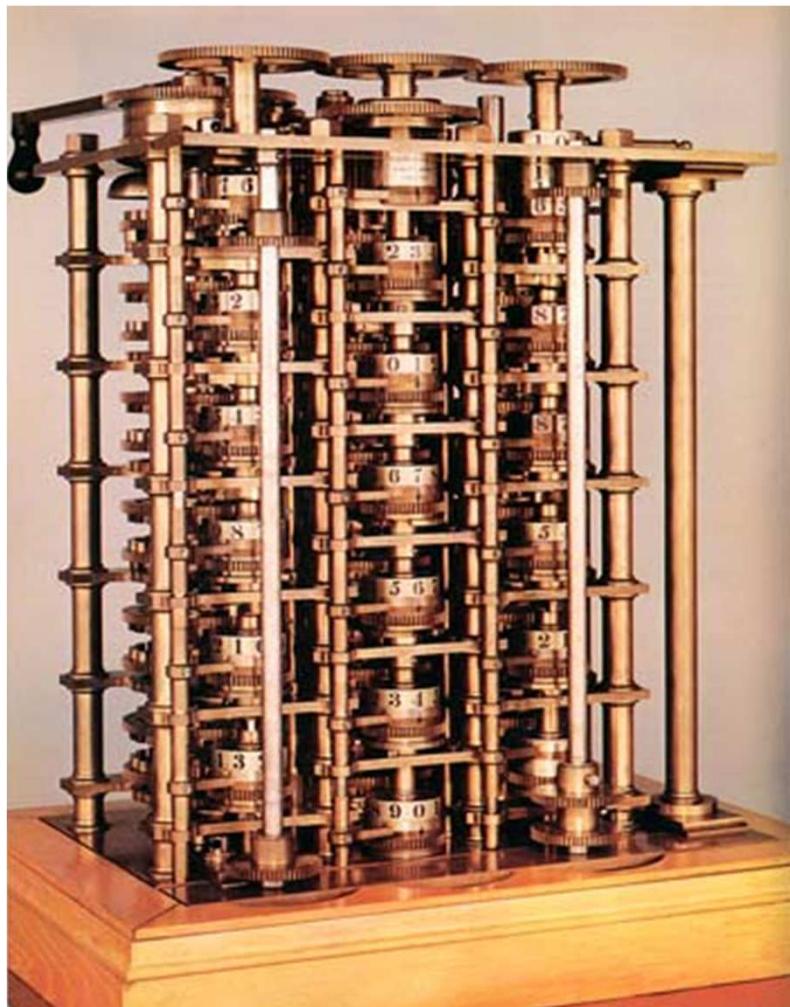
■ 1823: Babbage

- *Differencia Gép*: véges differencia módszer, ciklusos végrehajtás, automatikusan generált mat. táblákat
- *Analitikus Gép*: mai gépekkel szembeírható hasonlóság, mat. fgv.-ek végrehajtása. MILL – aritmetika: 4 alap.műv. ('+' 1sec, '*' 1 min alatt), felt. elágazást is támogatta. Memóriája számoló „korongos”: 1000 db 50 jegyű számot tárolt.

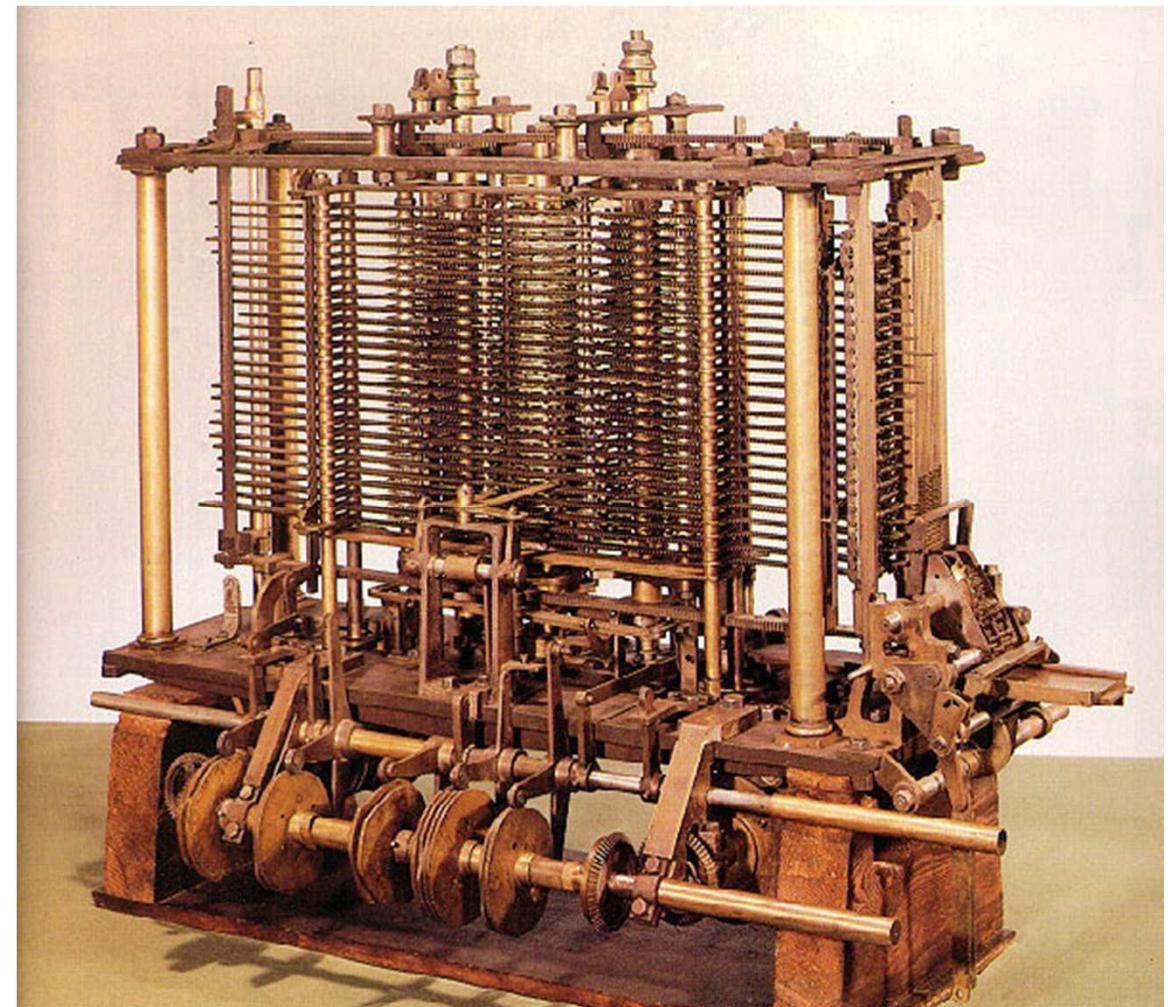
Babbage – Analitikus Gép



Babbage



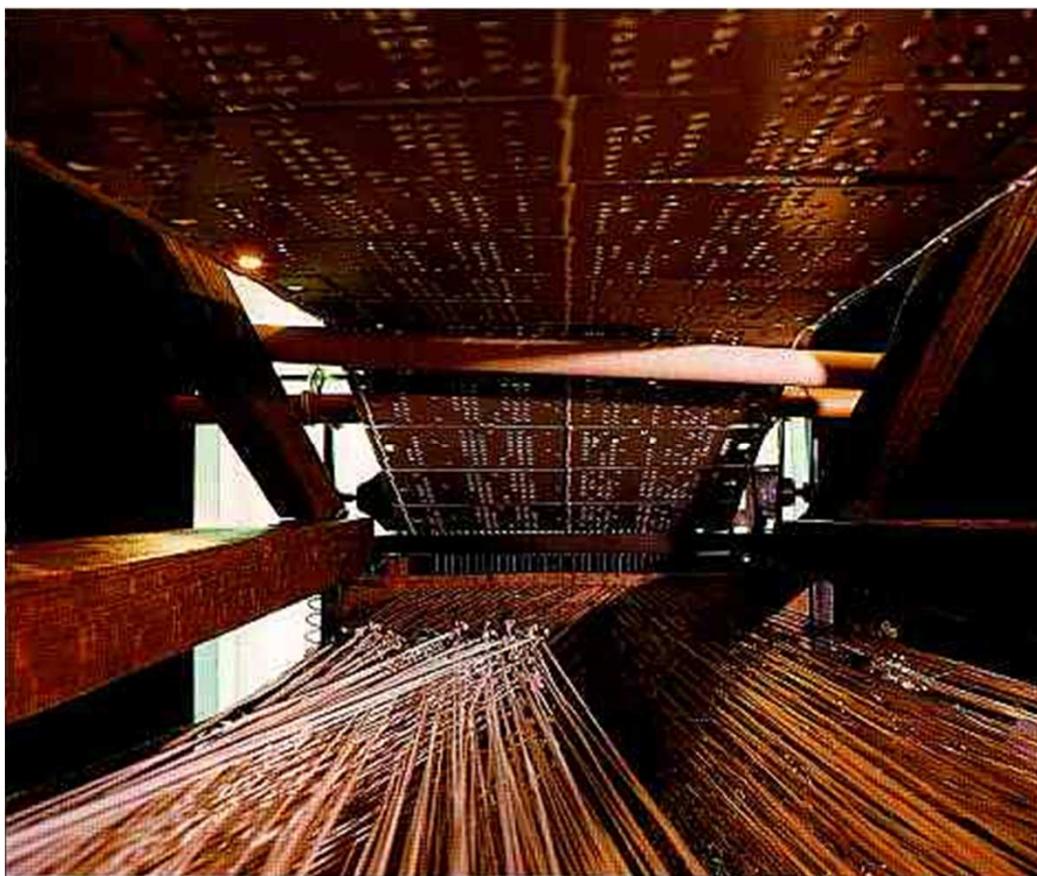
Differencia gép



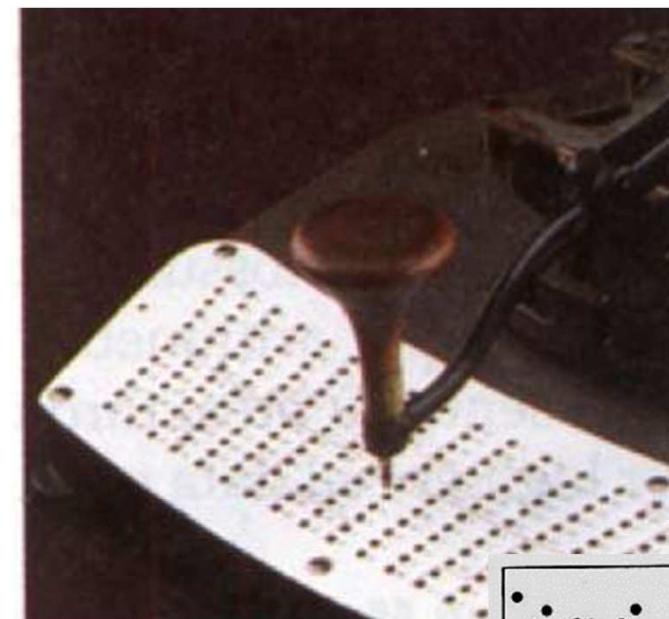
Analitikus gép

Eredet - korai számítási eszközök II (folyt.):

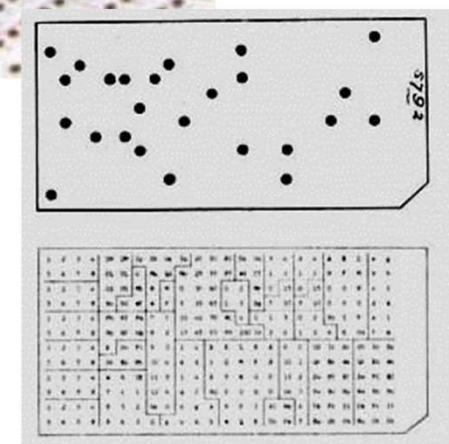
- 1801: Joseph Marie Jacquard: „loom” („szövőszék”) – „lyukkártya szerű” szalag, (számítási folyamat automatizálása)
- 1890: Hollerith – lyukkártya – US népszámlálás adatainak feldolgozására (1911 – IBM)
- 1930: Zuse: elektromechanikus gép
 - Z1: mechanikus relék, 2-es számrendszer!
 - Z3 (1941): első műveleti programvezérelt általános célú gép, lyukszalagos bemet (Neumann elvet követő)
- 1939: Aiken – **MARK I (Harvard)** relés aritmetika, számoló fogaskerekes tároló. **Harvard architektúra**: különálló program/kód és adatmemória! 72 db 23 jegyű szám



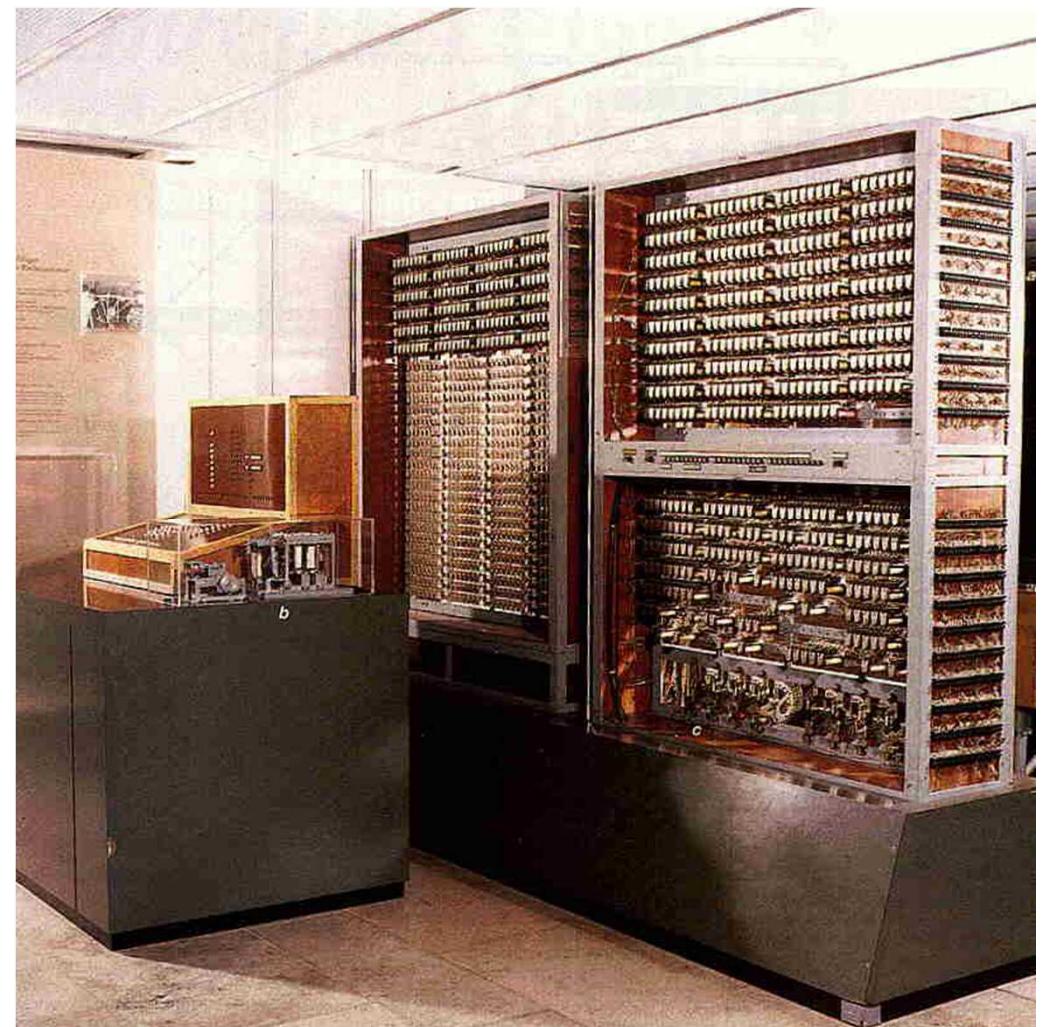
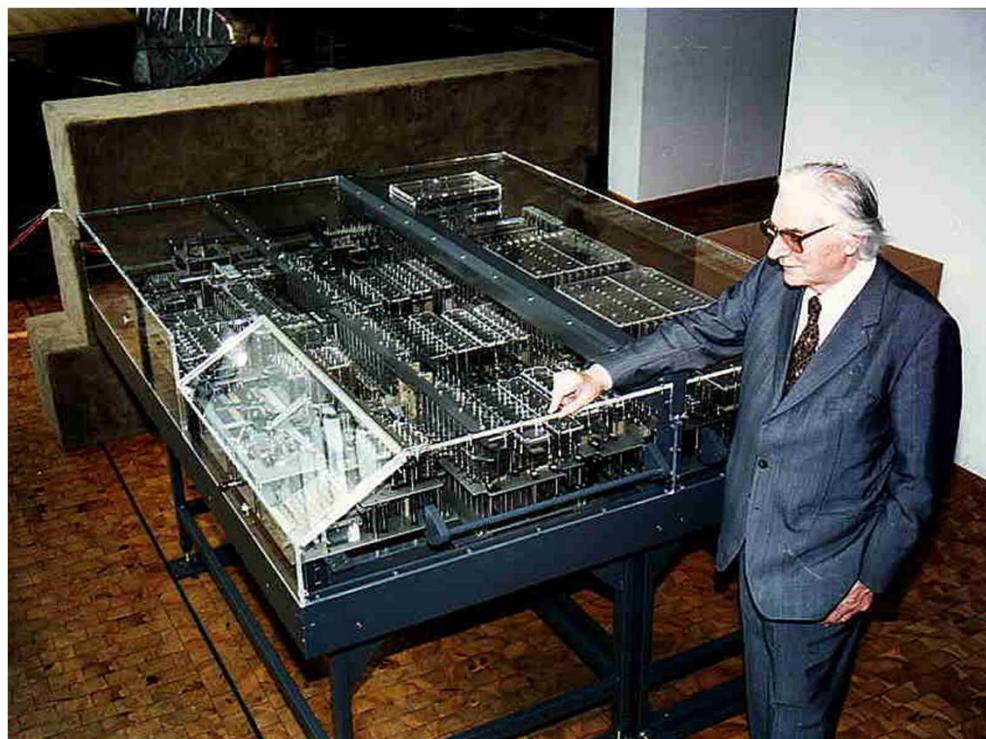
Jacquard „szövőgépe”



Hollerith - lyukkártya



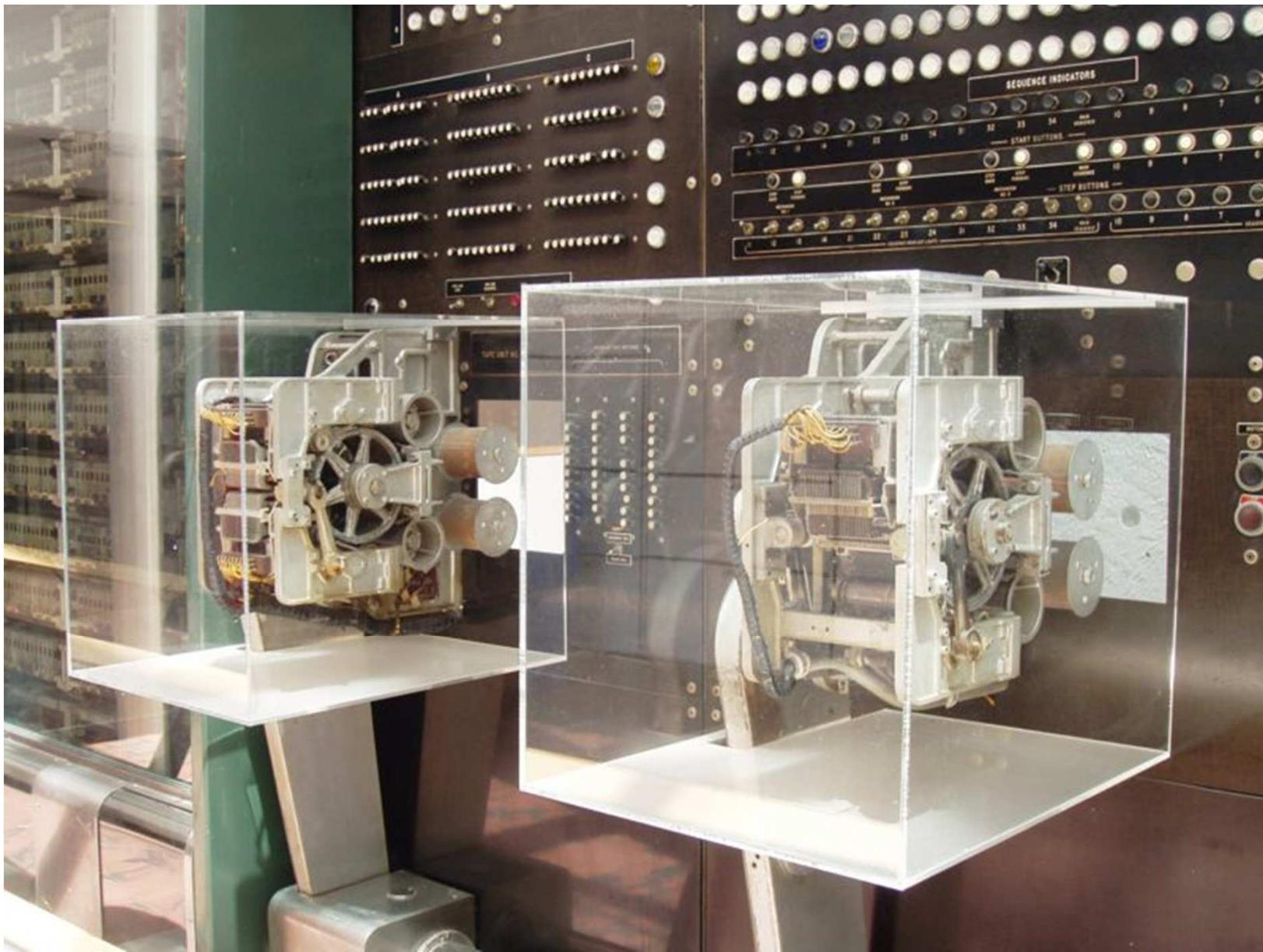
Zuse Z1 és Z3



Harvard MARK I

- Howard H. Aiken (Harvard University) – 1944
- Relés alapú aritmetika, mechanikus, korai sz.gép rendszer. Korlátozott adattároló képesség. (72 db 23 bites decimális számot tárol)
- ***Harvard architektúra***
 - Lyukszálon tárolt 24-bites utasítások
 - Elektro-mechanikus fogaskerekes számlálókon tárolt 23 bites adatok
 - Utasítást adatként nem lehetett elérni!
- 4KW disszipáció, 4.5 tonna, 765.000 alkatrész: relék, kapcsolók
- Műveletvégzés: +,-: 1 sec, *: 6 sec, /: 15.3 sec
- Logaritmus, trigonometrikus fgv. számítás: 1 min

MARK I.

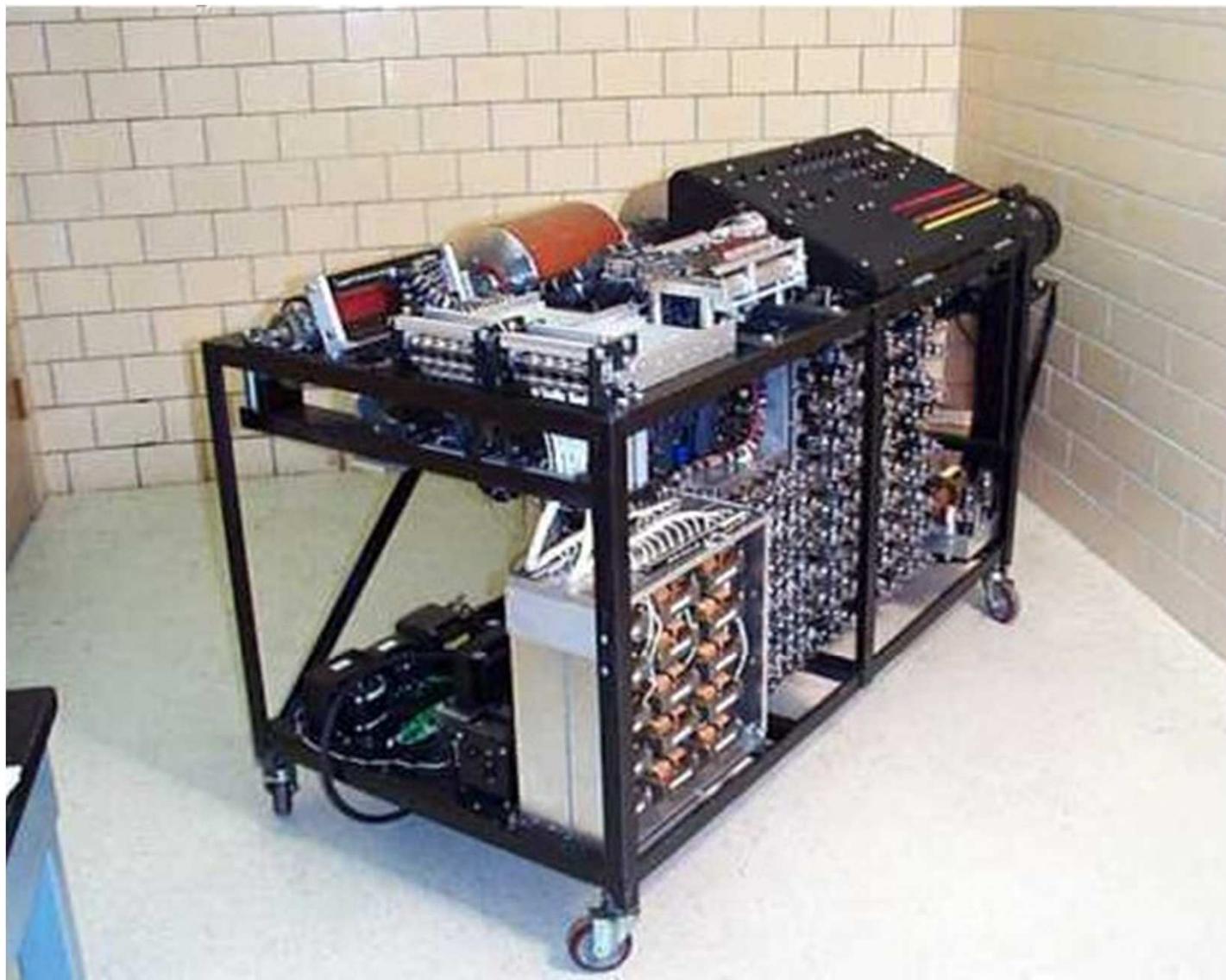


Eredet - korai számítási eszközök

III (folyt.):

- 1937: Berry computer (Iowa Egyetem) – John Atanasoff első elektronikus számítógép rendszer
 - egyenlet rdsz.ek Gauss eliminációjára
 - ! 2-es számrendszer
 - Tárolás: kondenzátoron (mint DRAM-nál)
 - ALU: aritmetikai / logikai szeparáció
 - Részek teljes elkülönítése: memória, I/O perifériák, ALU

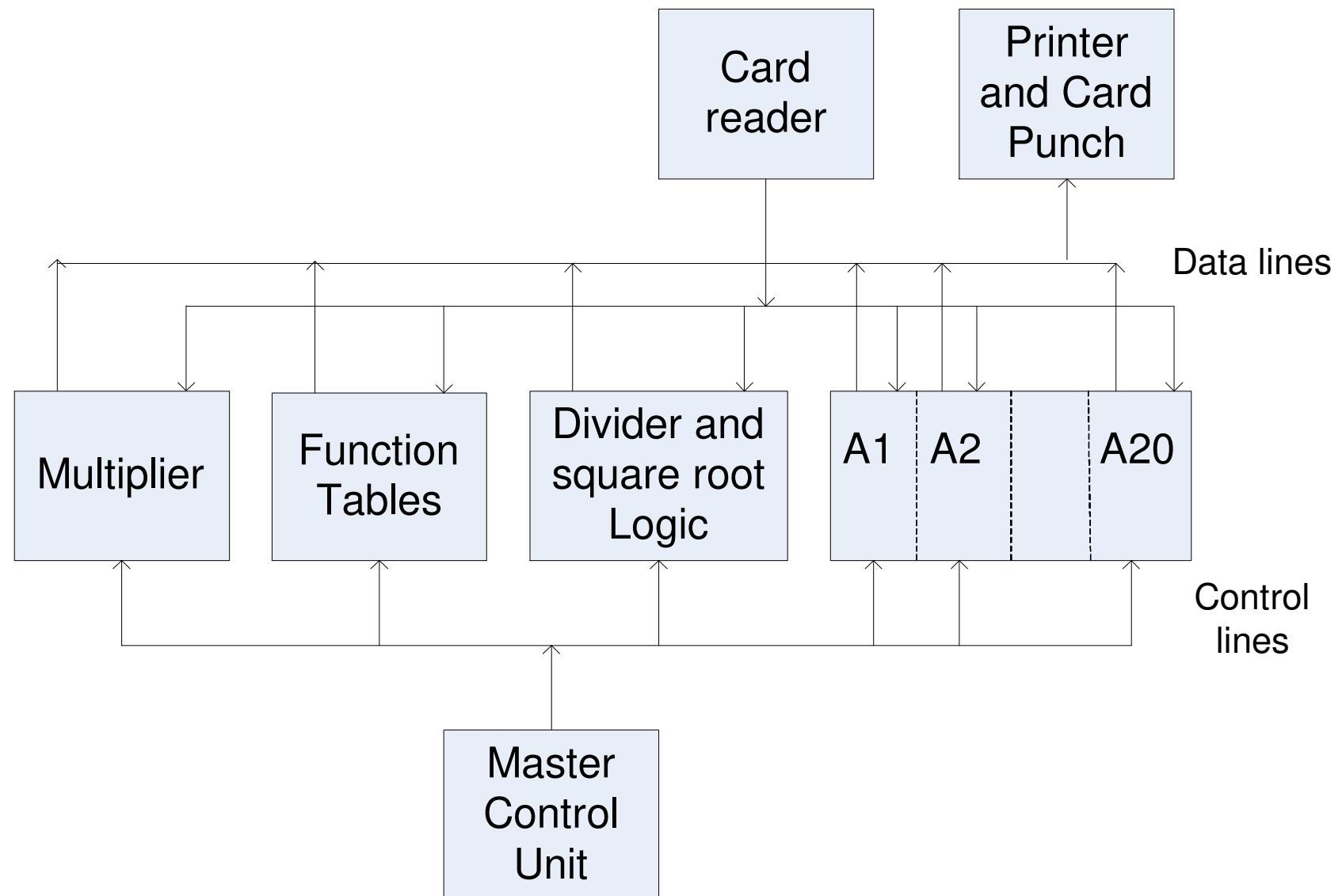
Atanasoff - Berry



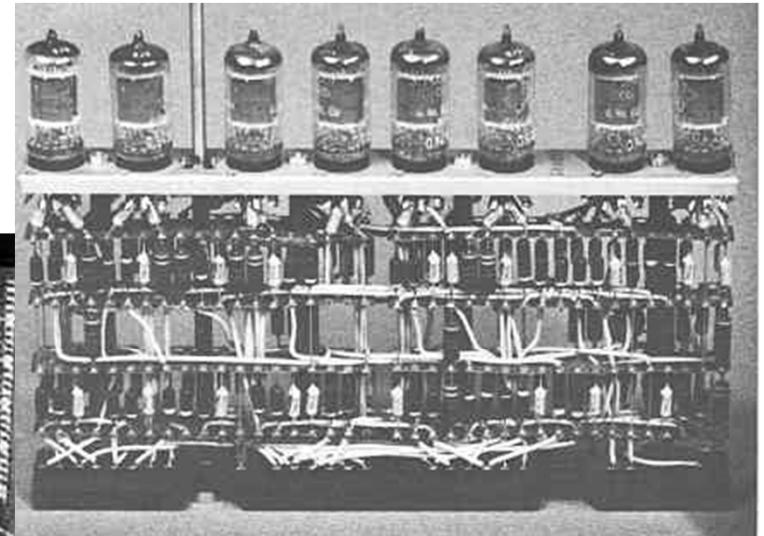
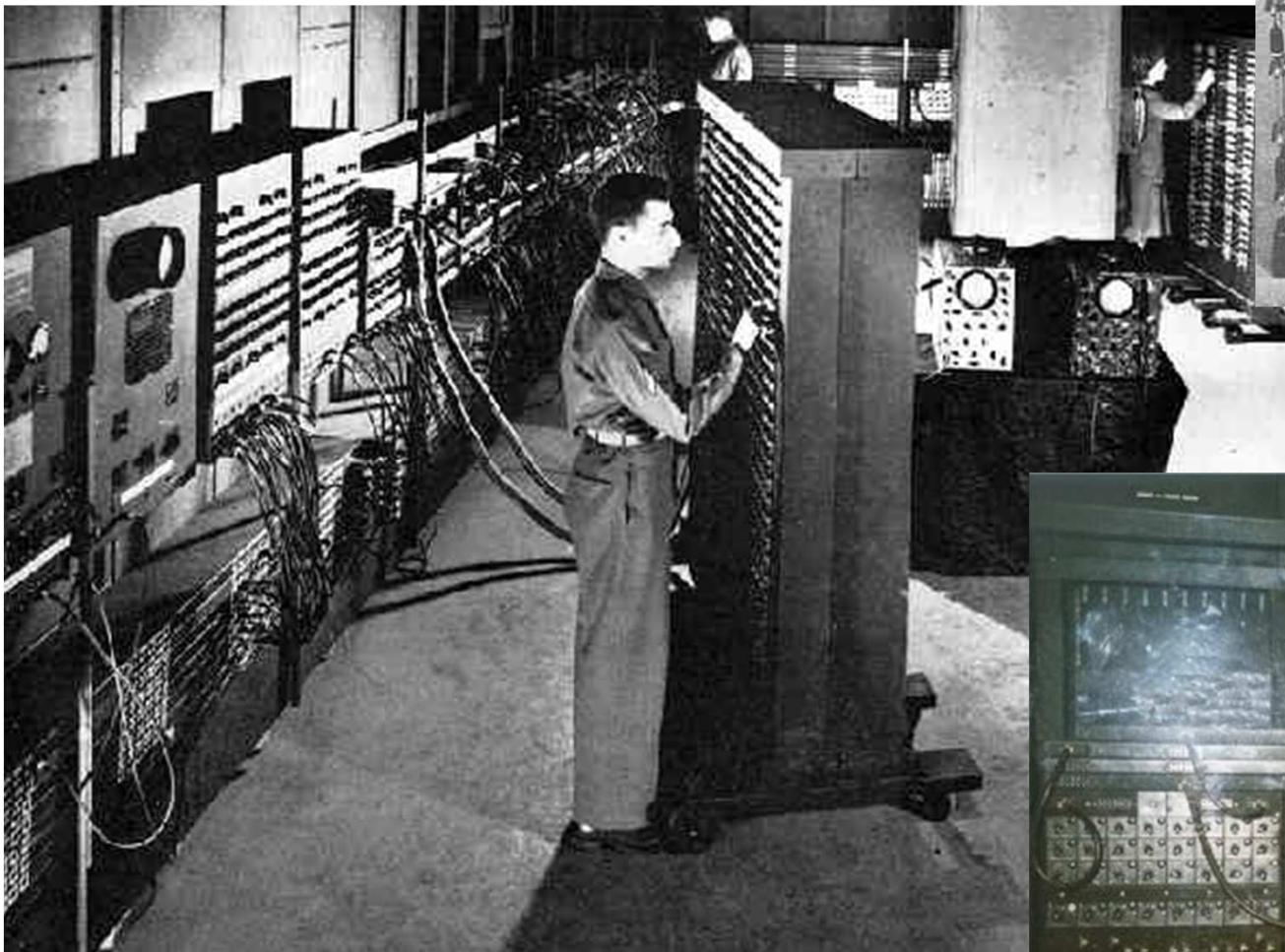
I. Generáció (1952-ig)

- 1943: **ENIAC**: elektromos numerikus integrátor és kalkulátor (Pennsylvania) Mauchly, Eckert
 - 18000 elektroncső, mechanikus, kapcsolók
 - Gépi szintű programozhatóság, tudományos célokra
 - Összeadás: 3ms
 - 20 ACC reg. – 10 jegyű decimális számra
 - 4 alapművelet + gyökvonás
 - Kártyaolvasó-író
 - Function table: szükséges konstansok tárolása
 - Neumann elvű: közös program/kód és adat

ENIAC



ENIAC

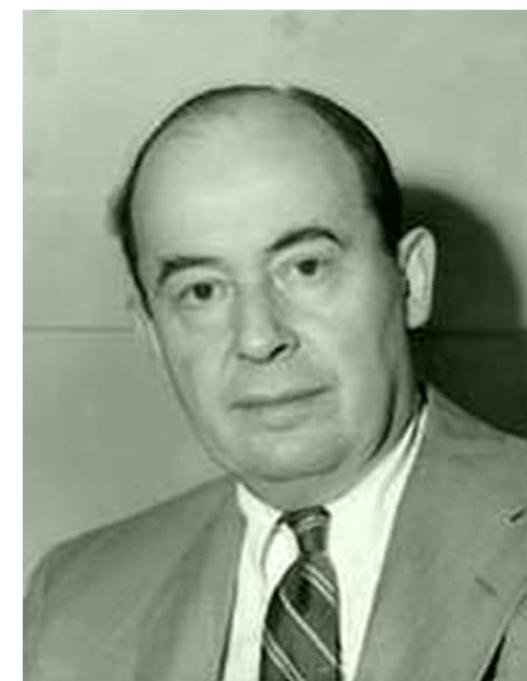
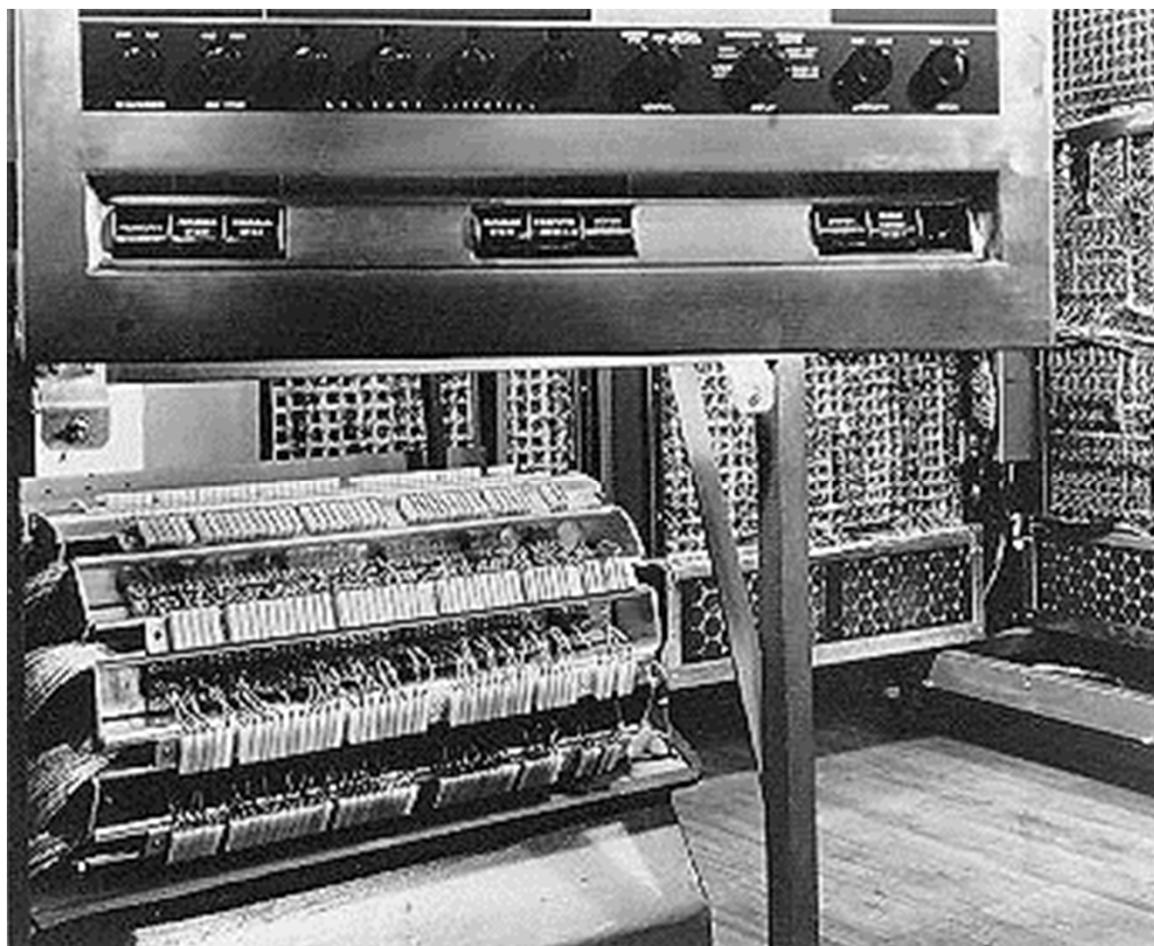


ENIAC

I. Generáció (folyt.):

- 1945: **EDVAC** (Electronic Discrete Variable Computer): egyenletmegoldó elektromos szgép.
 - Neumann János – „**von Neumann architektúra**”
 - Tárolt programozás
 - 2-es számrendszer
 - 1K elsődleges + 20K másodlagos tároló
 - soros műveletvégzés: ALU
 - utasítások: aritmetikai, i/o, feltételes elágazás
 - EDVAC tanulmány első teljes kivonata [pdf]
 - <http://www.virtualtravelog.net/wp/wp-content/media/2003-08-TheFirstDraft.pdf>

EDVAC

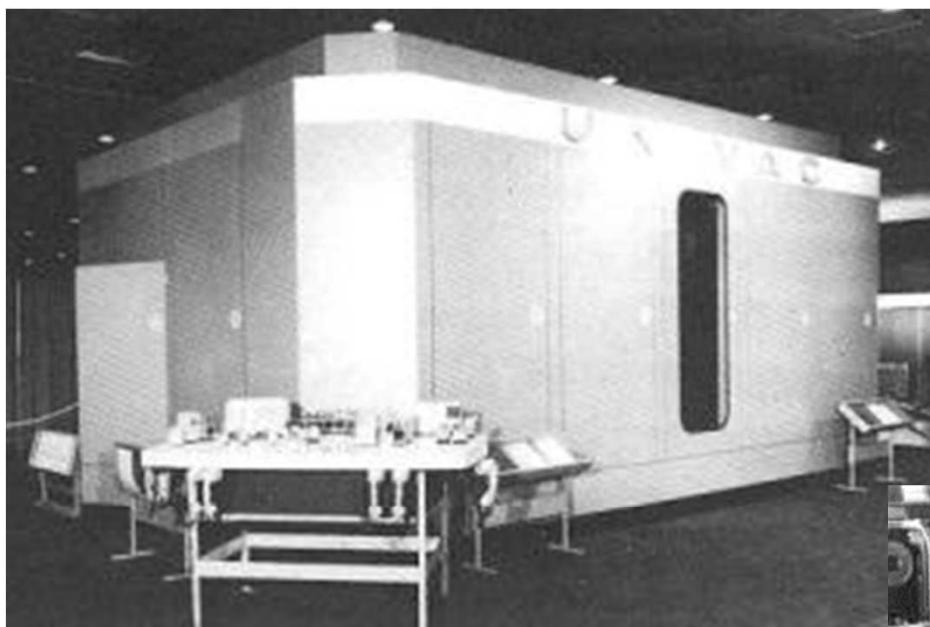


Neumann János

I. Generáció (folyt.):

- 1951: **UNIVAC I** (UNIVersal Automatic Computer I): üzleti/adminisztratív célokra
 - Mauchly, Eckert tervezte
 - 1951-es népszámlálásra, elnökválasztásra
 - 5200 elektroncső, 125KW fogyasztás, 2.25MHz
 - 1000 szavas memória, (12 bites adat: 11 digit + 1 előjelbit, 2x6 bites utasítás formátum)
 - Összeadás: 525µs, szorzás: 2150µs
 - BCD, paritás ell., hiba ell.

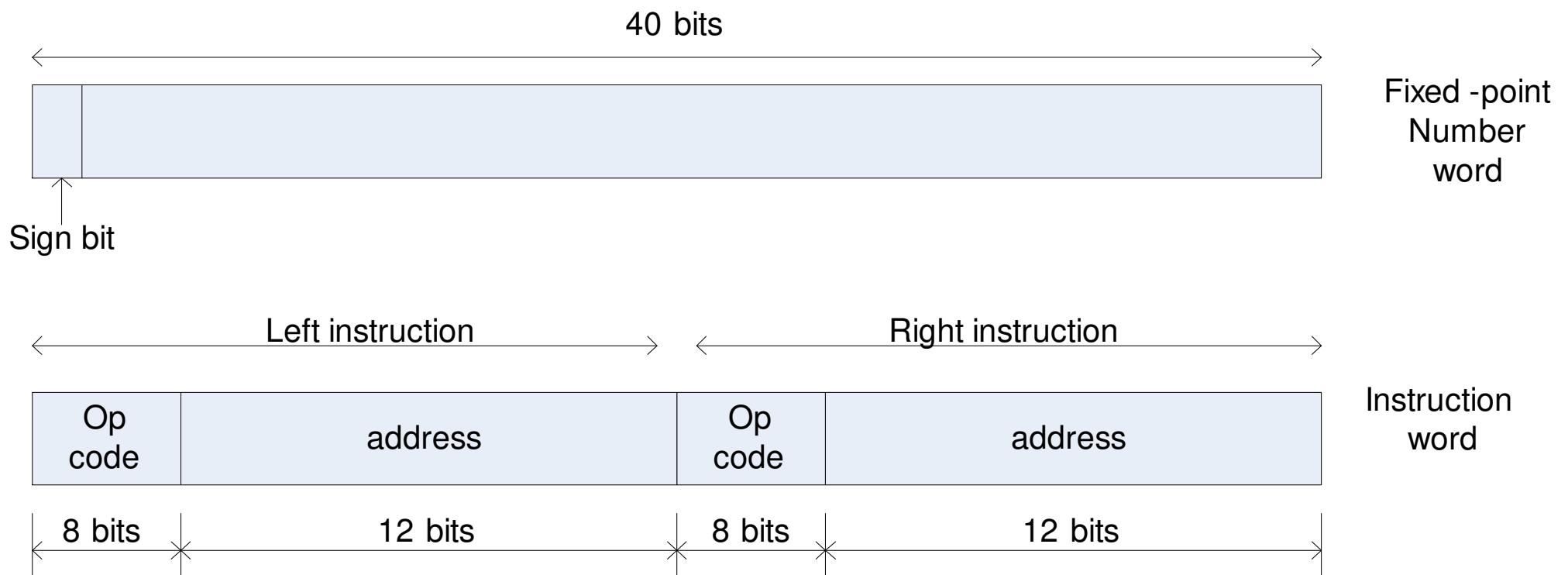
UNIVAC - I



I. Generáció (folyt.):

- 1952: **IAS** (Institute of Advanced Studies) Princeton
 - moduláris felépítés: mem, ALU, CU, I/O, ACC
 - köv. végrehajtható utasítás a memóriában a soron következő helyen van
 - egycímű gép – kisebb utasításhossz, (de ACC műveletek)
 - Mem: $2^{12}=4096$ location
 - párhuzamos feldolgozás!
 - szóhosszúság a feladattípusnak megfelelő numerikus pontosságtól függ
 - Utasítás csoportok: (1.1 táblázat)
 - Adatmozgató, aritmetikai, ugró, feltételes elágazás, címmódosító
 - IAS hátrányai: program struktúráltság – szubrutin hívás (call / return) nem támogatott, nincsenek nemnumerikus adatok

IAS adat és utasításformátum:



1.1 Táblázat: IAS utasítások

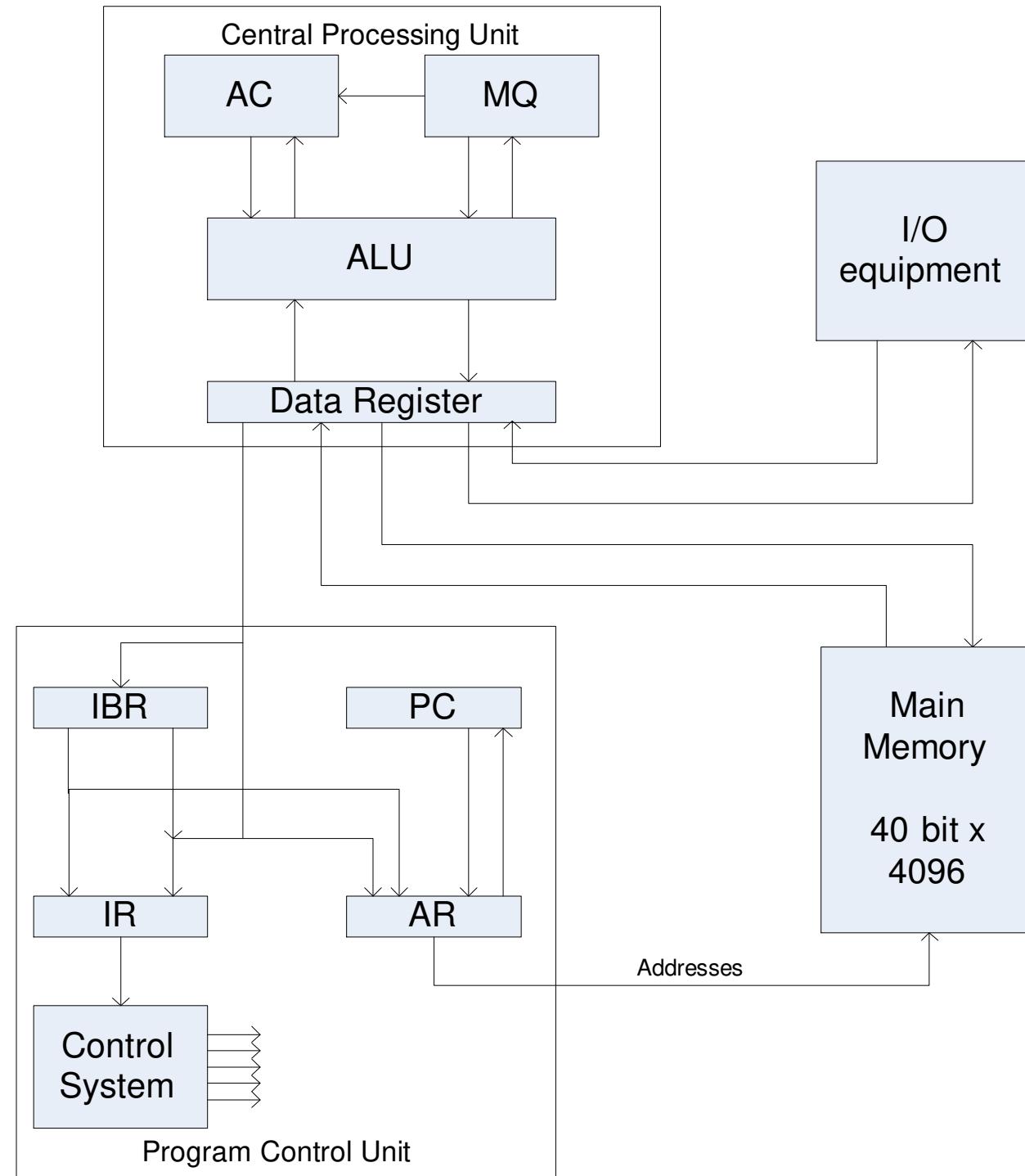
<i>Data transfer instructions</i>	
<i>Instruction</i>	<i>Description</i>
LDA X	Load ACCUMULATOR with value stored at location X.
LDAM X	Load ACCUMULATOR with negative of value stored at location X.
ABS X	Load ACCUMULATOR with absolute value of number stored at location X.
ABSM X	Load ACCUMULATOR with negative of absolute value of number stored at location X.
LDM X	Load MQ register with value stored at location X.
MQA	Load ACCUMULATOR with value stored in MQ register.
STOR X	The value of the ACCUMULATOR is transferred to location X.

<i>Arithmetic instructions</i>	
<i>Instruction</i>	<i>Description</i>
ADD X	Add number stored at location X to ACCUMULATOR.
SUB X	Subtract number stored at location X from ACCUMULATOR.
ADDABS X	Add absolute value of number stored at location X to ACCUMULATOR.
SUBABS X	Subtract absolute value of number stored at location X from ACCUMULATOR.
MULT X	Multiply the number stored in MQ register by value stored in location X, leave 39 most significant bits in ACCUMULATOR, and leave 39 least significant bits in MQ register.
DIV X	Divide value in ACCUMULATOR by value stored at location X; leave remainder in ACCUMULATOR and quotient in MQ register.
LFTSHFT	Multiply the number in the ACCUMULATOR by 2, leaving it there.
RGTSHFT	Divide the number in the ACCUMULATOR by 2, leaving it there.

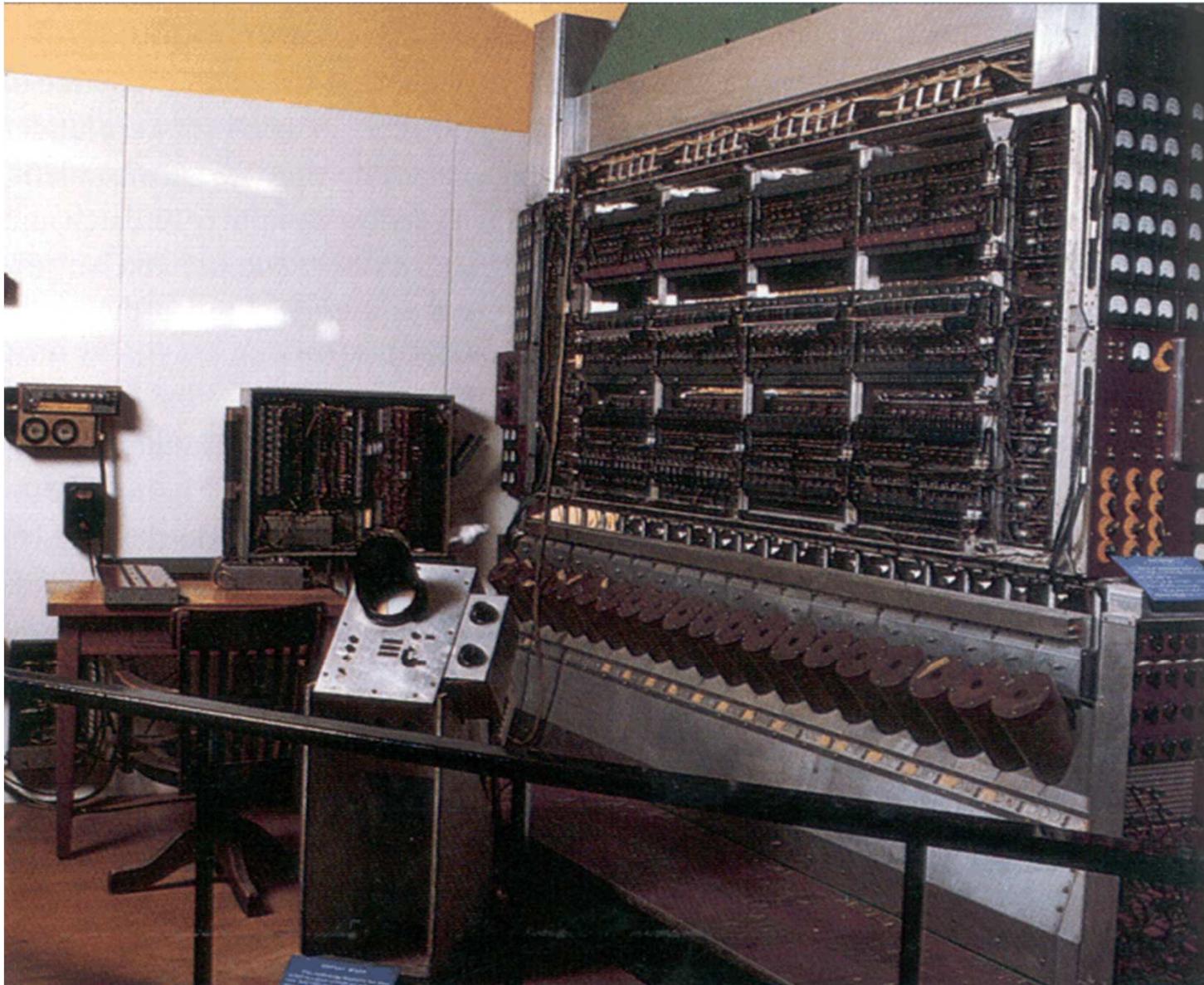
1.1 Táblázat: IAS utasítások (folyt.)

<i>Jump instructions</i>	
<i>Instruction</i>	<i>Description</i>
JMPL X	Next instruction to execute is in most significant half of location X.
JMPR X	Next instruction to execute is in least significant half of location X.
<i>Conditional branch instructions</i>	
<i>Instruction</i>	<i>Description</i>
BRANCHL X	If number in ACCUMULATOR is nonnegative, next instruction to execute is in most significant half of location X.
BRANCHR X	If number in ACCUMULATOR is nonnegative, next instruction to execute is in least significant half of location X.
<i>Address modification instructions</i>	
<i>Instruction</i>	<i>Description</i>
CADRL X	The address bits (12 least significant bits) of the most significant half of location X are replaced with the 12 least significant bits of the ACCUMULATOR.
CADRR X	The address bits (12 least significant bits) of the least significant half of location X are replaced with the 12 least significant bits of the ACCUMULATOR.

IAS



IAS computer



II. Generáció (1952-63):

- Üzleti célokra (háború vége) IBM
- Tranzisztor! (1940 végétől)
- Csökkenő méret + disszipált telj. / sebesség nő
- Core memóriák – megbízható, gyors
- Lebegő pontos számok, utasítások
- Új módszer az operandus helyének azonosítására
- FORTRAN, ALGOL, COBOL nyelvek
- I/O processzorok: CPU tehermentesítése
- Batch programozás, könyvtári függvények, compilerek

II. Generáció (folyt.):

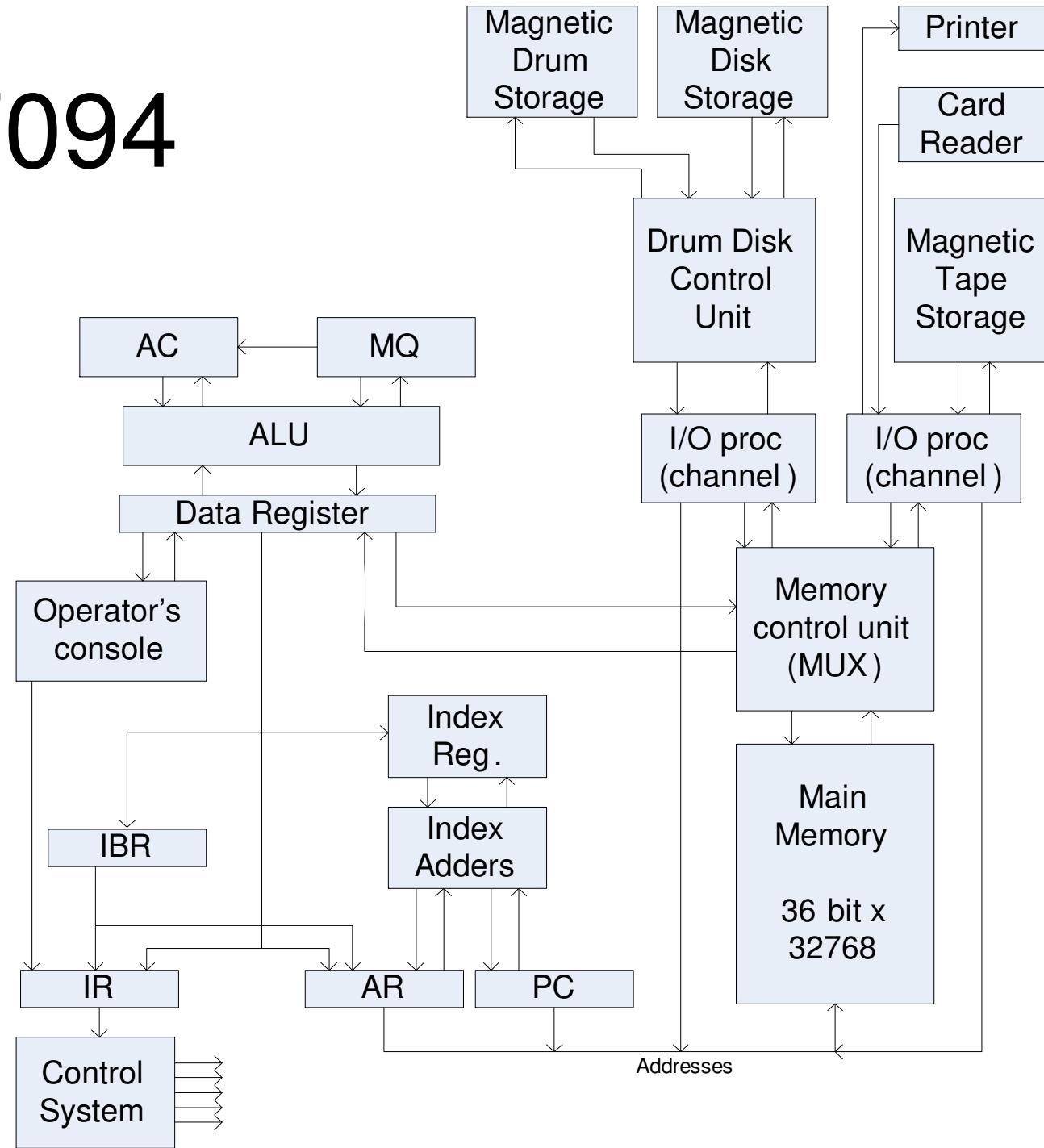
■ IBM 709x

- 36 bites utasítás, műveleti kód (1.1 tábl.)
- egycímű gép ($AR \leftarrow PC+IR$ tartalma)
- 72 bites adatút
- I/O processzorok

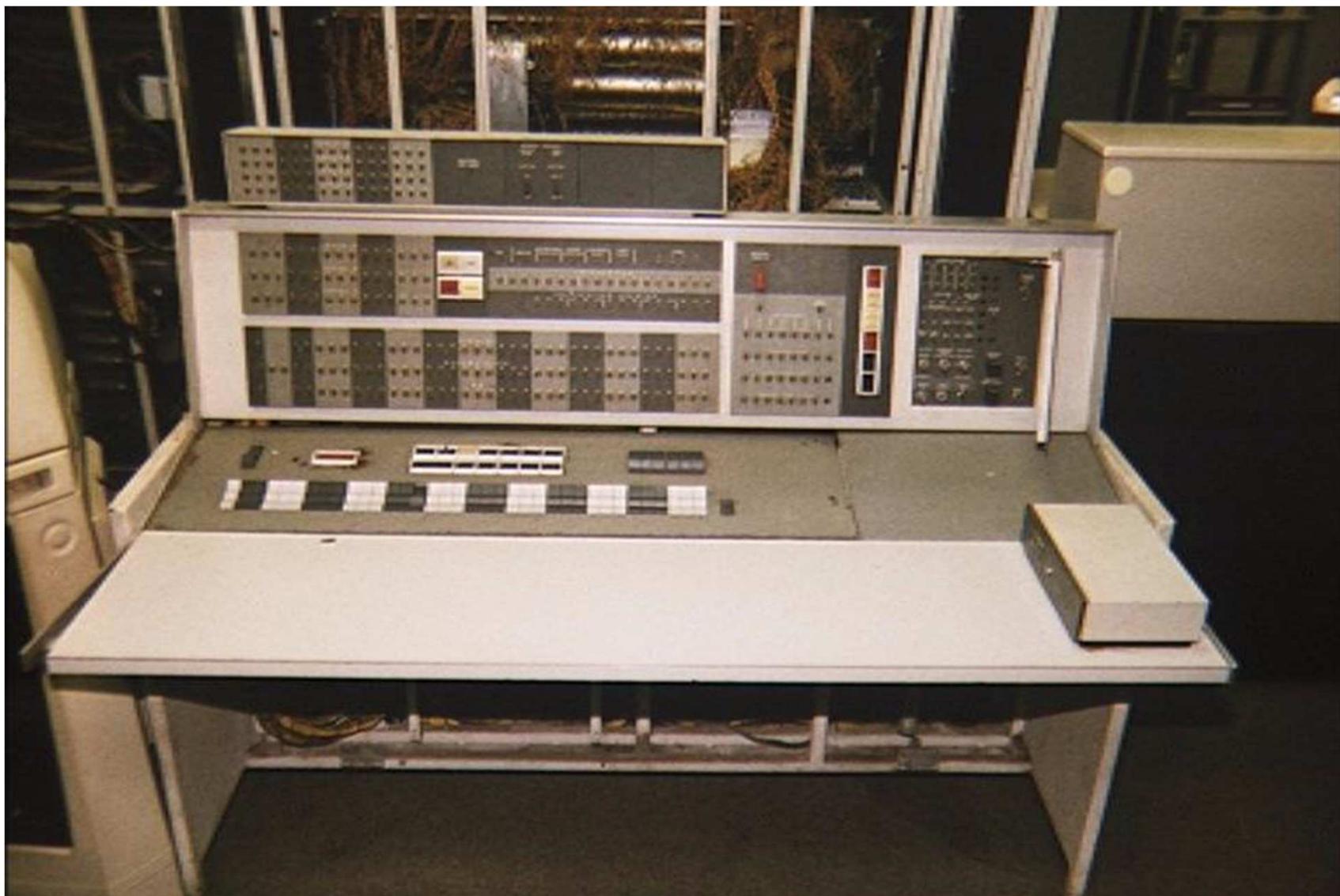
IBM 709x adat- és utasítás formátum:



IBM 7094



IBM 7094



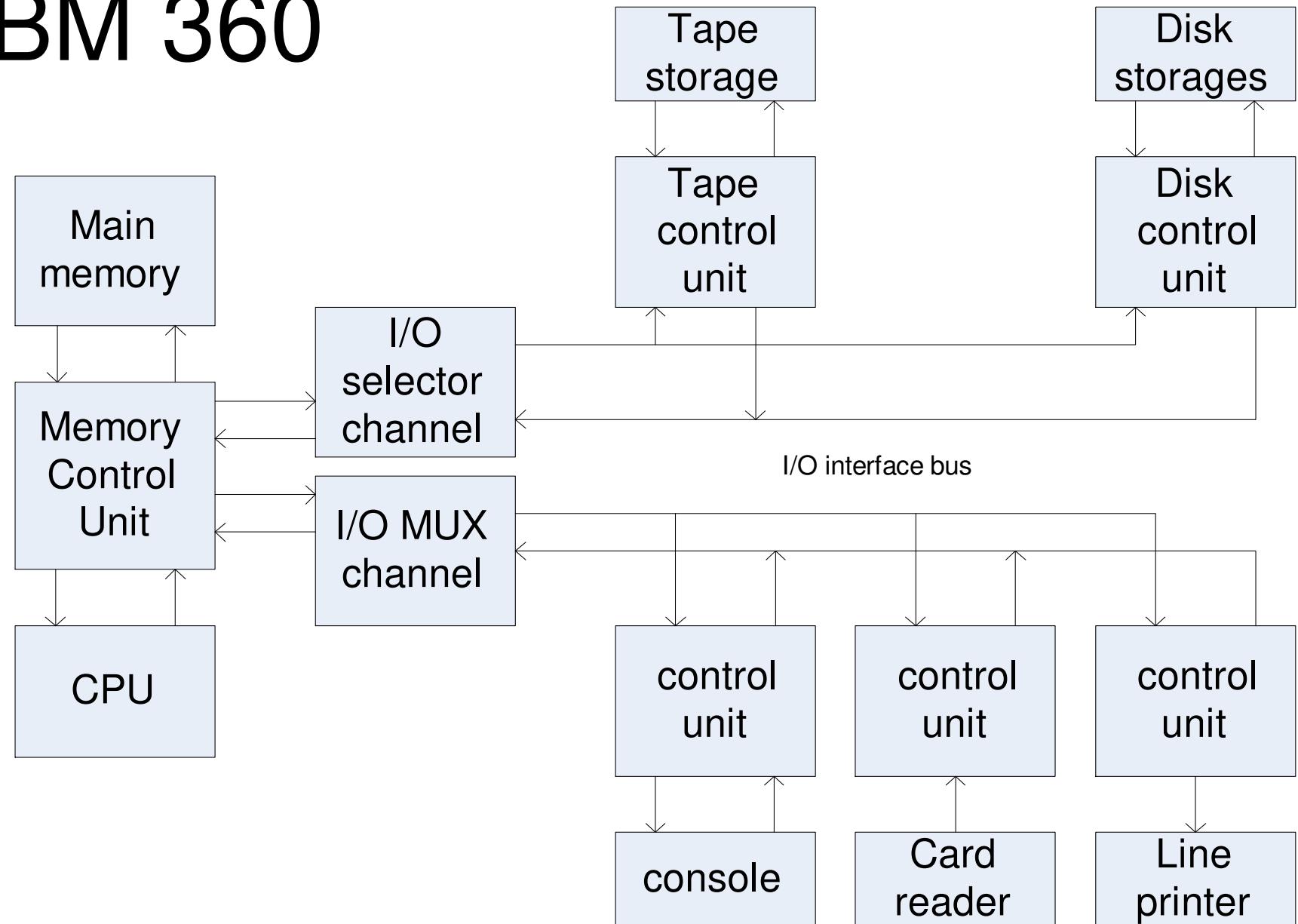
III. Generáció (1962-75):

- IC technológia
- 1965. Gordon-Moore trv: Mikro-minimalizáció
- Félvezető memóriák
- Mikroprogramozás (Wilkes 1951)
- Multiprogramozás: „time-sharing”
- Operációs Rendszerek megjelenése
- Pipeline - parallel működés
- Numerikus programozás: vektorműveletek

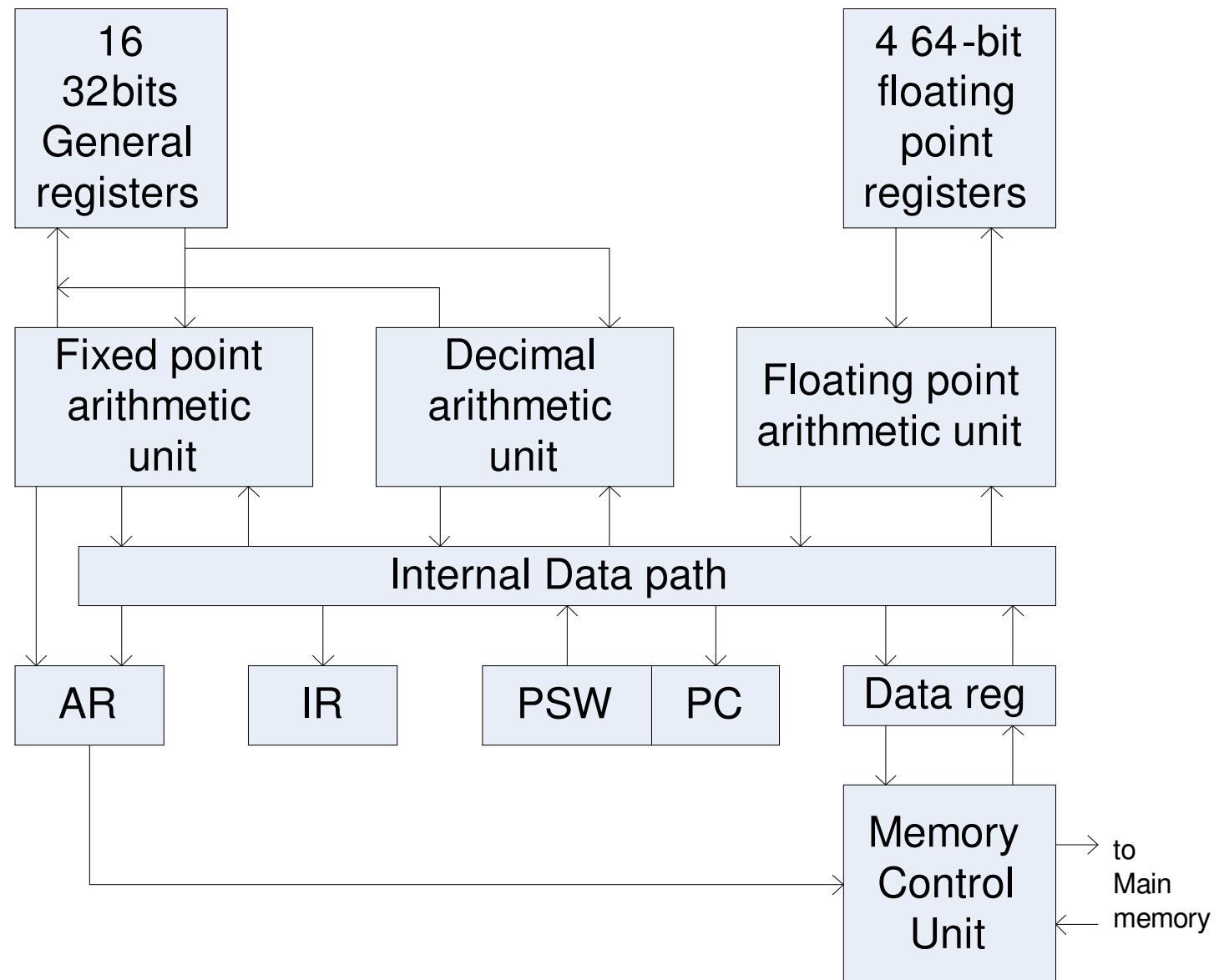
IBM 360

- első sorozatban gyártott (gépcsalád): fogyasztói célok szerinti kategóriák
- azonos utasítás készletek
- I/O csatornák seb. szerint (selector, MUX)
- 32 bites utasítások
- 8x4 bites BCD számjegyeket tárol
- 4x8 bit karakter! tárolására
- Integer / fix-point / floating-point számokat is kezel
- 16 db 32 bites ált.célú regiszter (adatok, címek)
- 4 db 64 bites lebegőpontos műveleti reg.
- Interaktív rendszer
- Virtuális memóriakezelés lehetősége
- PSW: státuszjelző regiszter (flag)

IBM 360



IBM 360 utasítás készlet:



IBM 360

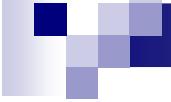


IV. Generáció (1974 - ?):

- IC alapú technológia: komplexitás-méret
- Cache memóriák
- Virtuális memória rendszerek
- SoC: System On a Chip
 - Motorola 68000 – 32 bites proc.
 - ALU, Regiszterek, virtuális memória egy chipen
- 4, majd 16 ... megabites memóriák
- PC: személyi számítógépek megjelenése
- Száloptika ⇒ hálózatok (INTERNET)

V. Generáció (napjainkban):

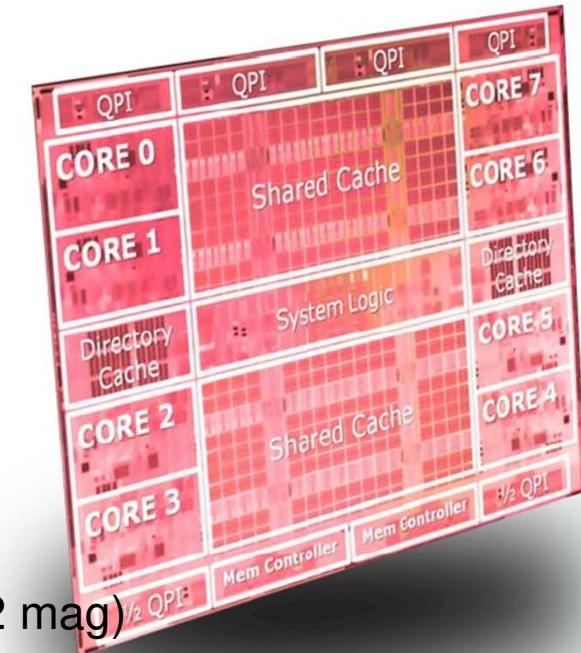
- Ember-gép interakció (HCI)
- Felhasználóbarát szemlélet
- Ergonómia
- Mesterséges intelligencia (AI)
 - Deep learning
- Természetes nyelvi környezet:
fejlesztőeszközök (development tools)



Hol tart jelenleg a technológia?

Mikro-minimalizálás elve:

- **Gordon Moore törvénye (1965):** rendkívüli jelentőséggel bír a memóriák és a félvezető áramkörök méretcsökkenése esetén.
 - Tanulmány: félvezető áramkörök fejlődése (prognózis)
 - A technológia fejlődésével minden 12 hónapban az 1 felületegységre (mm^2 Si) eső tranzisztorok száma közel megduplázódik (integritási sűrűség). Későbbi módosítása: 18 / 24 havonta történik a duplikáció!
 - Ezzel szemben az eszközök ára csökken, vagy stagnál.
- **Moore tv.: mára lelassult** (lásd Intel PAO), EUV litográfia drága
- Példa: szerver processzorok
 - 2010:
 - Itanium 9300 (Tukwila): 2 milliárd tranzisztor / chip (2010)
 - 4 mag / 8 szál, 1.73 GHz, L3: 24 MB, 185 W
 - 3D rétegszerkezet szilíciumon
 - Működő 14/20/22/28nm/... csíkszélességű tranzisztor (high K fém dielektrikum, Hafnium)
 - pl: Intel újgenerációs processzoraiban
 - Metal gate (a PolySi –ot váltja fel)
 - 2012 /2014:
 - Itanium-2 (Poulson / Kittson – 8 mag) 32nm /
 - 3.1 milliárd tranz.
 - 50 MB L3 Cache!, 12 utasítás/clock
 - 2015-17: Intel Xeon Phi, illetve Knights Landing, Hill, Mill (72 mag)



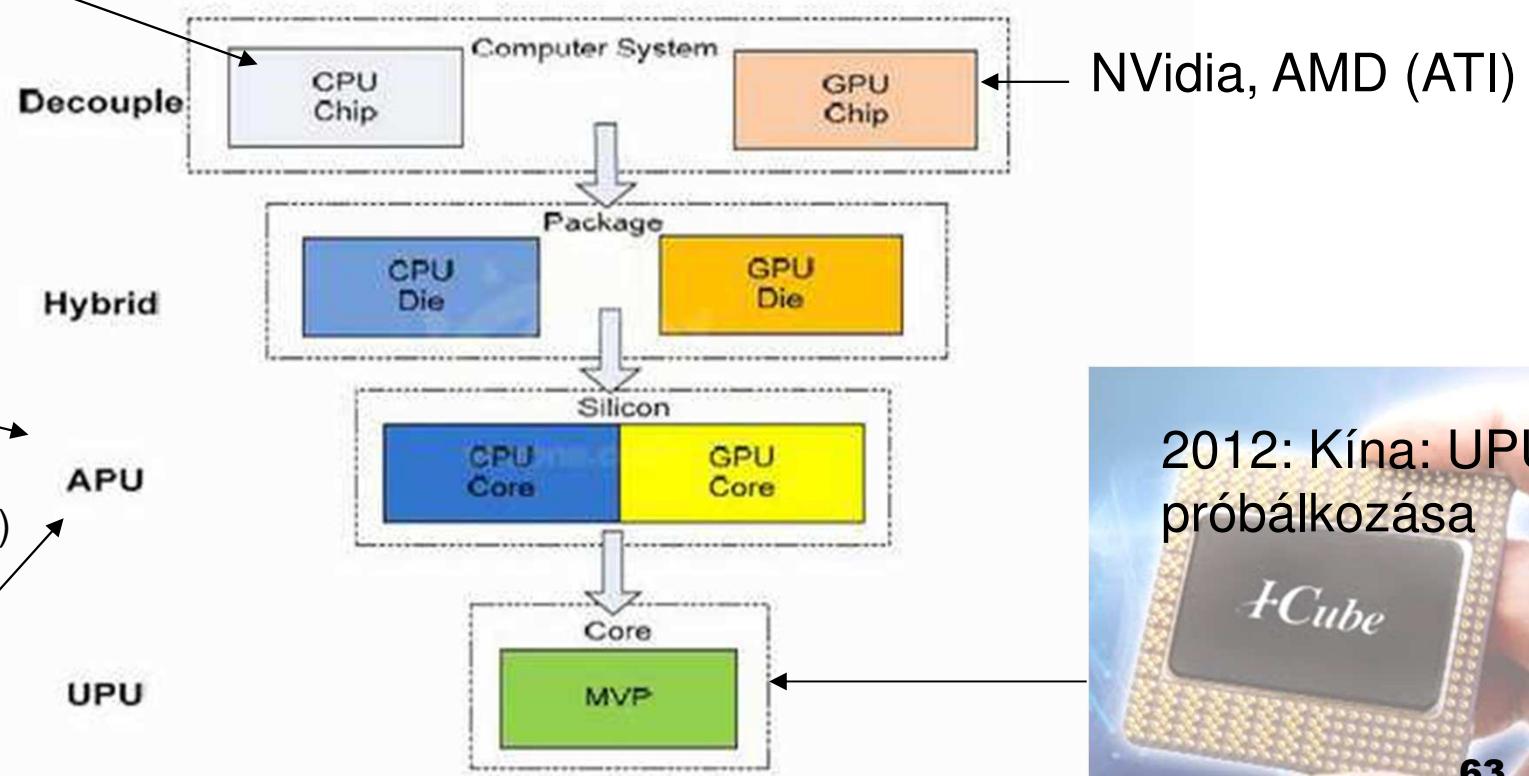
CPU + GPU integráció = APU

- Fejlesztések fő irány: APU (Accelerator Processor Unit), UPU

From Heterogeneous Platforms to UPU

CPU's instruction set:

- PC: X86, AMD64,
- Mobile: ARM, MIPS,
- Server: IBM Power, Sparc ...



2012: Kína: UPU próbálkozása

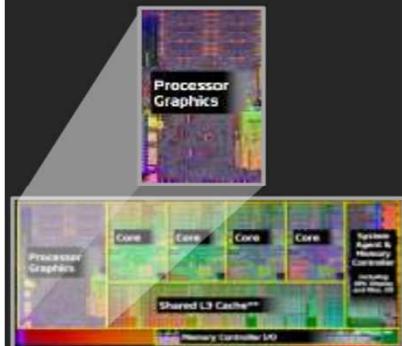


APU: GPU felülete (száma) fokozatosan nő

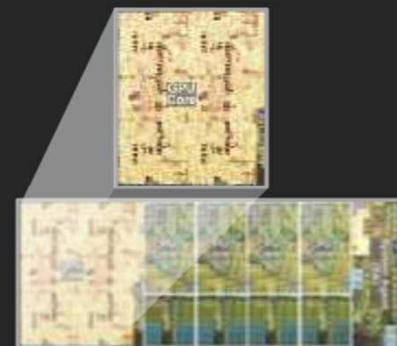
THE FUTURE BELONGS TO THE APU:
BETTER GRAPHICS, EFFICIENCY AND COMPUTE



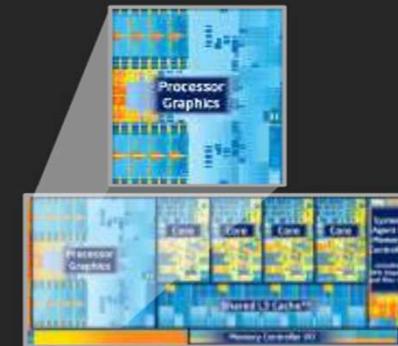
“SANDY BRIDGE”



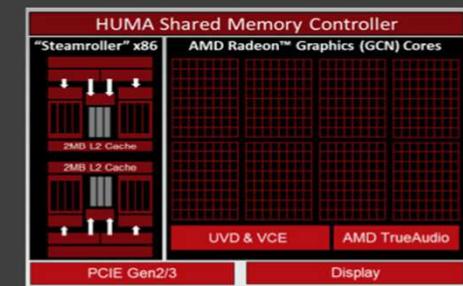
“IVY BRIDGE”



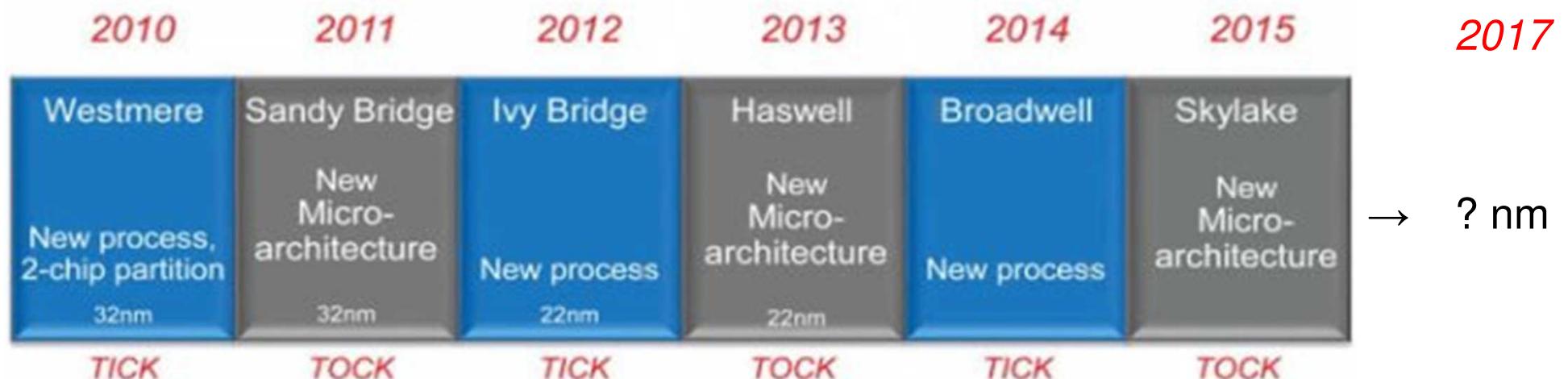
“HASWELL”
(Estimated)



2014 AMD A-SERIES/
CODENAMED “KAVERI”



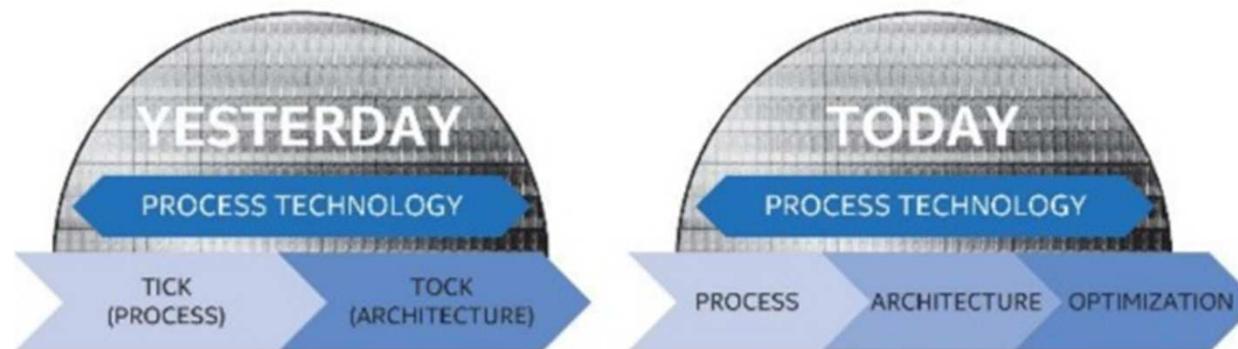
Intel „tikk-takk” stratégiája:



Megdőlt ez a „tikk-takk” stratégia (2016):

- 2 évente új gyártástechnológiára váltottak (ez jelenti a nagyobb problémát!) $22 \rightarrow 14 \rightarrow 10$ nm.
- 2 évente új mikroarchitektúra jelent meg
- Intel Kaby Lake: 7. gen Intel Core architektúra (még az utolsó tock fázisban készült, 14nm)

Intel „PAO” stratégia:



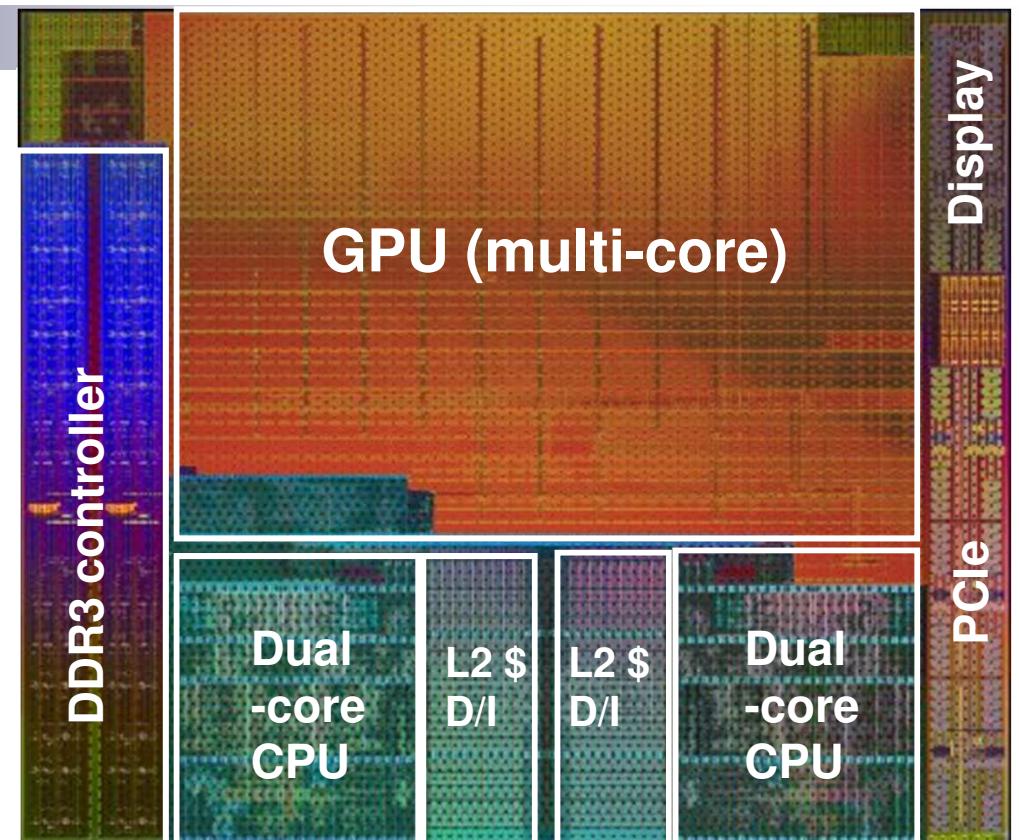
PAO – Process – Arcitecture – Optimization (2016-tól)

- 3 évente új gyártástechnológiára váltottak (ez jelenti a nagyobb problémát!) → 10 nm → ... ?
- 3 évente új mikroarchitektúra jelent meg
- 3 évente az architektúra optimalizálása
- Intel Kaby Lake: 7. gen Intel Core architektúra (még az utolsó tock fázisban készült)

Intel vs. AMD CPU-k (APU-k)

*2015: Intel Core M: Intel Broadwell
lapka, 14nm, Tri-gate, 1.3 milliárd
tranzisztor, 82mm²

Forrás: [PH](#)



Lapka kódneve	Gyártástechnológia	Magok száma	L2 + L3 mérete	Tranzisztorszám	Lapka területe
Kaveri	28 nm HKMG	4 (+ 8 CU IGP)	4 MB	2,41 milliárd	245 mm ²
Richland/Trinity	32 nm HKMG SOI	4 (+ IGP)	4 MB	1,303 milliárd	246 mm ²
Llano	32 nm HKMG SOI	4 (+ IGP)	4 MB	1,178 milliárd	228 mm ²
Vishera/Orochi	32 nm HKMG SOI	8 (4 modul)	16 MB	~1,2 milliárd	315 mm ²
Thuban	45 nm SOI	6	9 MB	904 millió	346 mm ²
Deneb	45 nm SOI	4	8 MB	758 millió	258 mm ²
*					
Haswell	22 nm Tri-Gate	4 (+ IGP)	9 MB	1,4 milliárd	177 mm ²
Ivy Bridge	22 nm Tri-Gate	4 (+ IGP)	9 MB	1,48 milliárd	160 mm ²
Sandy Bridge	32 nm HKMG	4 (+ IGP)	9 MB	995 millió	216 mm ²
Sandy Bridge-E	32 nm HKMG	6	16,5 MB	2,27 milliárd	435 mm ²
Gulftown	32 nm HKMG	6	13,5 MB	1,17 milliárd	240 mm ²
Lynnfield	45 nm HKMG	4	9 MB	774 millió	296 mm ²
Bloomfield	45 nm HKMG	4	9 MB	731 millió	263 mm ²

1. Roadmap projections for Semiconductor technology (prediction)

Year	Smallest feature [μm]	Dynamic Ram		Microprocessors			Wiring Levels / chip	I/O /chip
		Chip size [mm ²]	Billions of bits / chip	Chip size [mm ²]	Millions of transistors / cm ²	On-Chip Clock (MHz)		
1995	0.35	190	0,064	250	4	300	4-5	900
1998	0.25	280	0,256	300	7	450	5	1350
2001	0.18	420	1	360	13	600	5-6	2000
2004	0.13	640	4	430	25	800	6	2600
2007	0.09	960	16	520	50	1000	6-7	3600
2010	0.07	1400	64	620	90	1100	7-8	4800

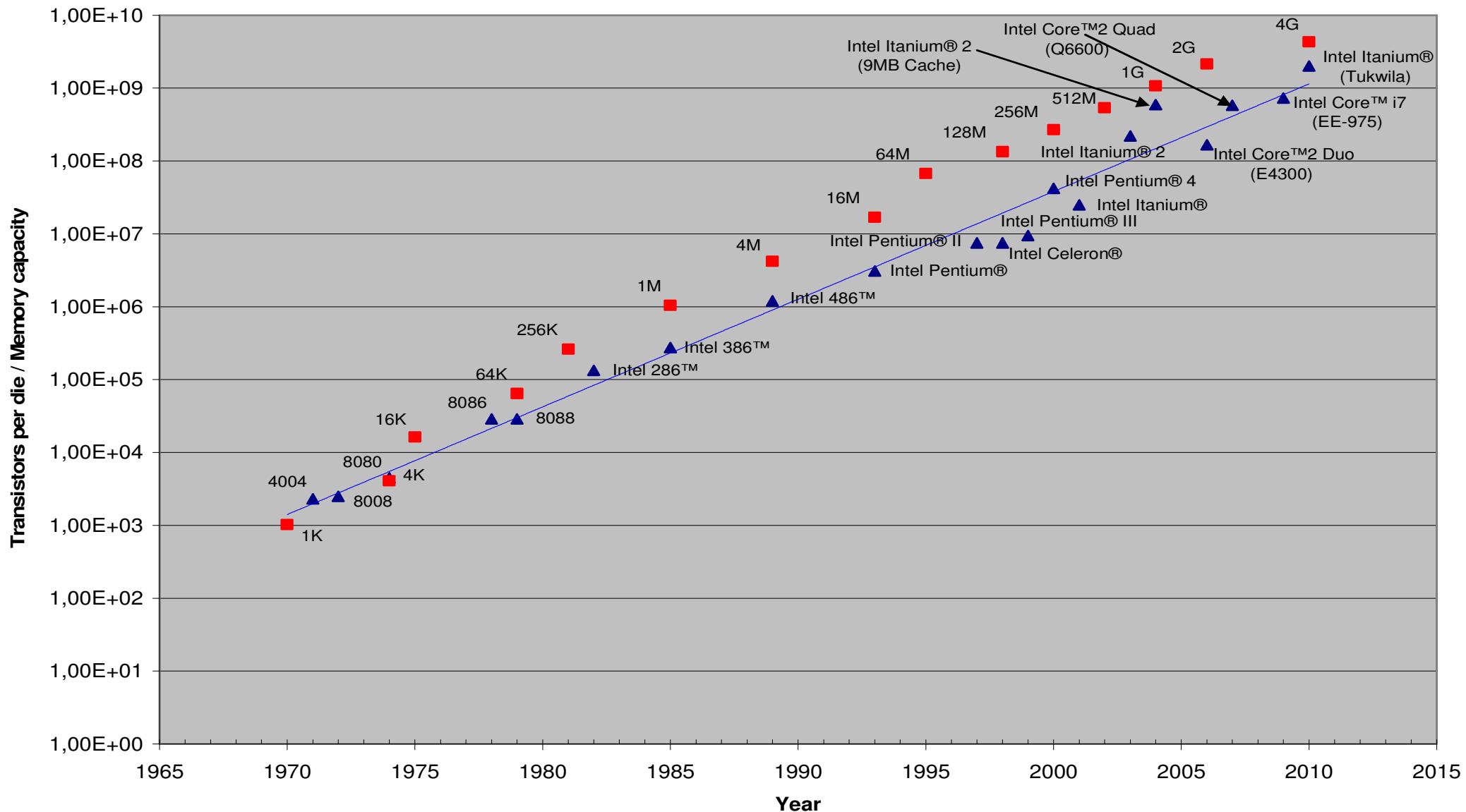
2. NOW and near future:

2004	0.09-0.13					3600	7	
end of 2005	0.065	110	70 Mbit			500	?	8
2009*	0.03							

*EUV: extrem UV lithographical technique

Moore's law: Intel processor and memory roadmap

between '70 and 2010.



Szuperszámítógépek

■ Első szuperszámítógépek

- LARC: (Livermore – US) atom-kutatásokra (1960)
- IBM 7030 / Strech (1961)
- **MA (2017. nov): www.top500.org**
 - 1.) **Sunway TaihuLight: Sunway MPP, Wuxi, China**
 - 10.65 millió ! processzor mag (SW26010 260C 1.45GHz), 1310 TB memória, P:15300 kW!!
 - **93 PetaFLOP/s teljesítmény !!!**
 - 2.) **Tianhe-2 (Milky-Way-2): NUDT TH Cluster, China**
 - 3.1 millió ! processzor mag (Intel Xeon Phi ES-2692 12Cores 2.2 GHz), 1024 TB memória, P:17800 kW!!
 - **33.86 PetaFLOP/s**
 - 3.) **Piz Daint:, Swiss National Supercomputing Centre**
 - 361760 proc. mag (Intel Xeon E5-2690v3 12C 2.6GHz+Nvidia Tesla), 340 TB memória, P:2272 kW!!
 - **19.59 PetaFLOP/s teljesítmény !!!**
 - 4.) **Titan - Cray XK7, AMD Opteron 6274 16Cores, 2.2GHz, Cray, Oak Ridge LAB, US**
 - 560640 processzor mag, 710 TB memória, P: 8209 kW!!
 - **17.59 PetaFLOPs**
 - ...
 - x.) **IBM Roadrunner BladeCenter QS22/LS21 Cluster, (LANL, Los Alamos., US)**
 - 129 600 processzor magos rendszer (PowerXCell 8i 3.2 GHz), 73 728 GB memória (N/A)
 - **1.105 millió GFLOPs teljesítmény! (elsőként ~ 1 PetaFLOPs sebességtartomány átlépése)**

■ További lehetőségek: FDE – parallelizmus

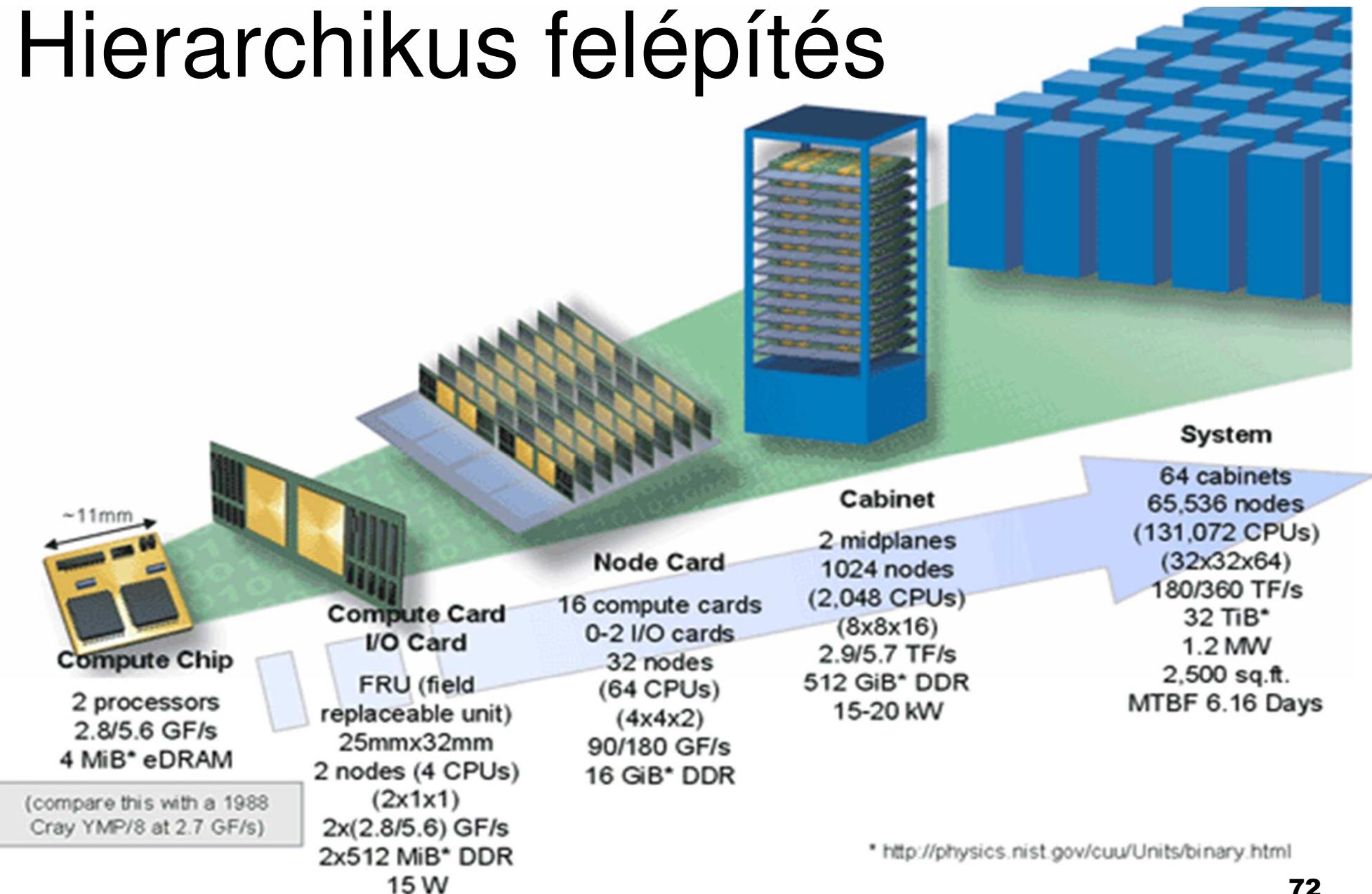
- átlapololt végrehajtás (látszólagos) – pipe-line, vagy IPL (utasítás szintű párhuzamosítás – pl. szuperskalár processzorok): párhuzamosítás egyetlen processzoron belül
- teljesen párhuzamos végrehajtás (több processzor) – pl. CELL BE
- heterogén több-magos (multi-core/many-core) rendszerek (pl. mai APU-k)

Szuperszámítógépek

■ Magyarország (TOP-500 listán volt 2014-ben)

- # 500/370 (2014).
- NIIFI-Debrecen - Cluster Platform SL250s Gen8, Intel Xeon E5-2650v2 8C 2.6GHz, Infiniband FDR, NVIDIA K20x
- HP rendszer
- 3 696 mag
- 203.3 GFLOPs teljesítmény
- 92 KW
- Weblap: <http://www.niif.hu>

Szuperszámítógépek – Hierarchikus felépítés



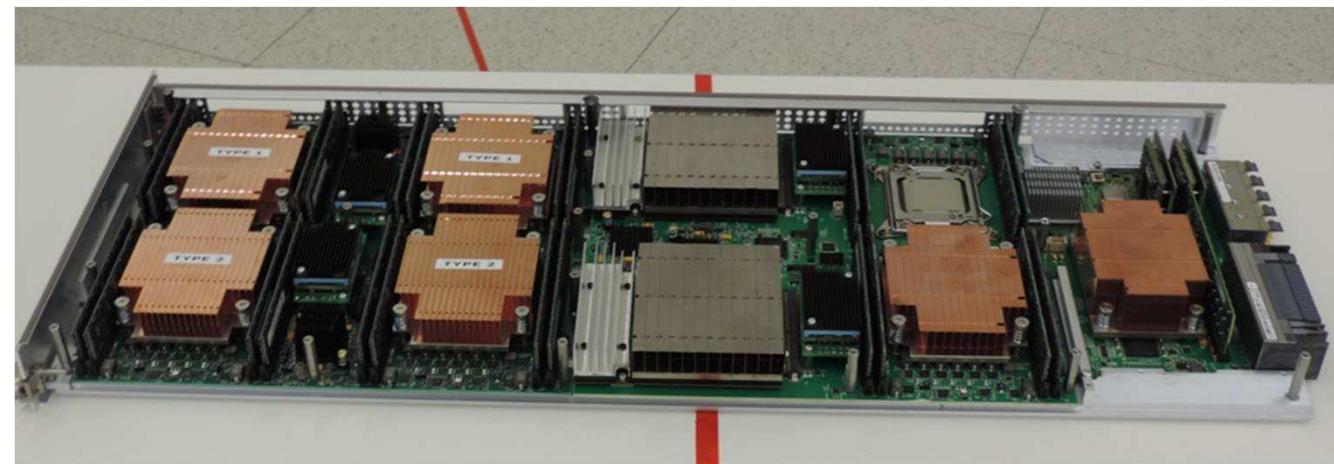
#1 Sunway



#2 Tianhe-v2 (Milky way)



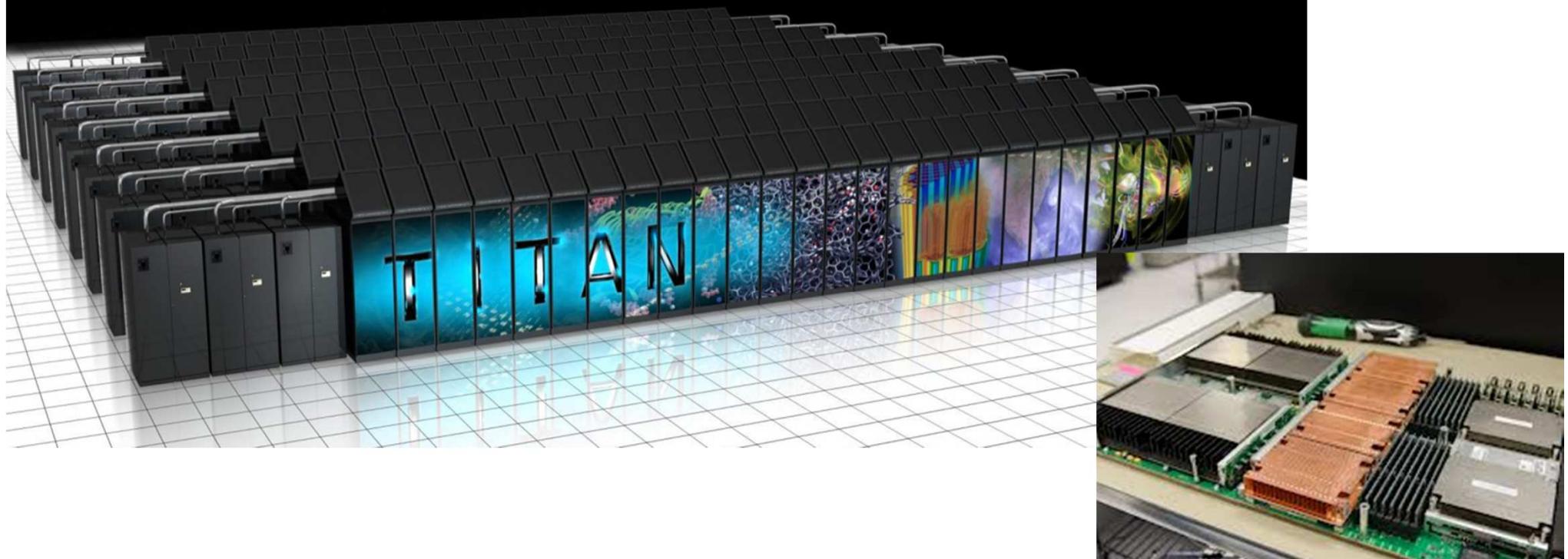
3 Piz Daint, ETH Zürich



#5 Titan, AMD Opteron 16C, 2.2GHz, Cray, Oak Ridge LAB, US

World's #1 Open Science Supercomputer

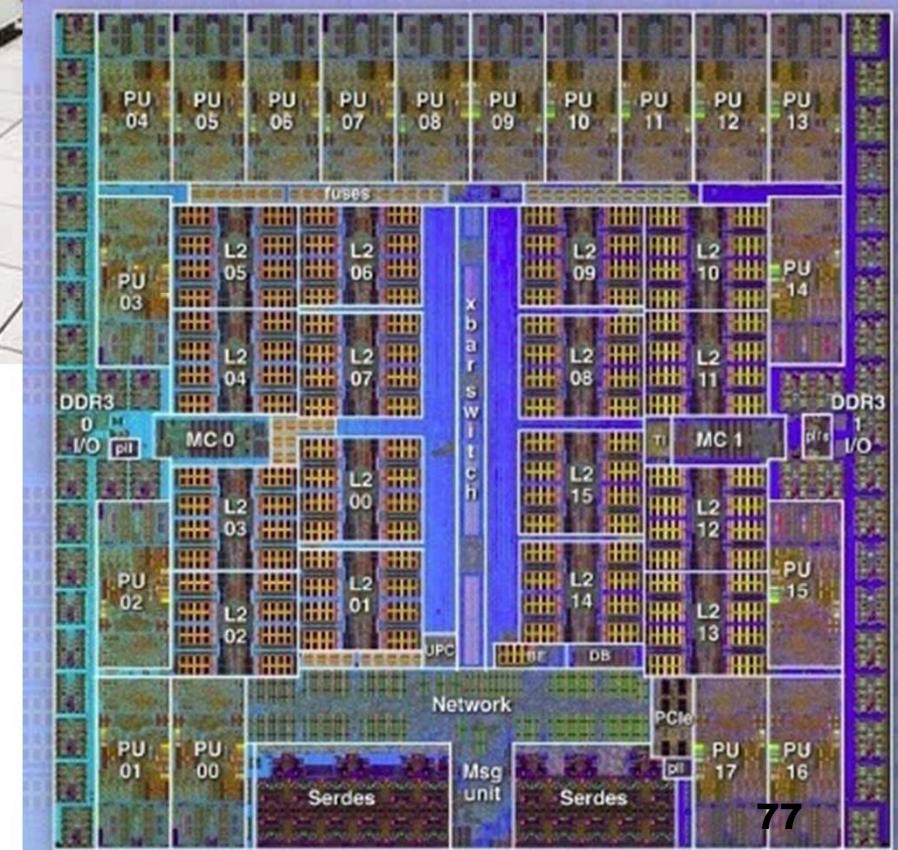
Flagship accelerated computing system | 200-cabinet Cray XK7 supercomputer |
18,688 nodes (AMD 16-core Opteron + NVIDIA Tesla K20 GPU) |
CPUs/GPUs working together – GPU accelerates | 20+ Petaflops



#6 Sequoia – IBM BlueGene/Q, Power BQC 16C



IBM BlueGene/Q
processzor
(16 + 2 mag)



Blue Gene/Q chip:

- IBM's 45 nm,
- peak performance of 204.8 GFLOPS,
- @1.6 GHz,
- 55 W,
- 19×19 mm (359.5 mm²),
- 1.47 milliárd tranzisztor.

Jaguar Cray XT5-HE

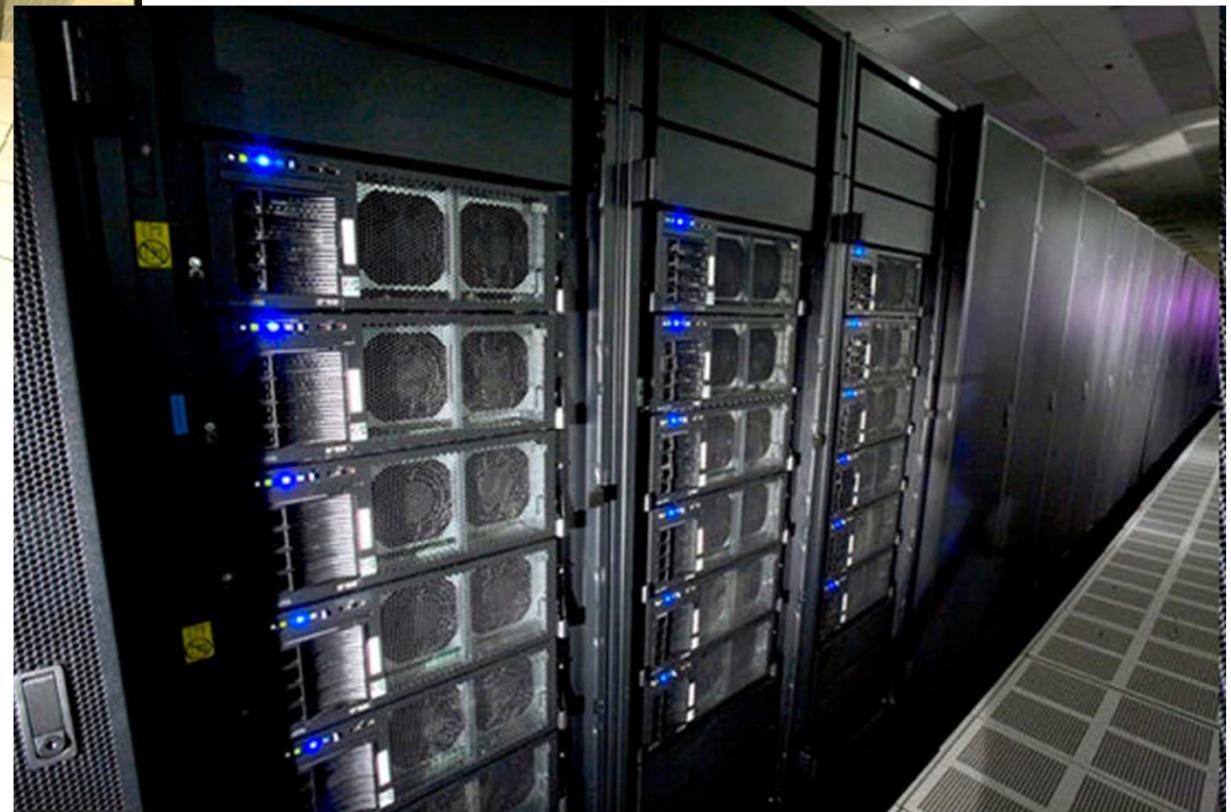


Jaguar Cray XT5-HE Opteron Six-Core 2.6 GHz
(Oak Ridge Laboratory – Tennessee, US)
224 162 processzor (1.759 millió GFLOPs
(~ 1.76 PetaFLOP teljesítmény)

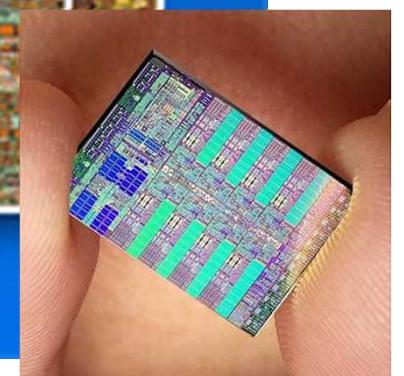
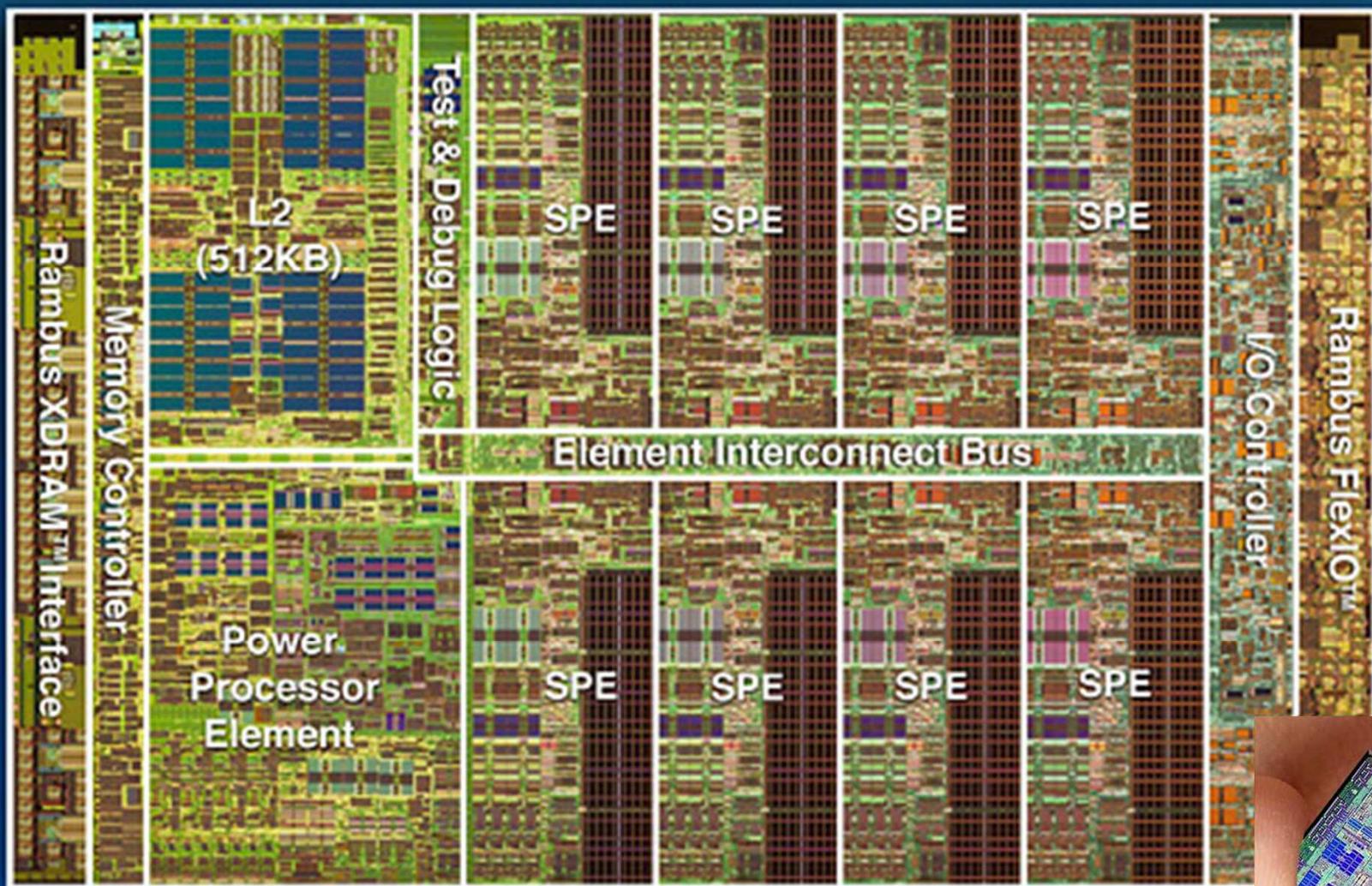
IBM Roadrunner supercomputer

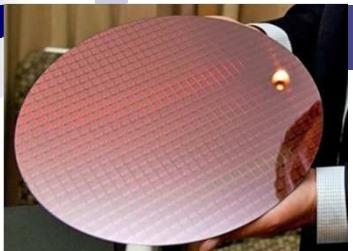


1 PetaFlops (2009): #1

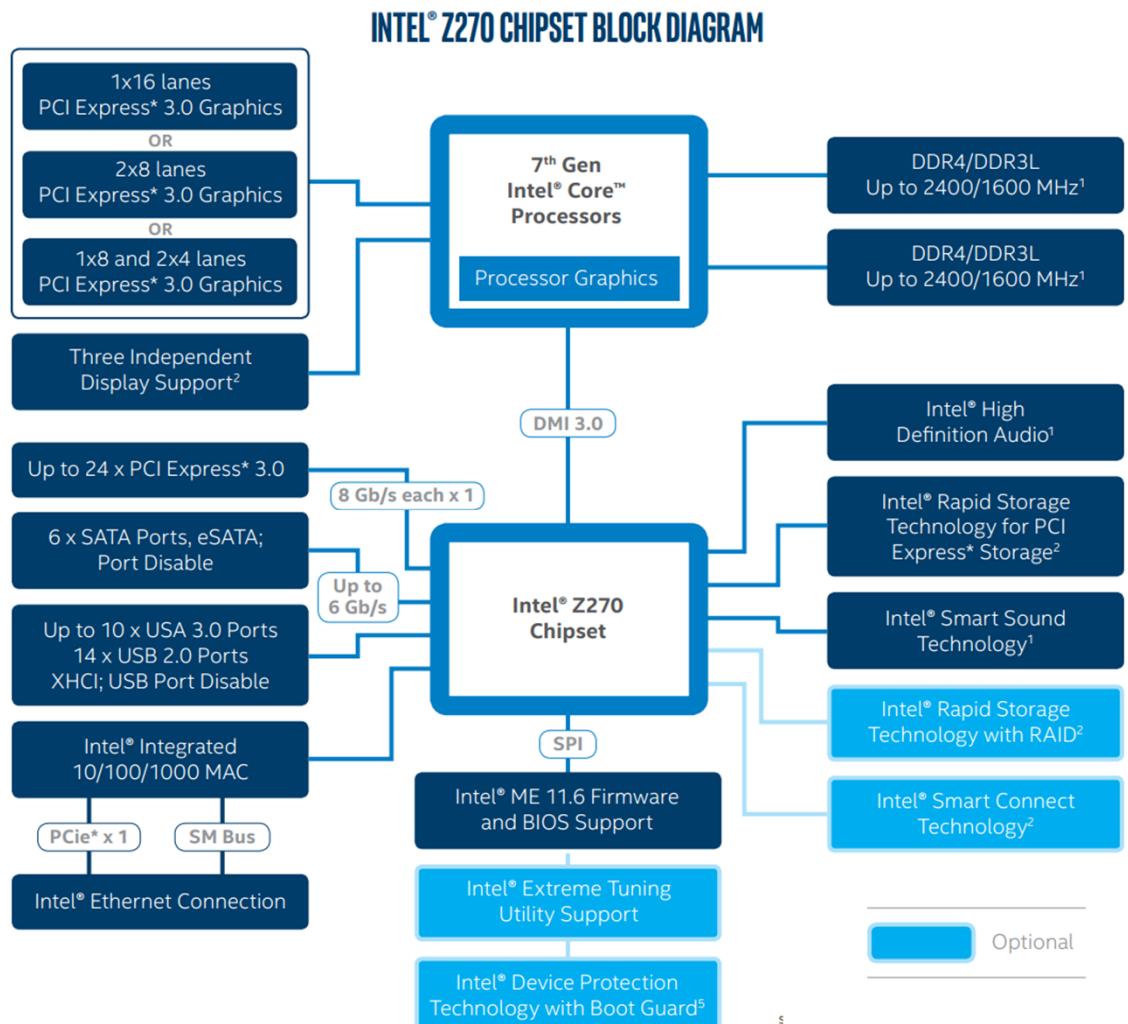
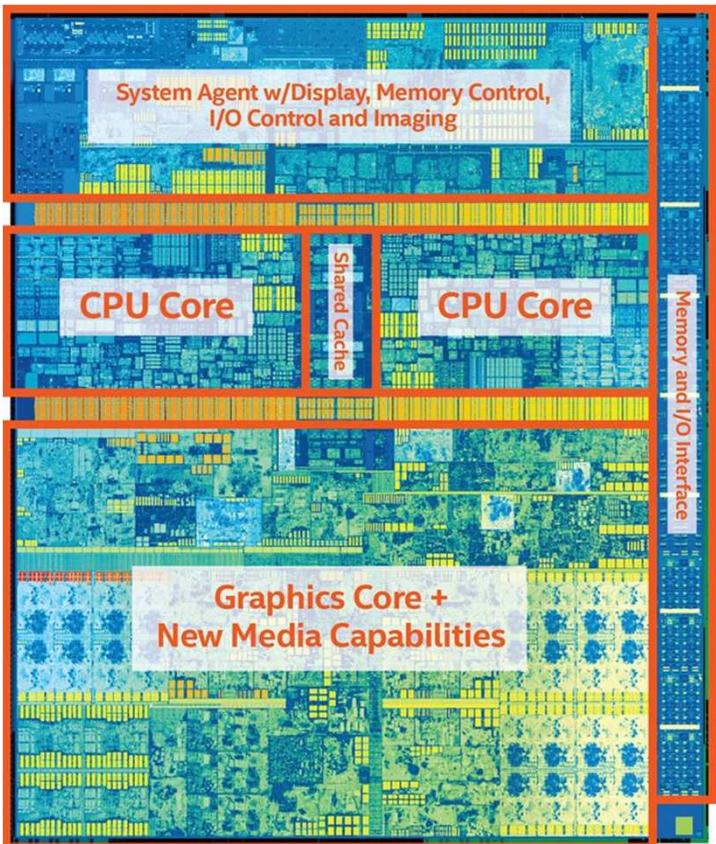


Cell Broadband Engine Processor

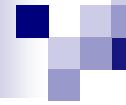




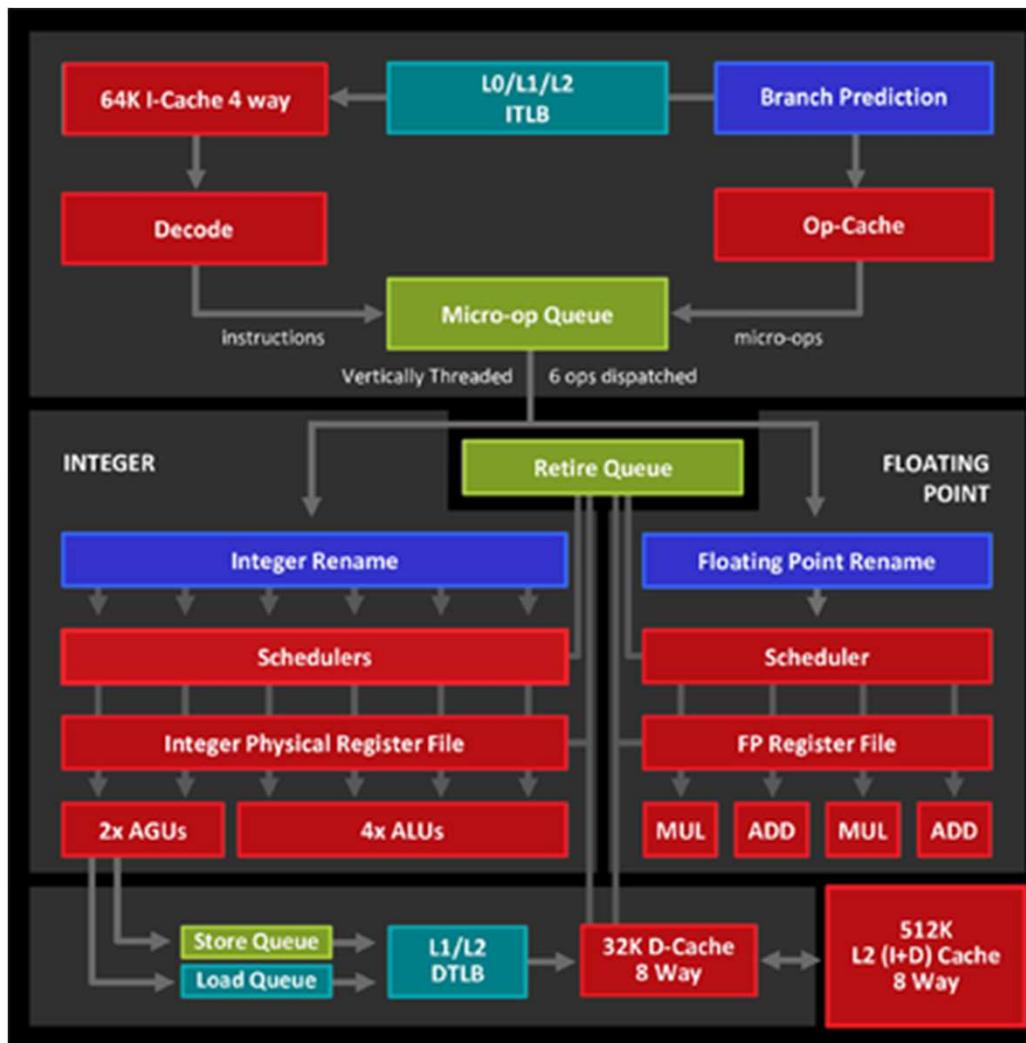
Intel Kaby Lake



2017. január: **Intel Kaby Lake**, 7. generációs APU – teljes „brand” paletta (PAO stratégia: 2/4/8 mag, 14nm, 4+ GHz, 30-95 W, 1151 lábú tokozás)
2017. október: **Intel Coffee Lake**, 8. gen., TIC-TOC, 14nm, 4/6 mag, 65-95W, 4+ GHz



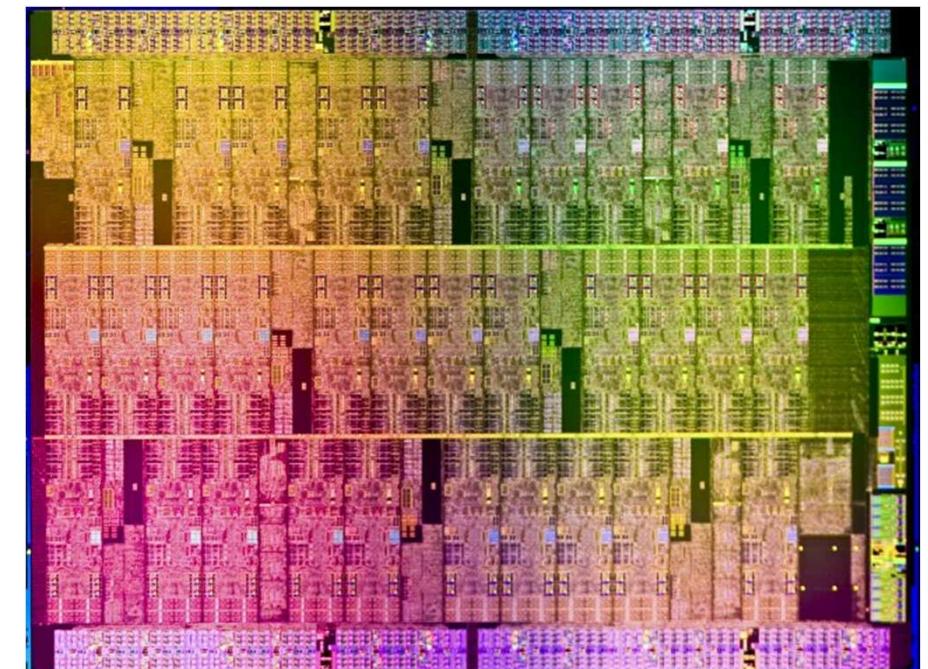
AMD Ryzen (Zen)



2017 febr: AMD Ryzen 3/5/7, Zen architektúra, 4/6/8...16 mag – 8/12/16...32 szál, 14nm, 3-4.2 GHz, 5 milliárd tranzisztor, L3 \$: 8-16-32 MB, TDP: 65W – 100 W...180W, 1331 lábú tokozás), \$100-1000

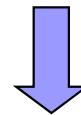
Many-integrated cores

- Intel Xeon Phi 3100/5110/7120 (Knights Corner, Hill, Mill ...)
 - 1-1.2 TFLOPs, 12 mag, 22 nm, max 320 GB/sec memória sávszélesség, 300 W, 2000-4000 \$
 - Tianhe-2 (2013) Top 1.
- Intel Knights Landing:
Xeon Phi „v2” (2015)
 - 14 nm, 3 TFLOPs
72 magos (Intel Atom),
500 GB/sec memória.
200 W

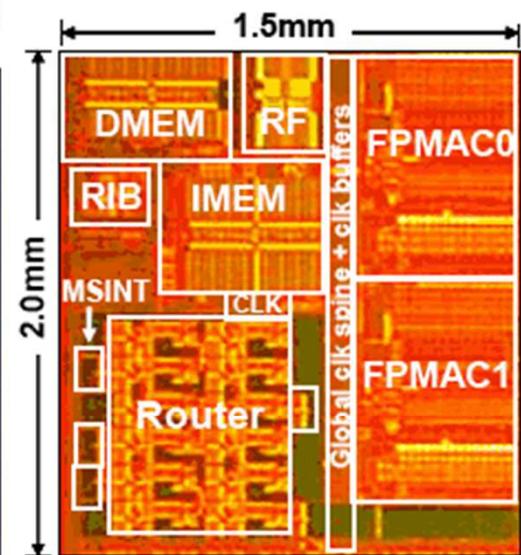
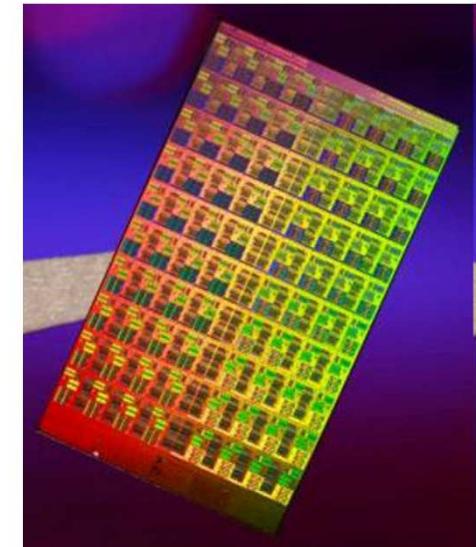
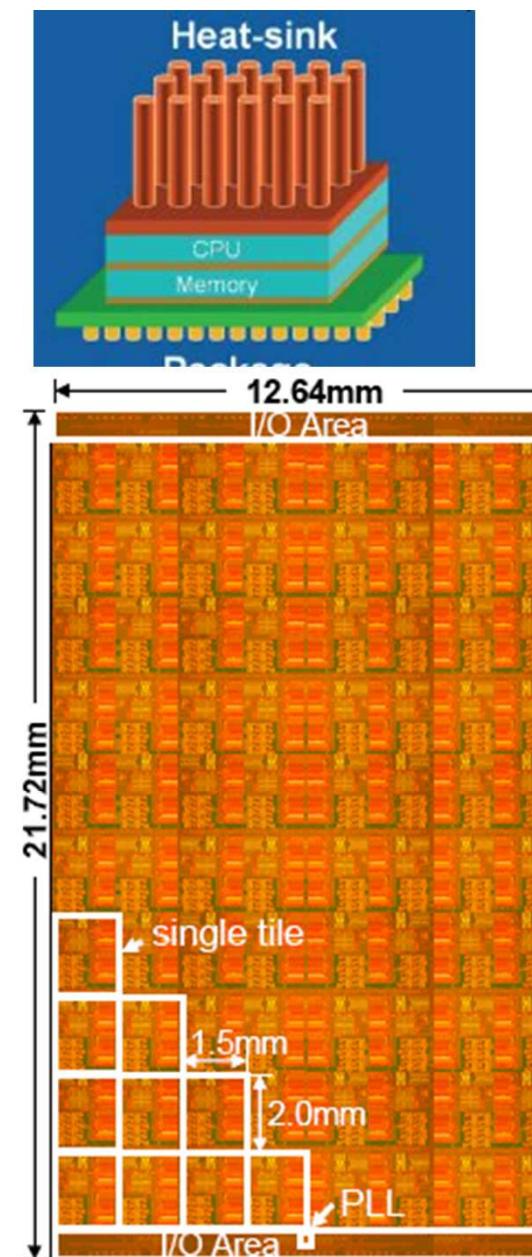


Intel Nehalem-EX: 80 mag

- ISSC'2007
- Polaris: 80 mag
 - 65 nm technológia
 - 3D rétegszerkezet
- 1 TeraFLOPs.
- 4 - 5.1 GHz
 - 100 – 175 W



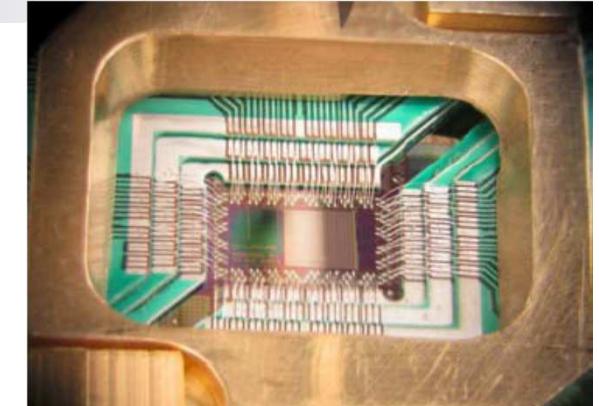
- Intel Core i7 EE 980x
 - 32nm
 - 3.3 GHz
 - 6 mag / 12 szál
 - 2.2 milliárd tr.



Technology	65nm CMOS Process
Interconnect	1 poly, 8 metal (Cu)
Transistors	100 Million
Die Area	275mm ²
Tile area	3mm ²
Package	1248 pin LG 844 layers, 343 signal pins

Más alternatíva: D-Wave Kvantumszámítógép

- D-Wave One System (2009): 128 qubit
- D-Wave Two (2012): 512 qubit
- D-Wave 2X (2015): 1000+ qubit
- D-Wave 2000Q (2017): 2000+ qubit (~ 15 m\$)
 - „**qubit**” = **kvantum bit**, a kvantum-számítás alapegysége, amellyel Boole algebrában ismert ‘0’ és ‘1’ állapotok két normalizált és kölcsönösen ortogonális kvantum állapot-pár segítségével ábrázolhatók { |0 > , |1 > }
- Félvezetők helyett szupravezető fémet használnak mágneses vákuumban: niobium (ultra hőmérsékleten)
- HPC: High Performance Computing alkalmazásokra,
 - parallel-, elosztott számítási struktúra
 - Big data analysis - Optimization – Classification - Machine learning etc.
- Támogatók: Google, NASA, Lockheed



<http://www.dwavesys.com>

http://index.hu/tech/2016/08/18/programozható_kvantumszamitogep