

**Állománynév:** aramkorok\_10log\_alapok01.pdf

**Irodalom:** Tankönyv: Haizmann J., Varga S. és Zoltai J., „Elektronikus áramkörök,” Tankönyvkiadó, Budapest, 1992 (javasolt, pp. 295-340, 347-358)

Előadó jegyzetei: <http://users.itk.ppke.hu/~kolumban/aramkorok/>

R. J. Smith & R. C. Dorf, „Circuits, Devices and Systems,” Wiley, 5<sup>th</sup> Edition (kevésbé ajánlott).

## 10. Logikai alapáramkörök és logikai áramkör családok. Digitális áramkörökben mért jelalakok jellemzése

### Oktatási célkitűzés:

Bevezetés a logikai áramkörök használatába, logikai rendszerek blokkdiagram szintű kezelésének bemutatása

## Az áramköri és blokkdiagram szintű tervezés megközelítése

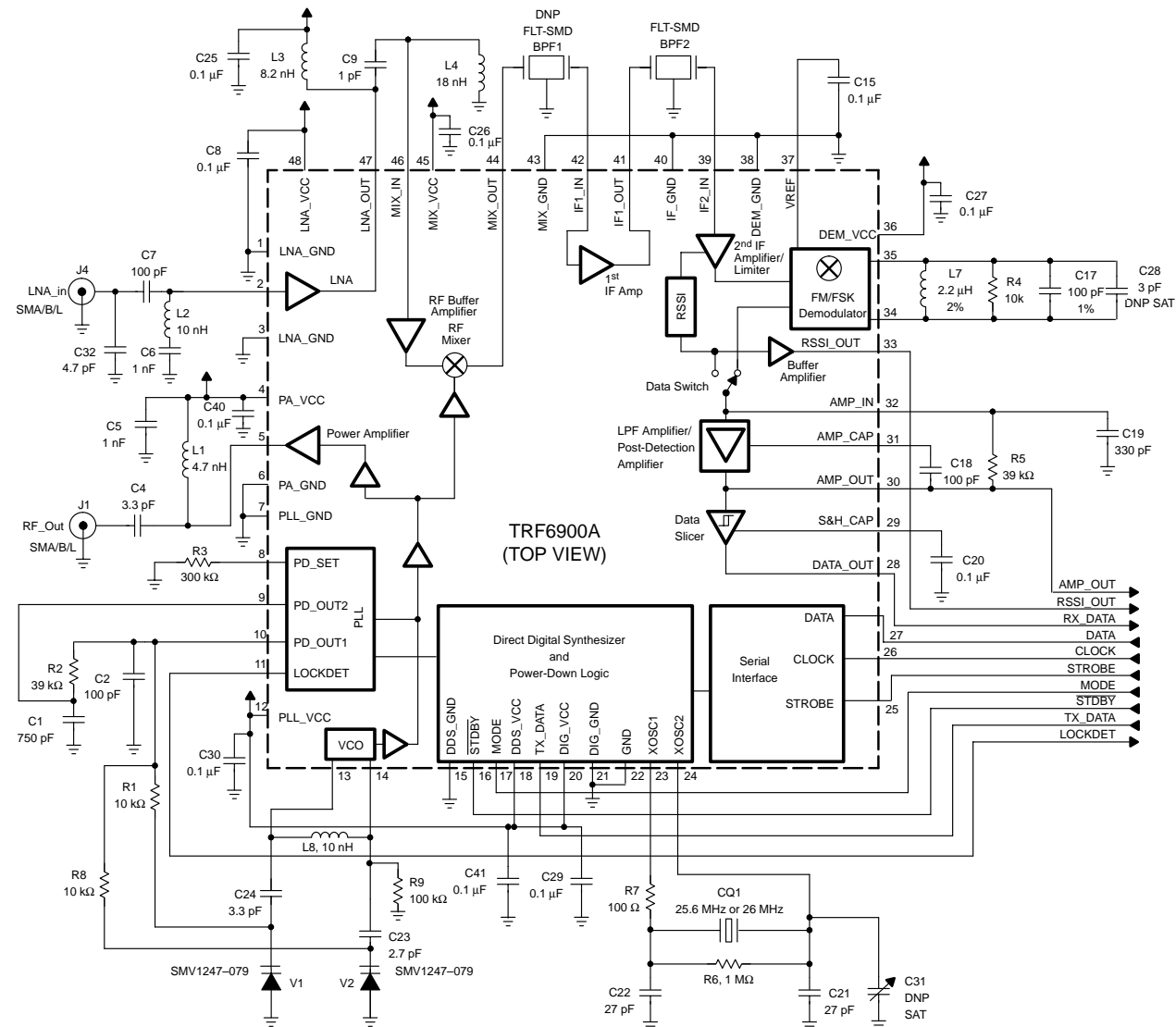
TRF6900A SoC adó-vevő

### Tervezési szintek:

- Áramköri szint  
 $C_{32} - C_7 - L_2 - C_6$  be-  
meneti illesztő áramkör
- Blokkdiagram szint  
„Serial Interface” és „Di-  
rect Digital Synthesizer and  
Power-Down Logic”

### Blokkdiagram szint:

- Belső felépítés irreleváns
- Fontos a funkció
- Kellenek az interface adatok  
(pl. jelalakok, terhelések)



## A TRF6900A SOC áramkör vezérlése

A-Word (Programming of DDS\_0)

MSB																							LSB	
23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
0	0	DDS Frequency Setting for Mode0 (DDS_0 [21:0])																						
ADDR																								

ADDR

B-Word (Programming of DDS\_1)

MSB																							LSB	
23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
0	1	DDS Frequency Setting for Mode1 (DDS_1 [21:0])																						

ADDR

C-Word (Control Register for PLL, Data Slicer and Mode1 Settings)

MSB												LSB																					
23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0										
1 0 1			PLL						X	X	Mode1 Control Register [12:0]																						
			APLL		NPLL		MM		SLCTL		PLL VCO		PA		SLC		LPF		SW		RSSI		LIM		IF		MIX		LNAM				
ADDR			A2 A1 A0															P1 P0														L1 L0	

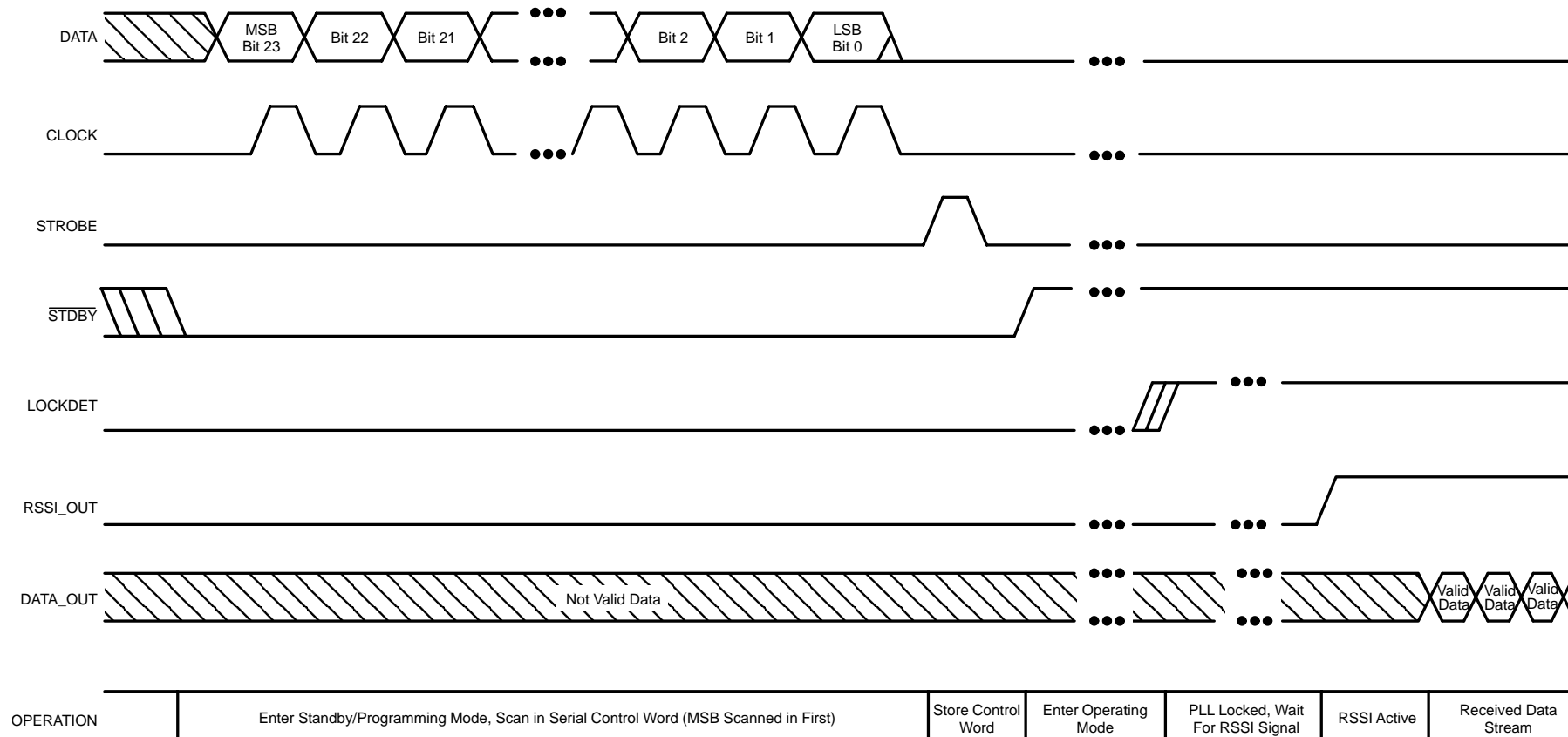
ADDR

D-Word (Control Register for Modulation and Mode0 Settings)

MSB																							LSB							
23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0							
1 1 0			Modulation Register [20:13]								Mode0 Control Register [12:0]																			
			DEV								PLL VCO		PA		SLC		LPF		SW		RSSI		LIM		IF		MIX		LNAM	
ADDR			DV7	DV6	DV5	DV4	DV3	DV2	DV1	DV0				P1	P0													L1	L0	

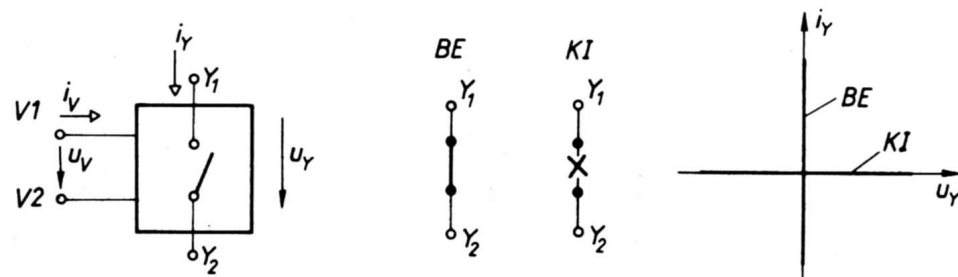
ADDR

## A vezérlő szavak soros beléptetése

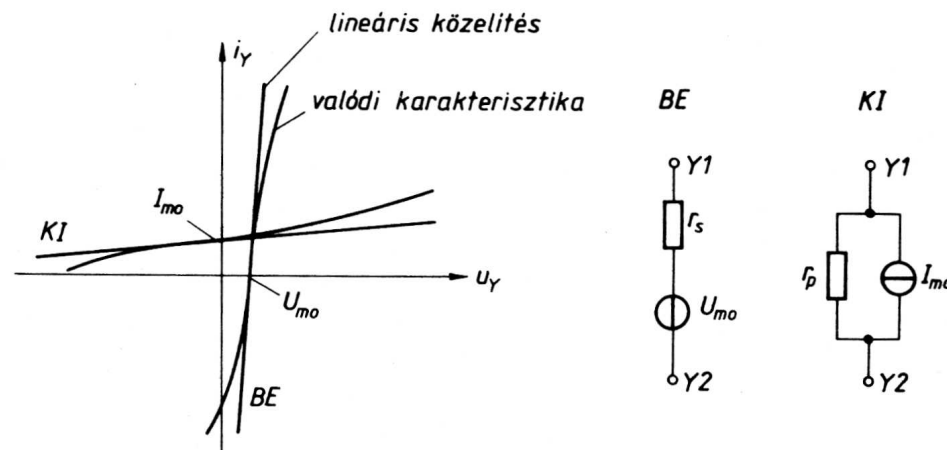


## Félvezető eszközök kapcsoló üzemi működése

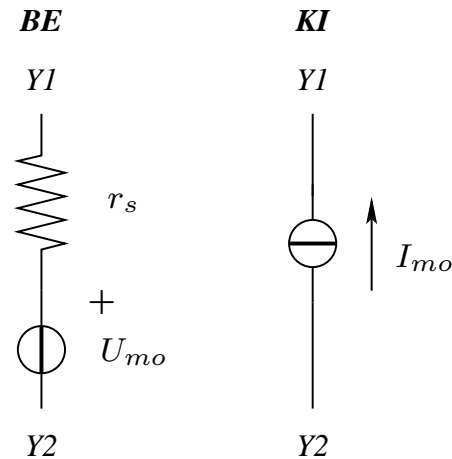
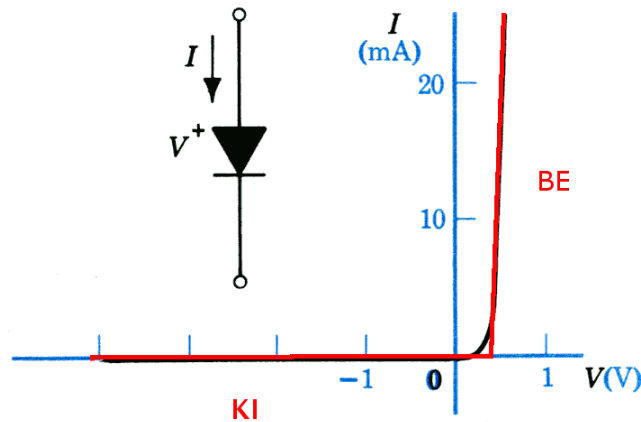
Az ideális kapcsoló állapotai és karakterisztikái



A valóságos kapcsoló karakterisztikái és helyettesítő képei



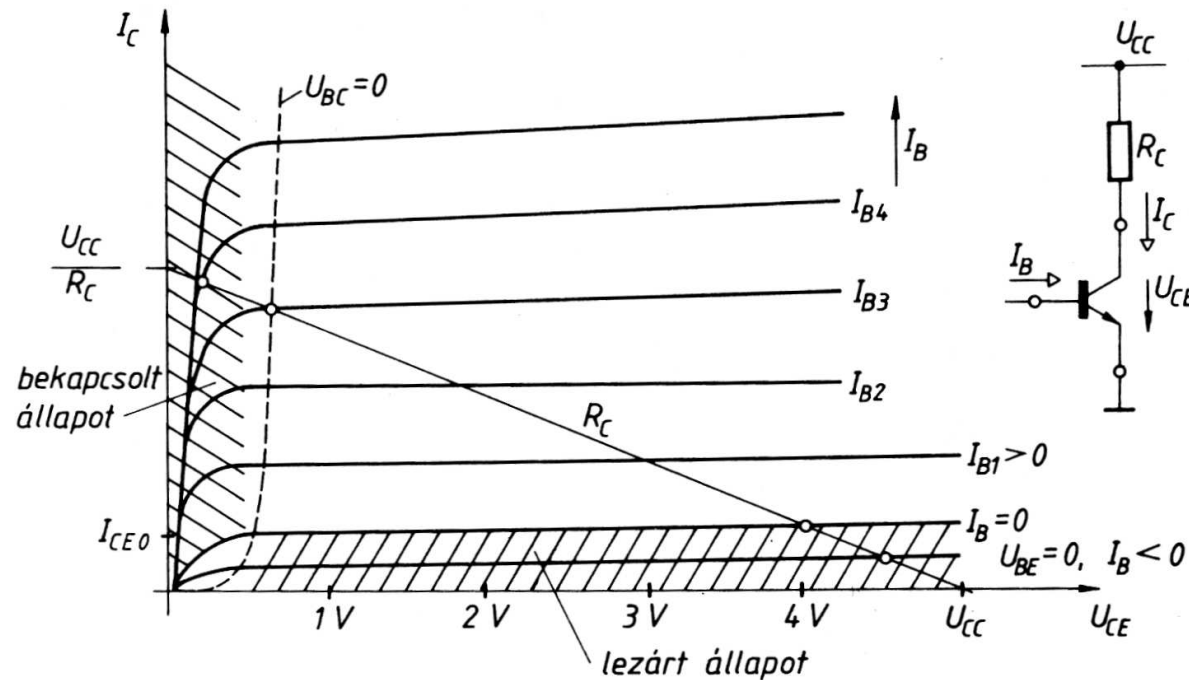
## Félvezető dióda kapcsoló üzemű viselkedése



- Vedd észre:
- Bekapcsolt állapot: Kb. 0,7–0,8 V esik rajta, egy feszültségforrás és egy ellenállás soros kapcsolásával helyettesíthető
  - Kikapcsolt állapot: Szakadással helyettesíthető

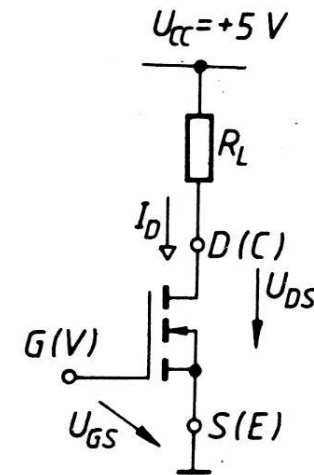
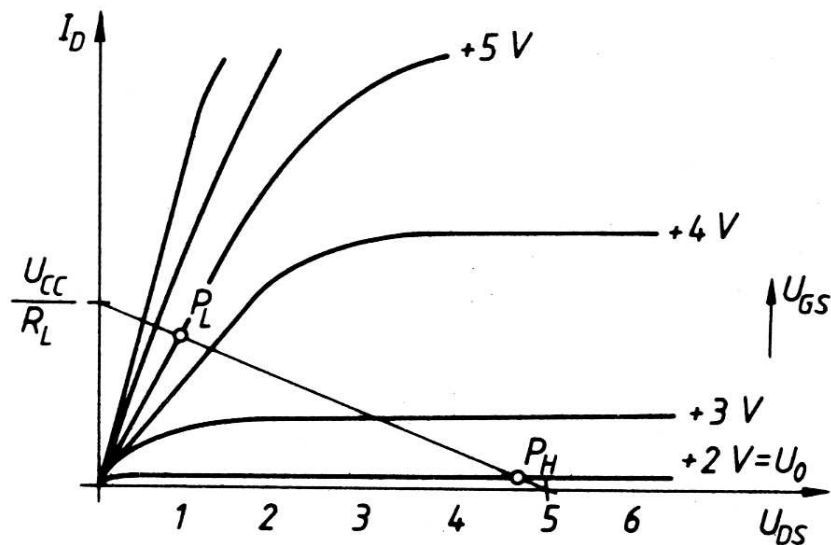
- Schottky dióda:
- Fém-félvezető átmenet
  - Jóval kisebb nyitóirányú feszültség, típikusan 0,15–0,45 V
  - Jóval rövidebb kapcsolási idők

## Bipoláris tranzisztor kapcsoló üzemű viselkedése



Vedd észre: Logikai szempontból a fenti áramkör egy **invertert** valósít meg

## MOS tranzisztor kapcsoló üzemű viselkedése



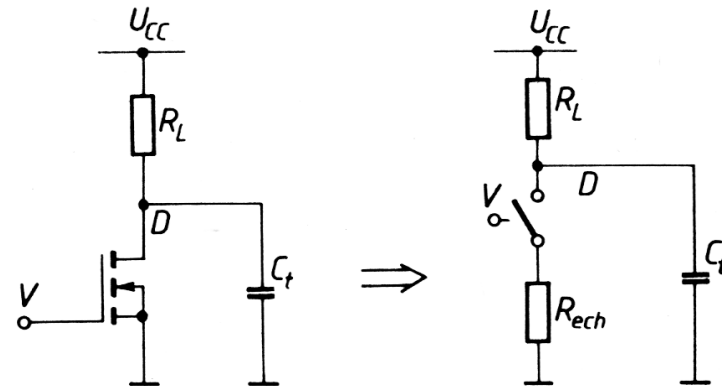
Vedd észre: Logikai szempontból a fenti áramkör egy **invertert** valósít meg



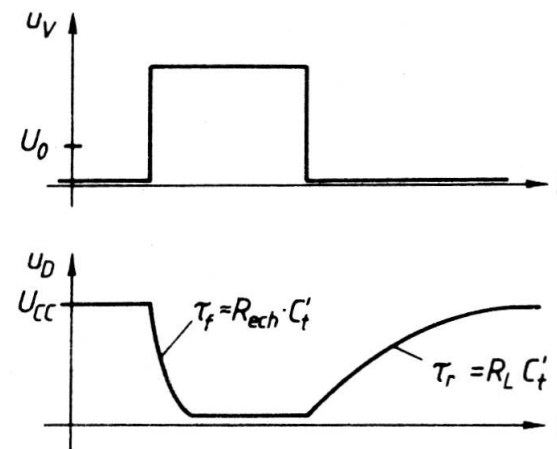
## MOS tranzisztoros inverter

### Kapcsolási rajza

### Helyettesítő képe

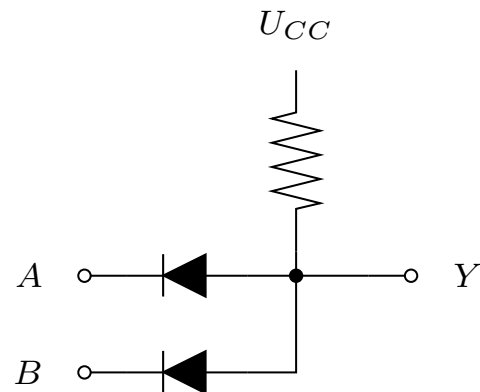


### Jelalakjai



## Egyszerű kapuk áramköri felépítése

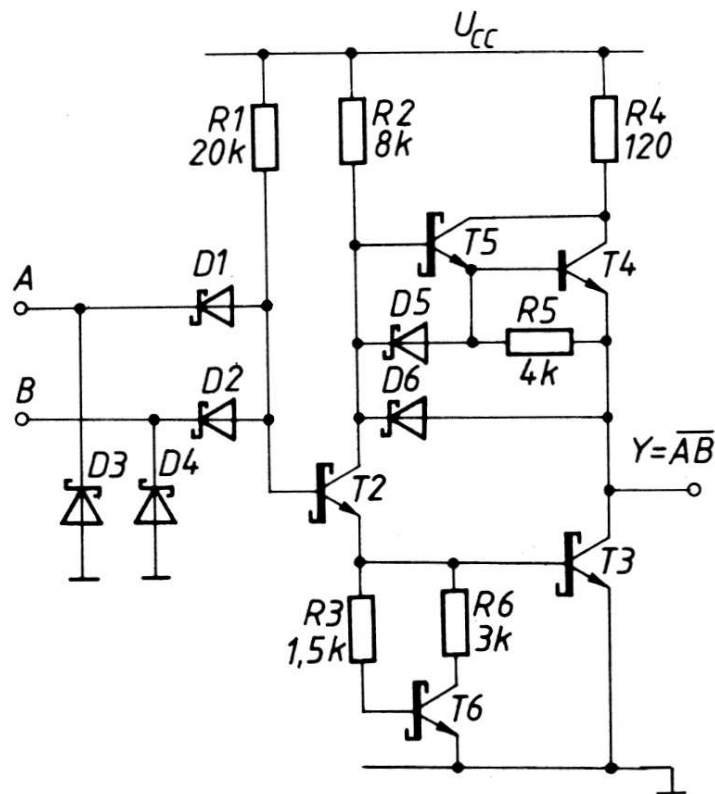
### Diódás **ÉS** kapu és annak igazságtáblája



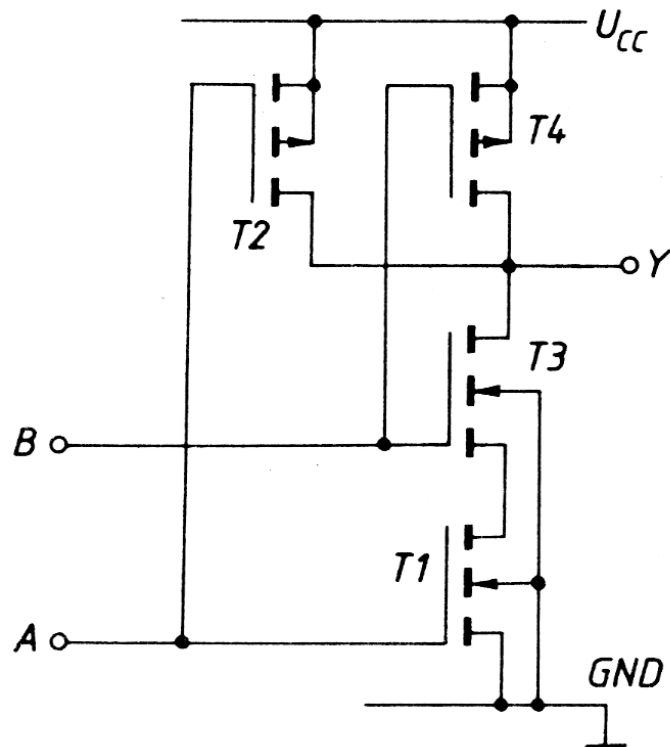
$A$	$B$	$Y$
$L$	$L$	$L$
$L$	$H$	$L$
$H$	$L$	$L$
$H$	$H$	$H$

- Pozitív logika:  $H$  szint pozitívabb mint a  $L$  szint
- Negatív logika:  $H$  szint negatívabb mint a  $L$  szint

## TTL LS **NAND** kapu és annak igazságtáblája



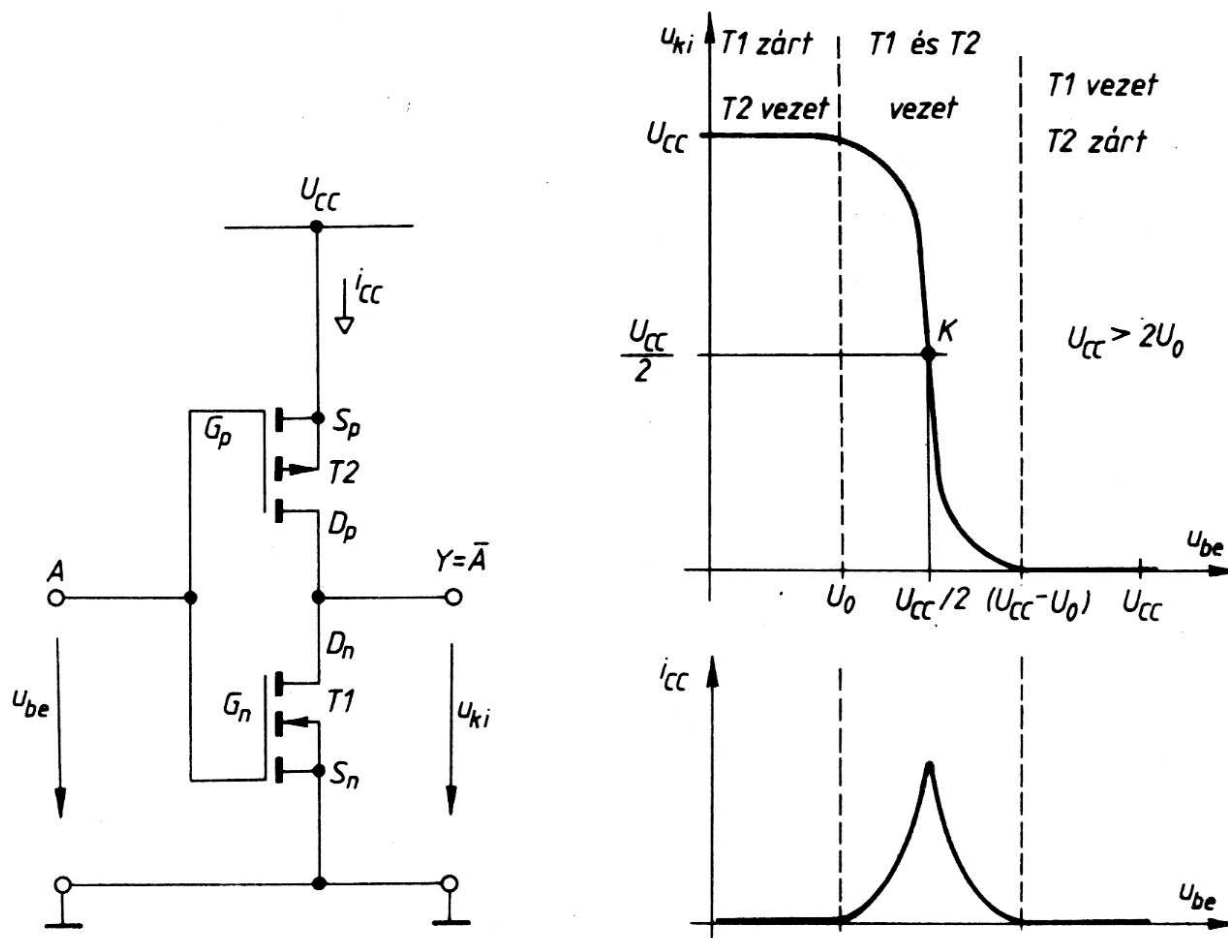
<i>A</i>	<i>B</i>	<i>Y</i>
<i>L</i>	<i>L</i>	<i>H</i>
<i>L</i>	<i>H</i>	<i>H</i>
<i>H</i>	<i>L</i>	<i>H</i>
<i>H</i>	<i>H</i>	<i>L</i>

CMOS **NAND** kapu és annak igazságtáblája

$A$	$B$	$Y$	$R_{ki}$
$L$	$L$	$H$	$R_p/2$
$L$	$H$	$H$	$R_p$
$H$	$L$	$H$	$R_p$
$H$	$H$	$L$	$2R_n$

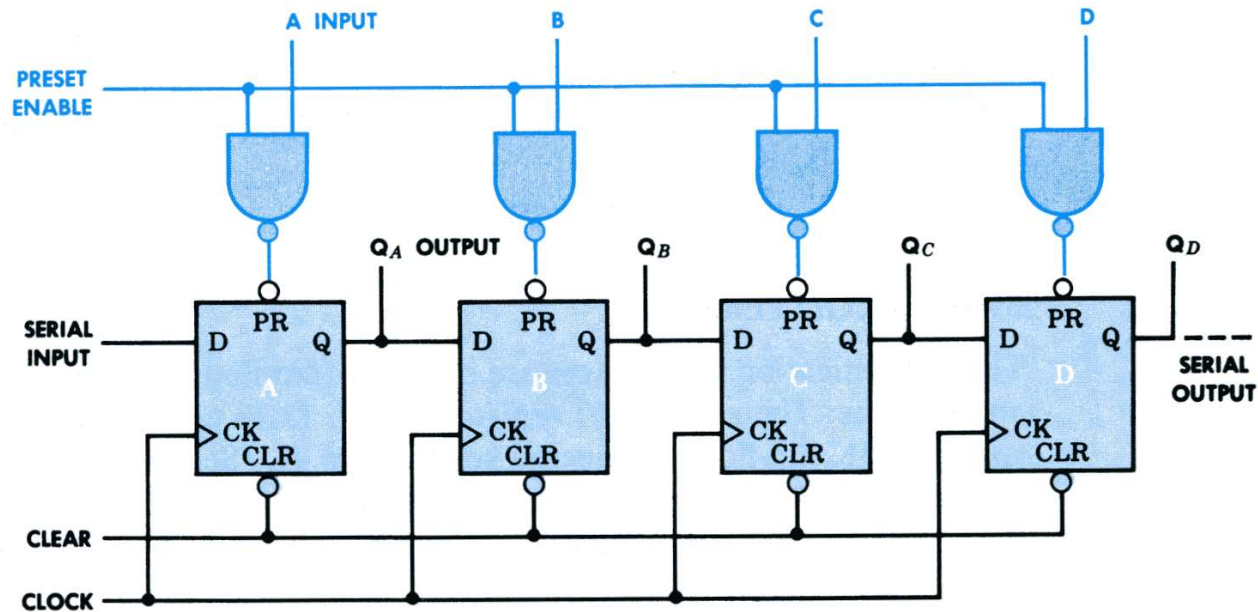
$R_n, R_p = a$  vezető  $n$ - ill.  
 $p$ -csatornás tranzisztor  
 csatornaellenállása

## CMOS **inverter** átkapcsolási folyamata és áramfelvétele



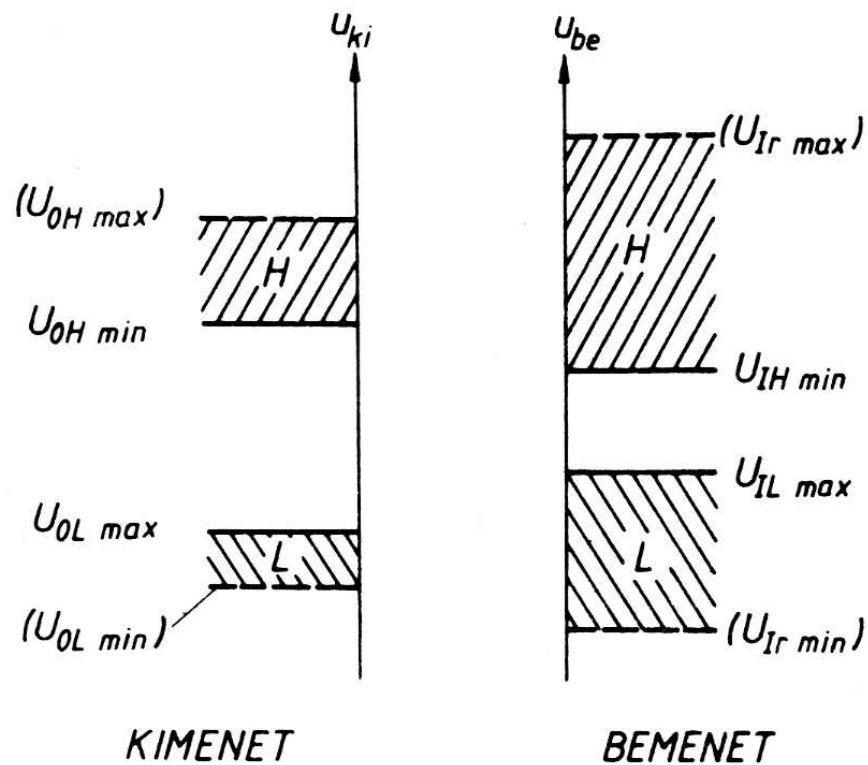
## Logikai rendszerek tervezésének alapelvei

Példa: Egy 4-bites shiftregiszter logikai kapcsolása



- Interface adatok:**
1. Komparálási szint,  $H$  és  $L$  logikai szintek
  2. Terhelhetőség: Fan-out és fan-in
  3. AC jellemzők: Késleltetés, jelszélesség, stb

## 1. Logikai szintek, zavarvédetség



TTL áramkörcsaládok jellemző paraméterei

Áramköri jellemzők			TTL Áramkörcsalád						Dimenzió
			74	74S	74F	74LS	74AS	74ALS	
tipikus	Jelterj. idő	$t_{pd}$	10	3	3	10	4	1,7	ns
	Disszipáció	$P_D$	10	20	4	2	8	1	mW
	$H$ szint	$U_H$	3,4	3,4	3,4	3,4	3,4	3,4	V
	Komp. szint	$U_K$	1,4	1,25	1,4	1,1	1,4	1,4	V
	$L$ szint	$U_L$	0,2	0,35	0,3	0,35	0,35	0,35	V
worst-case	Logikai szintek	$U_{OH \min}$	2,4	2,7	2,7	2,7	$(U_{CC}-2)$	$(U_{CC}-2)$	V
		$U_{IH \min}$	2,0	2,0	2,0	2,0	2,0	2,0	V
		$U_{OL \max}$	0,4	0,5	0,5	0,5	0,5	0,5	V
		$U_{IL \max}$	0,8	0,8	0,8	0,8	0,8	0,8	V
	Bemenet terhelése	$I_{IH \max}$	40	50	20	20	20	20	$\mu A$
		$I_{IL \max}$	-1,6	-2	-0,6	-0,4	-0,5	-0,1	mA
	Kimenet terhelhetősége	$I_{OH \max}$	-0,4	-1	-1	-0,4	-2	-0,4	mA
		$I_{OL \max}$	16	20	20	8	20	8	mA



## 2.(a). Egységterhelés (Unit Load, UL) definíciója

1 TTL Unit Load (U.L.) =  $40\ \mu\text{A}$   
in the HIGH state (Logic "1")

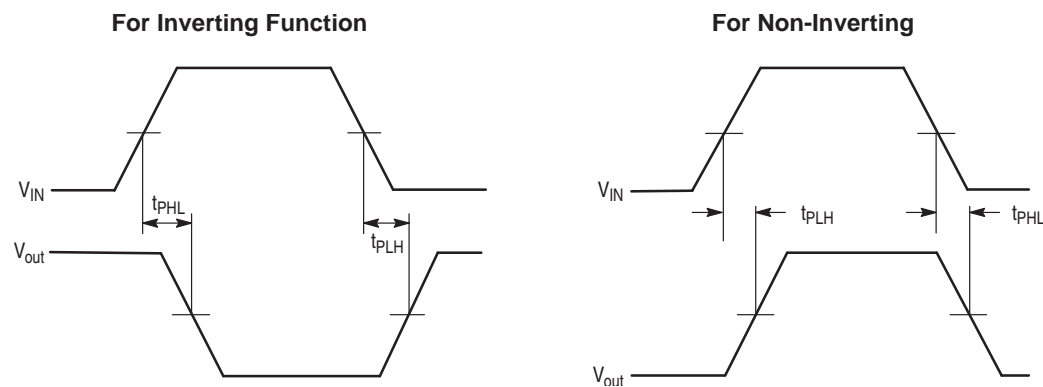
1 TTL Unit Load (U.L.) =  $1.6\ \text{mA}$   
in the LOW state (Logic "0")

## 2.(b). TTL logikai áramkörcsaládok terhelhetősége és terhelései

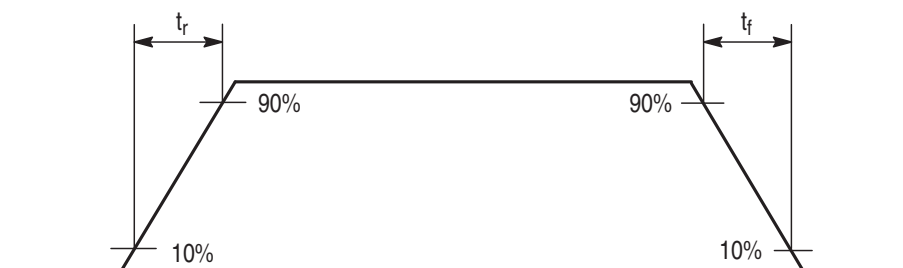
FAMILY	INPUT LOAD		OUTPUT DRIVE	
	HIGH	LOW	HIGH	LOW
74LS00	0.5 U.L.	0.25 U.L.	10 U.L.	5 U.L.
7400	1 U.L.	1 U.L.	20 U.L.	10 U.L.
9000	1 U.L.	1 U.L.	20 U.L.	10 U.L.
74H00	1.25 U.L.	1.25 U.L.	25 U.L.	12.5 U.L.
74S00	1.25 U.L.	1.25 U.L.	25 U.L.	12.5 U.L.
74 ALS	0.5 U.L.	0.0625 U.L.	10 U.L.	5 U.L.

### 3. AC jellemzők

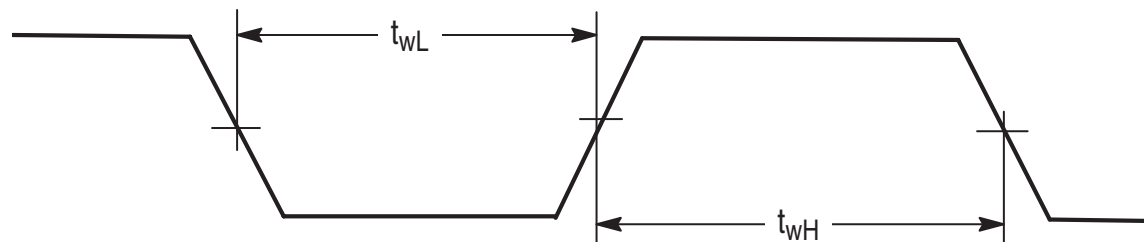
#### Késleltetési idők definíciója



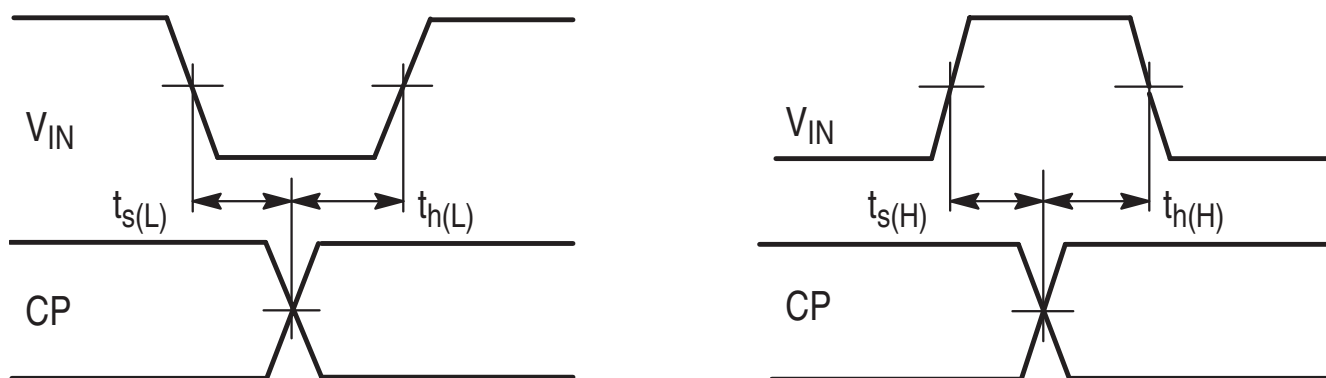
#### Fel- és lefutási idők definíciója



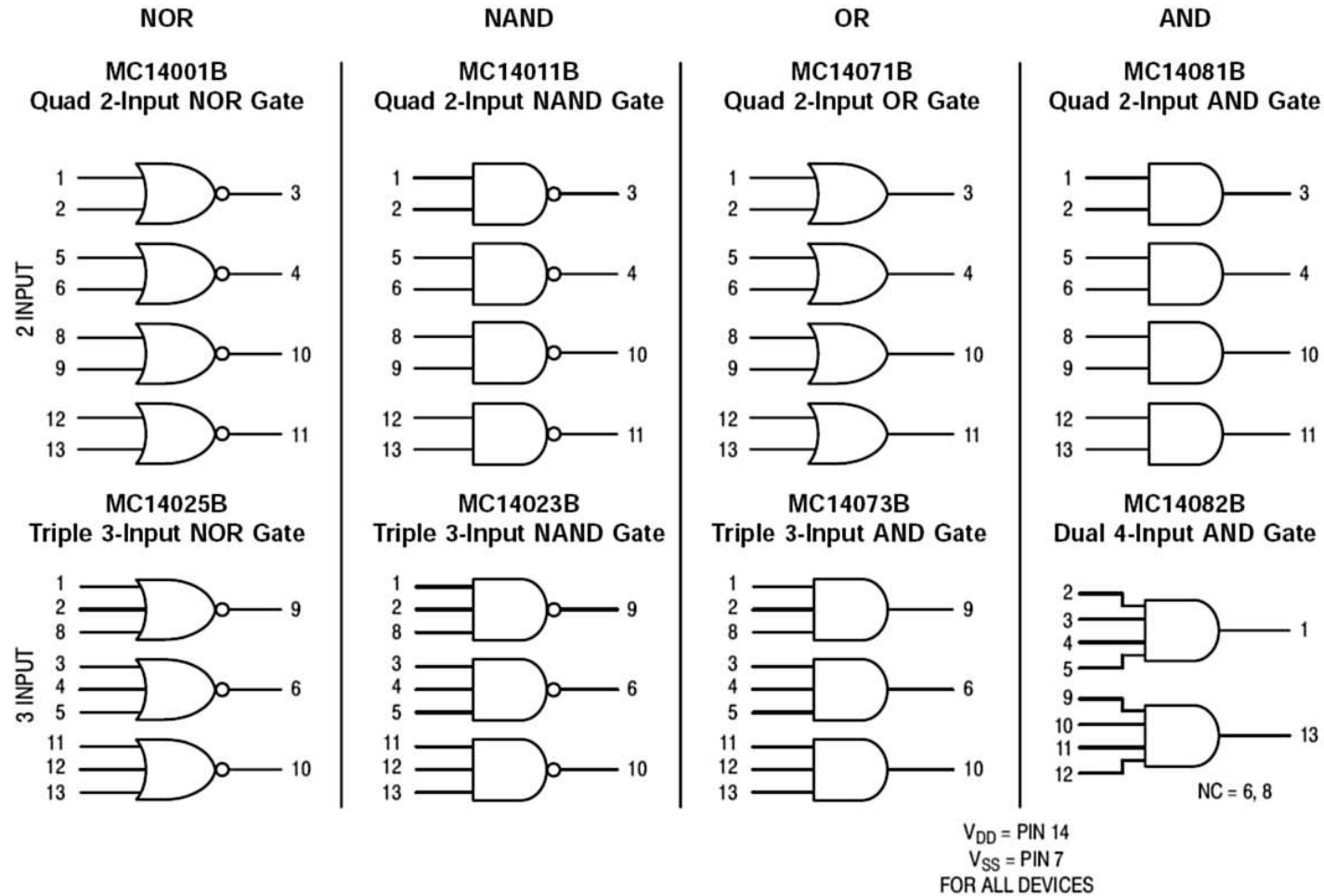
## Pulzus szélességének definíciója



## Set-up (előkészítési) és hold (tartási) idők definíciója



## Logikai kapuk rajzjelei



# CMOS logikai áramkörcsalád adatai

ELECTRICAL CHARACTERISTICS (Voltages Referenced to V<sub>SS</sub>)

Characteristic	Symbol	V <sub>DD</sub> Vdc	- 55°C		25°C			125°C		Unit	
			Min	Max	Min	Typ <sup>(3)</sup>	Max	Min	Max		
Output Voltage V <sub>in</sub> = V <sub>DD</sub> or 0	"0" Level V <sub>OL</sub>	5.0	—	0.05	—	0	0.05	—	0.05	Vdc	
		10	—	0.05	—	0	0.05	—	0.05		
		15	—	0.05	—	0	0.05	—	0.05		
	"1" Level V <sub>in</sub> = 0 or V <sub>DD</sub>	V <sub>OH</sub>	5.0	4.95	—	4.95	5.0	—	4.95	—	Vdc
			10	9.95	—	9.95	10	—	9.95	—	
			15	14.95	—	14.95	15	—	14.95	—	
Input Voltage (V <sub>O</sub> = 4.5 or 0.5 Vdc) (V <sub>O</sub> = 9.0 or 1.0 Vdc) (V <sub>O</sub> = 13.5 or 1.5 Vdc)	"0" Level V <sub>IL</sub>	5.0	—	1.5	—	2.25	1.5	—	1.5	Vdc	
		10	—	3.0	—	4.50	3.0	—	3.0		
		15	—	4.0	—	6.75	4.0	—	4.0		
	"1" Level (V <sub>O</sub> = 0.5 or 4.5 Vdc) (V <sub>O</sub> = 1.0 or 9.0 Vdc) (V <sub>O</sub> = 1.5 or 13.5 Vdc)	V <sub>IH</sub>	5.0	3.5	—	3.5	2.75	—	3.5	—	Vdc
			10	7.0	—	7.0	5.50	—	7.0	—	
			15	11	—	11	8.25	—	11	—	
Output Drive Current (V <sub>OH</sub> = 2.5 Vdc) (V <sub>OH</sub> = 4.6 Vdc) (V <sub>OH</sub> = 9.5 Vdc) (V <sub>OH</sub> = 13.5 Vdc)	Source	I <sub>OH</sub>	5.0	− 3.0	—	− 2.4	− 4.2	—	− 1.7	—	mAcdc
			5.0	− 0.64	—	− 0.51	− 0.88	—	− 0.36	—	
			10	− 1.6	—	− 1.3	− 2.25	—	− 0.9	—	
			15	− 4.2	—	− 3.4	− 8.8	—	− 2.4	—	
	Sink	I <sub>OL</sub>	5.0	0.64	—	0.51	0.88	—	0.36	—	mAcdc
			10	1.6	—	1.3	2.25	—	0.9	—	
15			4.2	—	3.4	8.8	—	2.4	—		
Input Current	I <sub>in</sub>	15	—	± 0.1	—	±0.00001	± 0.1	—	± 1.0	μAcdc	
Input Capacitance (V <sub>in</sub> = 0)	C <sub>in</sub>	—	—	—	—	5.0	7.5	—	—	pF	
Quiescent Current (Per Package)	I <sub>DD</sub>	5.0	—	0.25	—	0.0005	0.25	—	7.5	μAcdc	
		10	—	0.5	—	0.0010	0.5	—	15		
		15	—	1.0	—	0.0015	1.0	—	30		
Total Supply Current <sup>(4) (5)</sup> (Dynamic plus Quiescent, Per Gate, C <sub>L</sub> = 50 pF)	I <sub>T</sub>	5.0	I <sub>T</sub> = (0.3 μA/kHz) f + I <sub>DD</sub> /N I <sub>T</sub> = (0.6 μA/kHz) f + I <sub>DD</sub> /N I <sub>T</sub> = (0.9 μA/kHz) f + I <sub>DD</sub> /N							μAcdc	
		10									
		15									

3. Data labelled "Typ" is not to be used for design purposes but is intended as an indication of the IC's potential performance.

4. The formulas given are for the typical characteristics only at 25°C.

5. To calculate total supply current at loads other than 50 pF:

$$I_T(C_L) = I_T(50 \text{ pF}) + (C_L - 50) V f k$$

where: I<sub>T</sub> is in μA (per package), C<sub>L</sub> in pF, V = (V<sub>DD</sub> - V<sub>SS</sub>) in volts, f in kHz is input frequency, and k = 0.001 x the number of exercised gates per package.

Vedd észre:  
Komparálási szint  $\frac{V_{DD}}{2}$