

Bild 1: Universelles digitales Abstimmssystem

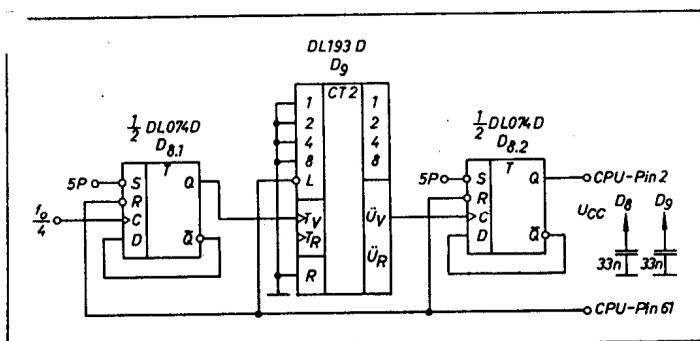


Bild 2: 64:1-Teiler

im Stand-by-Modus. Die Gatter D_{4.3} und D_{4.2} bilden mit den Widerständen R₁₄ und R₁₅ eine Triggercharakteristik für das Zugriffssignal (CS) des CMOS-RAM bei Betriebsartänderung. An M₂ ist mit R₁₆ eine Spannung von 3,2 V sicher einzustellen. Diese Triggerschaltung besitzt eine hohe Reproduzierbarkeit des Triggerumschaltpunktes, und sie ist deshalb der Verwendung einer speziellen CMOS-IS mit Triggercharakteristik der Eingänge (z. B. V 4093) vorzuziehen. Darüber hinaus spricht die hohe Gatterverzögerungszeit von ≤ 600 ns bei U_{DD} = 5 V des V 4093 gegen den Einsatz dieser IS.

Für die Steuerung des Loopfilters N₁ ist es notwendig, für zwei Umsetzzeitkonstanten jeweils Tristate-Signale bereitzustellen, die mit dem Tristate-Treiber V 40098 D (D₇) erzeugt werden. Die Integrationsrichtung wird aus dem Anzeigesignal P27 gewonnen, die Freigabe erfolgt mit P02 und P03.

Zur Entkopplung der Betriebsspannung (+5 V) für den Analogteil dient die Z-Diodenschaltung VD₁, VT₁. Durch diese Maßnahme und die große Siebzeitkonstante der Referenzspannung für den Operationsverstärker wird erreicht, daß die Abstimmspannung keine Taktimpulreste enthält und

Erdschleifen vermieden werden. Die Spannung 9P ist äquivalent der ungeregelten 5-V-Versorgungsspannung und kann im Bereich von +8,5...9,5 V mit einer überlagerten Brummspannung von maximal 500 mV (eff) differieren. Zur Erzeugung der 5-V-Spannung wird die Verwendung eines Festspannungsreglers empfohlen. Die Beschaltung von VD₄ mit dem Basisanschluß von VT₂ läßt zwei verschiedene Anzeigespannungen zu, um die Helligkeit vorhandener LED-Displays anzupassen.

Für die Realisierung des 256:1-Teilers kommen zwei Varianten (Bild 1 und Bild 2) in Frage. In der Schaltung nach Bild 1 wird der Verteilungsfaktor von 256 mit D₅ und D₆ (U 1059 bzw. SAA 1059 und DL 193 D) erreicht. Der über CM 33 programmierte HF-Teiler U 1059 besitzt zwei symmetrische Verstärkereingänge, an die ohne Frequenzweiche und ohne Umschaltung je ein Oszillator (z. B. AM und FM) angeschlossen werden kann, sofern gewährleistet ist, daß sich nur ein Oszillator in Betrieb befindet. Der Eingangsverstärker sorgt für eine hohe Eingangsempfindlichkeit (10 mV bei FM und 5 mV in den AM-Bereichen), so daß eine passive Einkopplung der Oszillatortsignale möglich wird. Der Ausgang des auf 32:1 programmierten Teilers ist kapazitätsarm mit dem Eingang T_v (D₆) verbunden, um eine geringe Störstrahlung und eine hohe Empfindlichkeit des Verteilers zu erreichen. Die Auskopplung der 256:1-geteilten Oszillatortsignale erfolgt am Ausgang Q_c (D₆), der wiederum mit dem Porteingang P31 (Timer Input) der CPU verbunden ist. Mit dem Torsignal, von P37 der CPU bereitgestellt, werden die beiden Verteiler-IS an den Eingängen Set bzw. L getotet und damit bei jedem Meßzyklus definiert gesetzt.

Der im Bild 2 dargestellte 64:1-Verteiler weist keine Besonderheiten auf und ist der in [1] gezeigten Schaltung nahezu äquivalent. Die IS D 274 wurde gegen die pinkompatible IS DL 074 (D₈) ausgetauscht, damit auf Grund der geringeren Steuerströme der Low-Power-IS der Störpegel vermindert wird. Der HF-Teiler ist in Verbindung mit dem 4:1-Teiler aus [2] nur für den FM-Bereich geeignet. Bei notwendiger Einkopplung von AM-Oszillatortignalen ist ein zusätzlicher Vorverstärker und eine entsprechende Umschaltlogik ähnlich [2] erforderlich.

Anzeigevarianten

In der Schaltung im Bild 1 sind neun Portleitungen als Ausgänge definiert. Sie gestatten es, verschiedene Anzeigevarianten zu realisieren. Bild 3 zeigt die Schaltung einer achtstelligen alphanumerischen LED-Anzeige und die dazugehörige Ansteuerelektronik. Auf Grund der internen Struktur der verwendeten Anzeigedisplays (2 x VQC 10) besteht die Ansteuerschaltung aus den Zeilentreibtransistoren VT₄ bis VT₁₀, dem 1-aus-16-Dekoder (D₁₁) und dem Zweifachmonoflop V 4538 (D₁₀). Die IS D₁₁ dient zur Dekodierung der sieben Zeilensignale und der Erzeugung der acht Digitstrobes zur Übernahme der Spaltenstelleninformationen. Des weiteren überwacht die IS D_{10.1} das Vorhandensein der Ansteuersignale und damit das einwandfreie Arbeiten des Mikroprogrammes. Im Falle einer CPU-Fehlfunktion, z. B. einer kurzen Netztörung u. ä., werden die Anzeigeelemente durch eine Sperrung der Zeilenansteuerimpulse (CE 1, CE 2 von D₁₁) geschützt. Das zweite Monoflop D_{10.2} erzeugt über VT₁₁

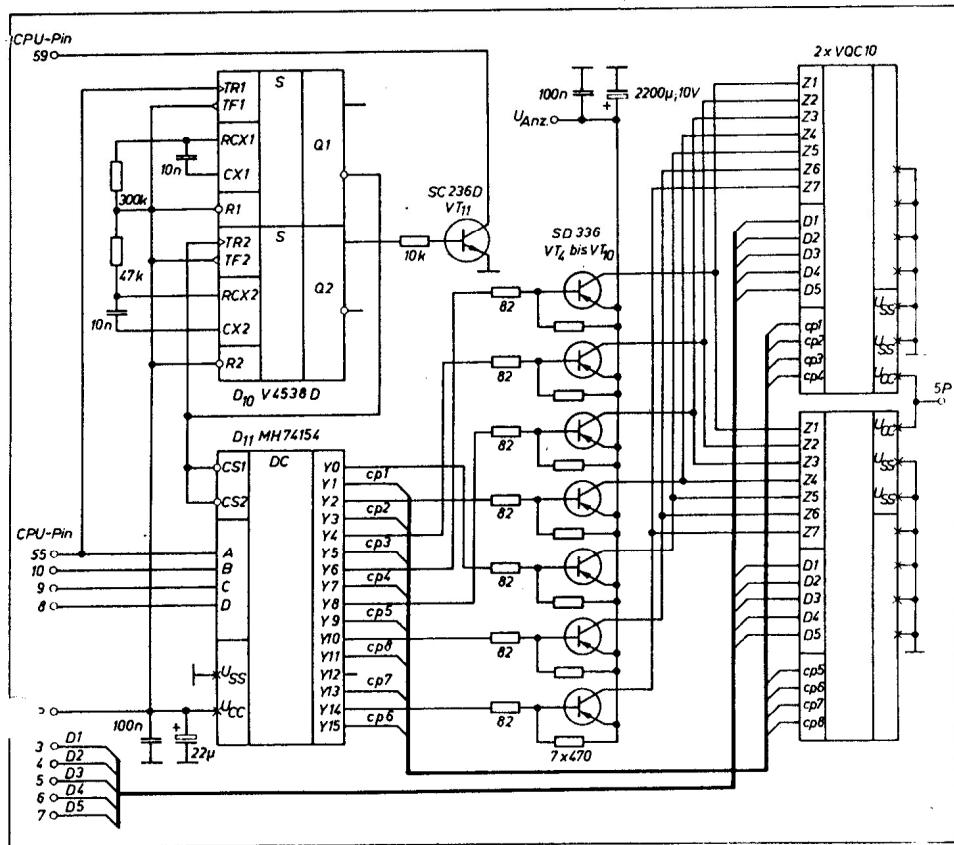


Bild 3: VQC-10-Display

ein Hardwarereset für den EMR. Die Zeitkonstanten beider Monoflops sind so aufeinander abgestimmt, daß der Neustart des Programmes garantiert ist.

Die zweite Anzeigeviante ist mit einem fünfstelligen Siebensegment-LED-Display bestückt. Zur Realisierung einer pseudo-alphanumerischen Sendernamendarstellung bei begrenzter Anzahl der Ausgabeportleitungen des EMR ist die Schaltung nach Bild 4 eine günstige Lösung bezüglich des Hardwareaufwandes, die auch ohne weiteres auf acht Stellen bei verbesserter Funktionsanzeige erweiterbar ist. Die Segmentinformationen A bis H werden in der IS

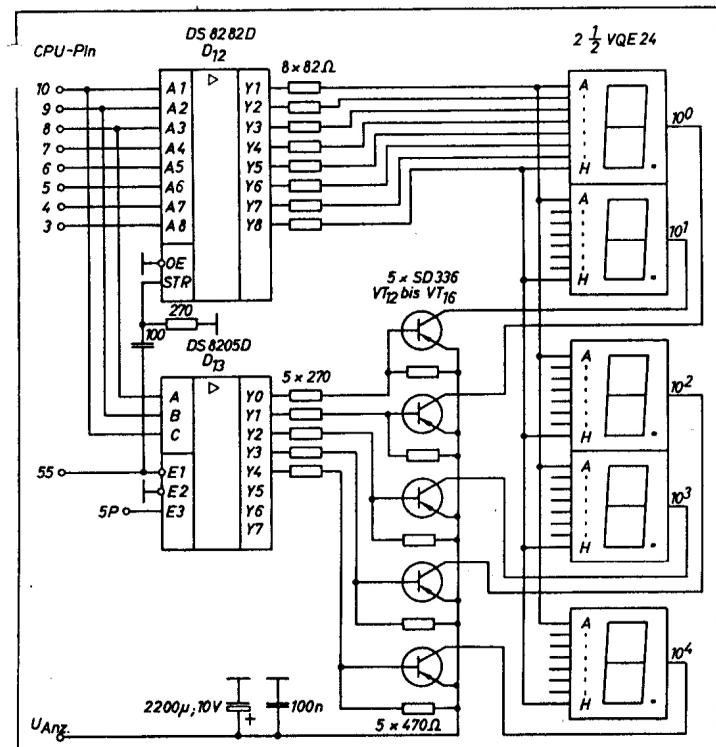


Bild 4: Siebensegmentdisplay

DS 8282 (D₁₂) mit einem Strobesignal zwischengespeichert und über die internen Treiberstufen und die Segmentwiderstände zeitmultiplex dem LED-Display zugeführt. Die IS D 8205 (D₁₃) dient zur Ansteuerung der Digitentreibertransistoren VT₁₂ bis VT₁₆ und zur Tönung der Digitsignale. Damit ist gewährleistet, daß während der Segmentinformationsübernahme, die vor jeder Aktivierung eines Digits erfolgt, das Anzeigedisplay dunkelgetastet wird. Eine weitere Möglichkeit der alphanumerischen Anzeige in einem DAAS ist durch Verwendung eines fünfstelligen 16-Segment-LED-Displays gegeben. Die im Bild 5 gezeigte Ansteuerschaltung unterliegt wiederum den bereits o. g. Prämissen und ist prinzipiell ähnlich der im Bild 4 aufgebaut. Die 17 Segmentansteuersignale (16 Segmente und Dezimalpunkt) werden mit drei DS 8282 (D₁₄ bis D₁₆) erzeugt, die jeweils sechs Segmentinformationen abspeichern können und den notwendigen Anzeigesegmentstrom über die Ausgangsstufen und die Segmentwiderstände bereitstellen. Die Strobeimpulse werden von D₁₇ dekodiert und über je ein Differenzierglied den entsprechenden Eingängen der Latchregister zugeführt. Die verbleibenden fünf Ausgänge von D₁₇ dienen der Ansteuerung der Digitentreibertransistoren VT₁₇ bis VT₂₁. Vor jeder Aktivierung der Digits werden nacheinander die Segmentspeicher geladen; zu einer Mehrfachanzeige kann es infolge der Dekoderfunktion (1 aus 8) nicht kommen.

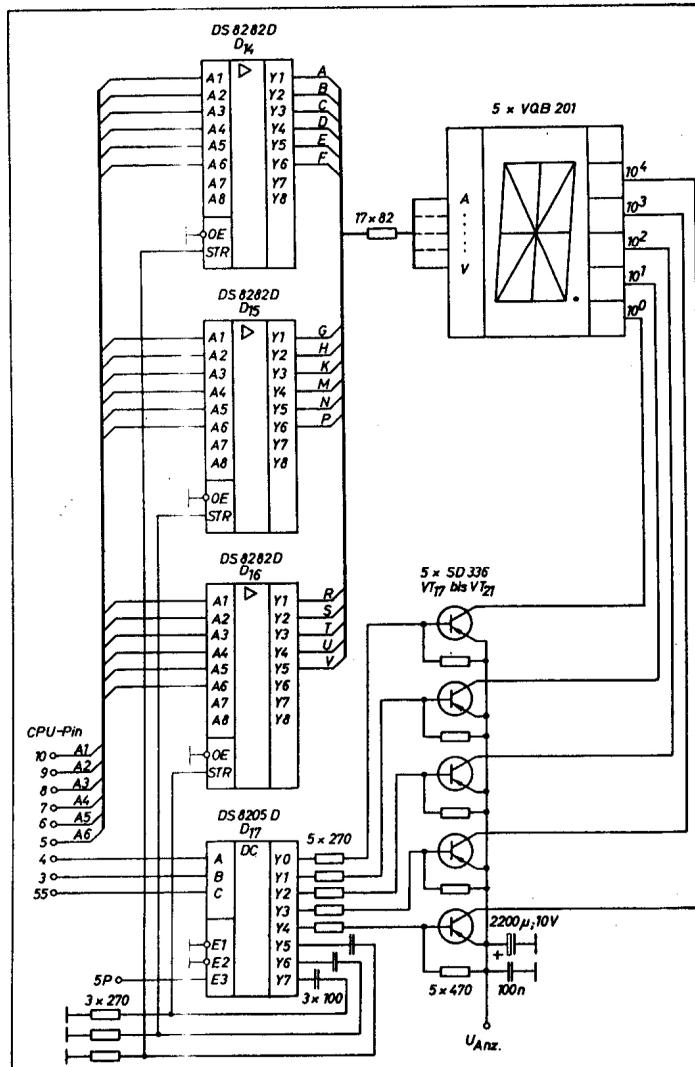


Bild 5: 16-Segmentdisplay