

AD - Sobre Sorpresa

Fecha límite de entrega: Domingo 17 de Mayo a las 23:59h.

Configurad el módulo CCP1 como PWM para que genere una señal cuadrada a 880Hz.
Configurad el conversor AD para que lea y convierta una señal analógica desde AN0.

Vamos a discretizar la señal analógica en 16 tramos. Cada vez una lectura AD que cae en un tramo distinto a la lectura anterior, cambiaremos el duty cycle de la señal generada por CCP1 de acuerdo con la Tabla 1.

Tramo	Duty cycle [%]	Tramo	Duty cycle [%]
0	0	8	65
1	10	9	70
2	20	10	75
3	30	11	80
4	40	12	85
5	50	13	90
6	55	14	95
7	60	15	99

Tabla 1. Distribución de duty cycles según tramos de la conversión AD

Importante: Incluid en el código un bloque de comentario que explique la configuración del módulo ADC que habéis utilizado (clock de conversión, alingmnent del output y qué bits del resultado habéis seleccionado para computar el tramo). Por favor, sed claros en vuestra explicación y razonad de forma explícita el porqué de vuestra configuración.