

Proposition de projet de maturation :
**Réalisation technologique de HEMTs en Nitrure de Gallium
présentant la fonctionnalité « normally-off »**

1. INTRODUCTION

Les travaux concernent de nouveaux procédés de fabrication d'architectures de transistors à haute mobilité (High Electron Mobility Transistor — HEMT —) en Nitrure de Gallium (GaN) présentant la fonctionnalité « normally-off ».

Les HEMTs présentent des propriétés très intéressantes pour la conversion d'énergie (commutation de puissance), essentiellement en raison de la largeur importante de la bande interdite du GaN. Par rapport au silicium (Si), les principaux bénéfices apportés par le GaN sont un bon fonctionnement sur une large gamme de température, un champ électrique critique élevé et une saturation élevée de la vitesse de dérive des électrons. En outre, contrairement au carbure de silicium (SiC) — autre matériau à large bande interdite intéressant pour les applications de puissance —, qui doit obligatoirement être réalisé par croissance cristalline sur un substrat de même composition et, en général, de faible diamètre (100 mm maximum actuellement), le GaN, lui, peut être déposé par hétéro-épitaxie sur des substrats en silicium, permettant ainsi une production sur des plaquettes de surface plus importante (150 à 200 mm de diamètre) et bas coût. C'est pour toutes ces raisons que l'utilisation du GaN pour la conception des dispositifs de puissance du futur apparaît aujourd'hui comme une « évidence » pour de nombreux acteurs du domaine de l'électronique de puissance, depuis les fondeurs et les laboratoires de recherche jusqu'aux utilisateurs des circuits : le GaN devrait en effet permettre la conception de composants haute tension avec une chute de tension à l'état passant réduite, travaillant à des fréquences et des températures plus élevées que les composants en silicium. Le GaN permet donc de répondre aux quatre difficultés des systèmes énergétiques que sont le refroidissement, le poids, l'encombrement et le rendement. Il pourrait, à terme, remplacer les interrupteurs en silicium très largement utilisés à ce jour (MOS, IGBT et diodes).

L'inconvénient actuel et majeur des HEMTs conventionnels est que leur blocage se fait à des niveaux de tensions inférieurs à 0 V (entre - 8 et - 3 V). C'est ce que l'on appelle un composant normally-on (« normalement fermé ») : il est conducteur même lorsque la tension de commande est nulle. Or, de nombreuses applications de puissance requièrent l'utilisation d'interrupteurs normally-off (« normalement ouverts »), c'est-à-dire des interrupteurs ouverts lorsque leur tension de commande est nulle.

Plusieurs structures de HEMT en GaN ont été récemment proposées afin de satisfaire à la fonctionnalité « normally-off » : les plus notables sont celles à « grille enterrée » (« recessed gate ») [1], à traitement aux ions fluor [2], à grille de jonction pn [3], à barrière fine d'AlGaIn [4], à couche de protection InGaIn [5], et à injection dans la grille [6], [7]. On peut aussi citer les structures hybrides MOS-HEMTs [8], qui combinent les propriétés exceptionnelles des HEMTs (mobilités élevées) et des transistors MOS (courants de fuite faibles) et les montages en cascode associant un HEMT en GaN à un transistor MOS en Si [9] mais ces composants sont alors thermiquement limités par la température maximale de fonctionnement du transistor en Si.

Dans le cadre d'une thèse en cotutelle franco-libanaise — thèse de Monsieur Saleem HAMADY soutenue le 16 décembre 2014 —, le LAAS-CNRS et l'Université Libanaise ont proposé des nouvelles structures de HEMTs en GaN « normally-off ». Ces structures ont récemment fait l'objet de deux demandes de brevets.

2. OBJECTIF DU PROJET

Les interrupteurs HEMTs en GaN, proposés dans le cadre de la thèse de Saleem HAMADY, sont présentés Figure 1. Le point commun aux trois structures est l'introduction d'une couche de GaN dopée P (P-GaN) au sein de la couche GaN NID (Non Intentionnellement Dopée), en-dessous de l'électrode de grille, sous l'interface 'AlGaIn / GaN'. Le dopage P de la couche GaN réduit le niveau de Fermi et augmente la largeur de bande interdite du matériau. À l'équilibre, le niveau de Fermi est constant et le dopage P a pour effet de relever le niveau de la bande de conduction. L'étude théorique préliminaire, basée sur la physique du composant et sur des simulations bidimensionnelles, montre que, si la concentration en dopants de type P est suffisante pour accroître le niveau de la bande de conduction à l'interface au-dessus du niveau de Fermi, le HEMT aura alors un fonctionnement « normally-off ».

D'après les simulations, cette zone doit présenter les caractéristiques suivantes :

- Largeur de la région P-GaN « active » inférieure à la largeur de la grille,
- Épaisseur (P_{th}) minimale de la région P-GaN : quelques centaines de nanomètres
- Concentration en dopants activés : de 10^{17} à quelques 10^{18} cm^{-3} ,
- Distance (d) entre P-GaN et l'interface AlGaIn/GaN : 10 nm.

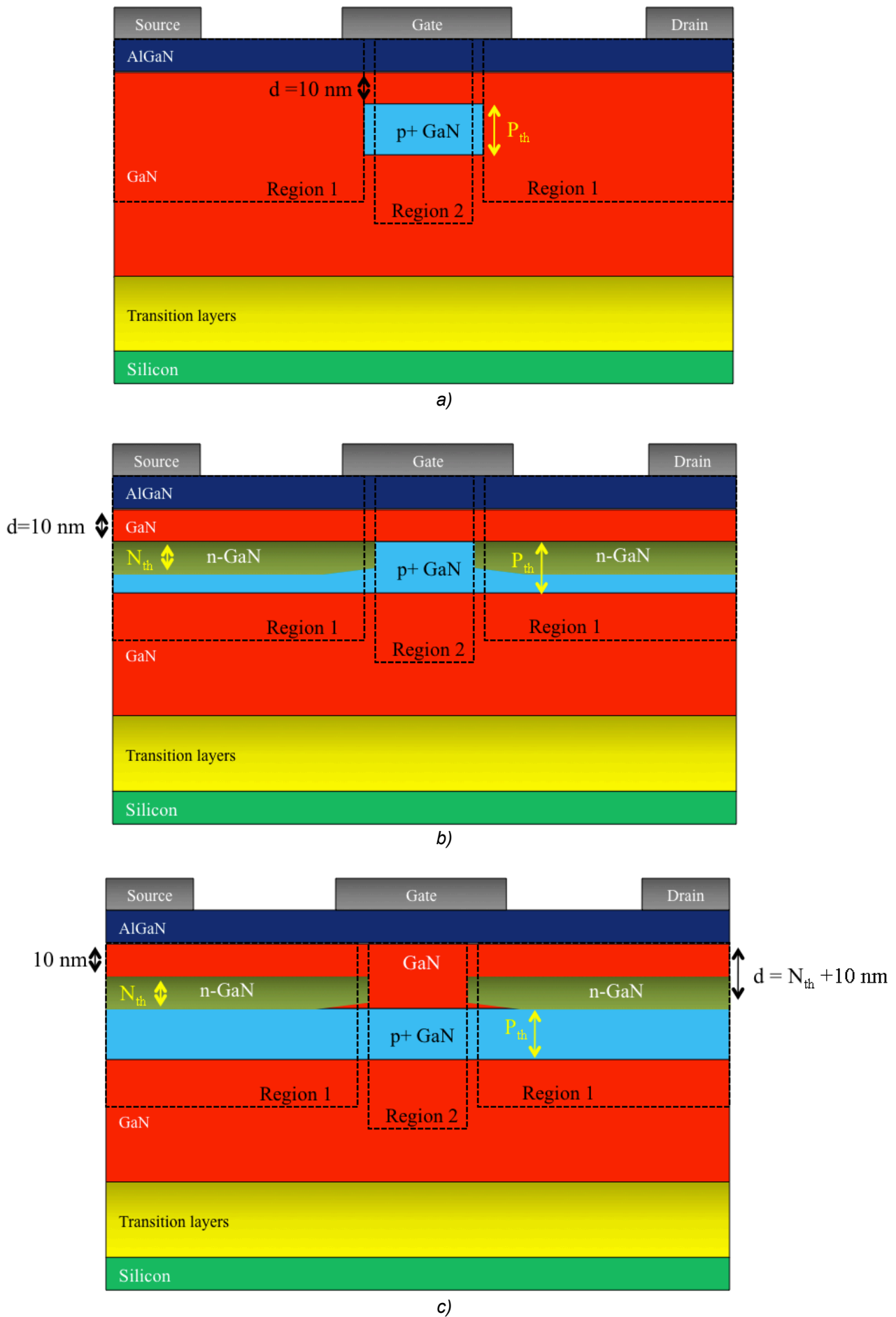


Figure 1 : Architectures HEMT normally-off a) N°1, b) N°2, c) N°3.

Cette invention, dont la structure de base est proposée Figure 1-a, présente des variantes dans lesquelles la région P peut occuper toute la surface du semiconducteur : l'idée consiste alors à rendre « inactives » les zones de P-GaN non localisées sous la grille en implantant des fortes concentrations de Silicium dans (Figure 1-b) ou au-dessus (Figure 1-c) de ces zones. Doper du GaN avec du silicium permet la création de régions N^+ qui annulent l'effet de déplétion du canal 2DEG par des régions P. Ainsi, quelle que soit la structure proposée, le principe physique est le même : c'est la zone P-GaN sous la grille qui permet de bloquer la conduction, lorsque la tension de commande (tension de grille) est nulle, les autres zones P-GaN, de part et d'autre de la zone P-GaN sous la grille, étant soit inexistantes (Figure 1-a), soit inactivées (Figures 1-b et 1-c).

Les simulations (Figure 2) montrent un décalage flagrant de la tension de seuil vers des valeurs positives pour les structures N°1 et N°2. La fonctionnalité « normally-off » est obtenue dans tous les cas.

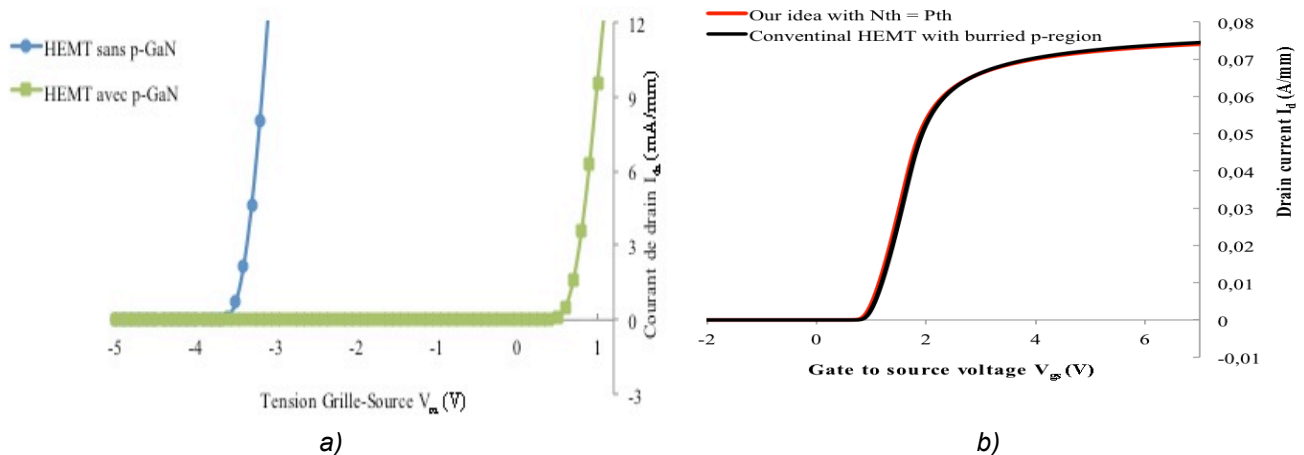


Figure 2 : Caractéristiques de transfert $I_d(V_{gs})$ simulées pour les architectures HEMT a) N°1, b) N°2.

Les variantes fonctionnent en fait sur le même principe : c'est la région 2 sous la grille qui contrôle la tension de seuil. Dans cette région, ce sont principalement les paramètres de la zone P-GaN (sa concentration, son épaisseur et la distance « d » par rapport à l'interface AlGaIn/GaN) qui permettent de régler la tension de seuil à la valeur désirée. Les régions 1 de part et d'autre de la grille, quant à elles, doivent, d'une part être « inactives » vis-à-vis de la tension de seuil ; en revanche, dans certaines variantes (N°2 et N°3), les régions N^+ implantées ont une forte influence sur le niveau de courant de drain : celui-ci augmente avec l'augmentation de la concentration des régions N^+ implantées. Cela rend les structures N°2 et N°3 plus performantes que la structure de base : pour une même tension de seuil, elles présentent des niveaux de courant plus élevés et, donc, des résistances à l'état passant sensiblement diminuées.

L'objectif de ce projet de maturation est la réalisation technologique d'une ou plusieurs des structures proposées par le LAAS-CNRS et l'Université Libanaise.

3. PROCÉDÉ TECHNOLOGIQUE ENVISAGÉ

Même si la structure N°1 est conceptuellement la plus simple (une « simple » couche P-GaN insérée dans une couche de GaN NID), elle n'est pas la plus facile à réaliser parce qu'elle nécessite des étapes d'épitaxie localisée et/ou de gravure de couches. En revanche, les structures N°2 et N°3 peuvent être réalisées avec un procédé simple qui n'utiliserait ni étape de gravure (qui présenterait l'inconvénient d'endommager les couches semiconductrices et, donc, les composants), ni épitaxie localisée (il n'y a que des étapes d'épitaxie « conventionnelle » sur la totalité de la plaquette).

La Figure 3 montre les principales étapes de fabrication envisagées pour la structure N°2 qui, à court terme, est la structure qui semble la moins complexe à réaliser. Cette figure propose cette réalisation à partir d'un substrat en silicium mais la preuve de concept peut tout aussi bien être effectuée sur un autre type de substrat (SiC ou saphir). Les étapes 1, 2, 4 et 5 sont des épitaxies III-V qui seront réalisées au CRHEA-CNRS. En effet, le cœur d'activité de ce laboratoire est la croissance par épitaxie de matériaux semiconducteurs (majoritairement à large bande interdite). Les étapes 3 (implantation, recuit) et 6 (dépôts et métallisations essentiellement) seront réalisées dans la centrale technologique du LAAS-CNRS.

On peut noter que les principales étapes de fabrication de la structure N°3 sont identiques : il « suffirait » d'ajouter une étape 2-bis (entre les étapes 2 et 3 de la Figure 3) consistant en un dépôt par épitaxie d'une fine couche de GaN NID et on obtiendrait la structure N°3 de la Figure 1-c.

En outre, une structure dite de référence sera également conçue en parallèle : il s'agira d'un HEMT conventionnel, c'est-à-dire « normally-on ». Dans ce cas, les étapes 2, 3 et 4 ne seront pas effectuées. Ceci permettra notamment de vérifier si la tension de seuil du nouveau composant (structure N°2) est

effectivement décalée vers des valeurs supérieures, de préférence des valeurs positives, par rapport à la tension de seuil du HEMT de référence. On comparera également les niveaux de courant à l'état ON et OFF, les résistances à l'état ON ainsi que les tenues en tension du nouveau HEMT et du HEMT de référence.

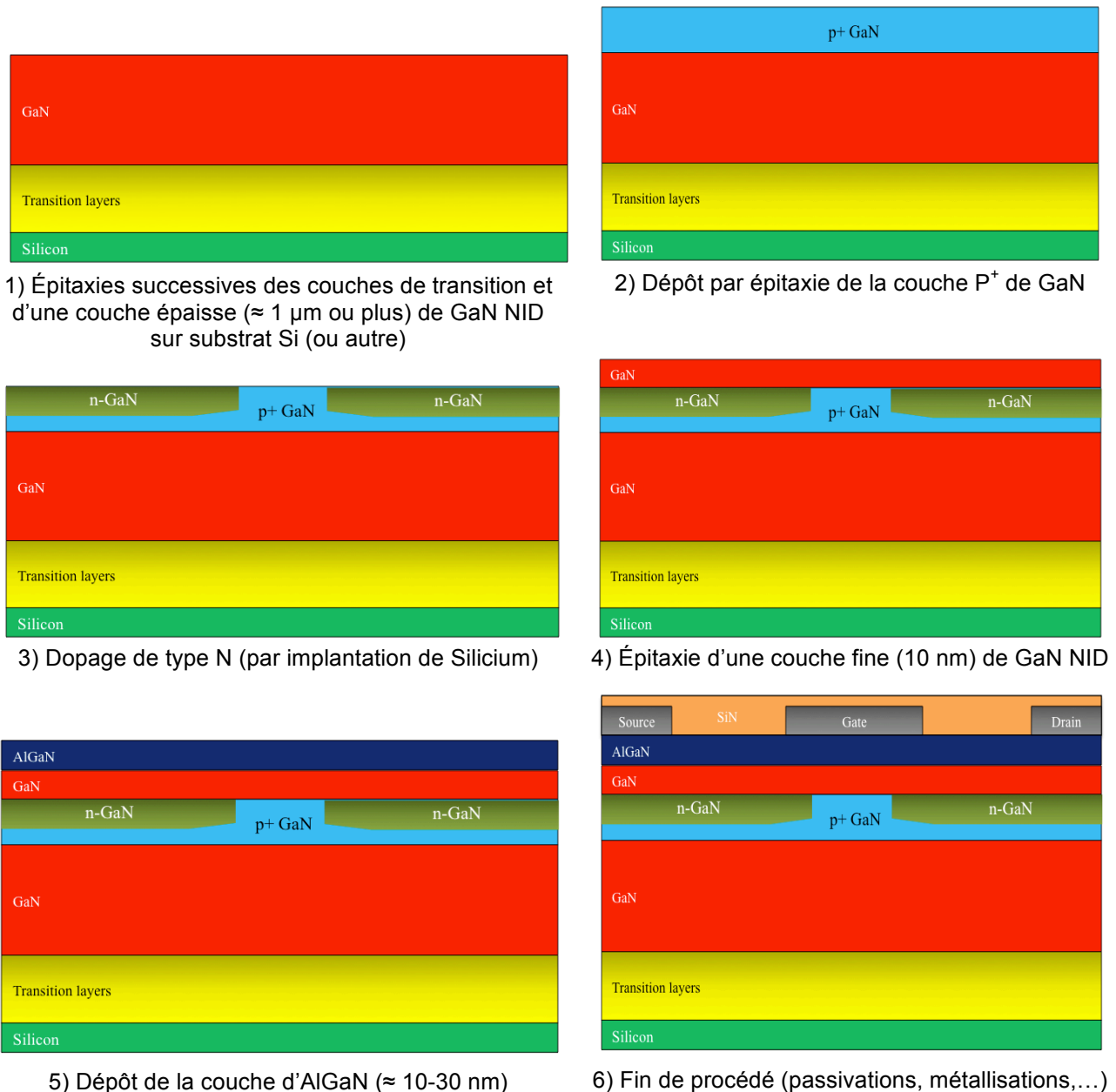


Figure 3 : Proposition de procédé de fabrication de la structure HEMT normally-off N°2.

4. PROGRAMME DE TRAVAIL

4. 1. Tâches envisagées

En se basant sur le procédé proposé Figure 3, le programme de travail sera divisé en cinq tâches qui se dérouleront globalement dans un ordre chronologique.

Tâche 1 : Première série d'épitaxies (CRHEA-CNRS)

À partir d'un substrat de silicium (ou autre), les couches de transition puis la couche épaisse de GaN NID seront déposées par épitaxie MOCVD. Ces étapes étant relativement classiques et maîtrisées par le CRHEA-CNRS, elles ne devraient pas poser de problèmes particuliers.

En revanche, le dépôt d'une couche de GaN de type P est plus problématique. En effet, pour que le composant final puisse être normally-off, la concentration en dopants activés doit être largement supérieure à 10^{17} cm^{-3} et, idéalement, proche de 10^{18} cm^{-3} à quelques 10^{18} cm^{-3} . Cette étape — étape 2 de la Figure 3 — fera l'objet d'un développement au CRHEA-CNRS. Par conséquent, plusieurs épitaxies avec un dopage

au Magnésium variable seront réalisées et l'effet de ces différents dopages sur les performances électriques étudié.

Tâche 2 : Implantation (LAAS-CNRS)

Les plaquettes seront ensuite envoyées au LAAS-CNRS pour l'implantation ionique de type N. La source à implanter est du silicium qui est dope le GaN avec le type N. Ici aussi, la concentration en dopants activés doit être élevée (supérieure à 10^{18} cm^{-3} voire 10^{19} cm^{-3}) mais cela devrait être moins critique que pour le dopage de type P car il est possible de doper fortement du GaN avec du Silicium.

En revanche, ce procédé peut générer des défauts à la surface du semiconducteur. En effet, l'application d'une température élevée, pour activer les dopants après implantation, réduit la densité de défauts cristallins mais conduit à une érosion de surface. L'implantation à travers une couche ultramince de protection dite « cap layer » — ce pourrait, par exemple, être une couche épitaxiée d'AlN — permet d'envisager un recuit thermique post-implantation aux hautes températures. Cette étape — étape 3 de la Figure 3 — fera l'objet d'un développement au LAAS-CNRS, cap-layer, dose, énergie, méthode de retrait et/ou nettoyage du masque d'implantation étant autant de paramètres importants à étudier méticuleusement.

Tâche 3 : Seconde série d'épitaxies (CRHEA-CNRS)

Les plaquettes seront ensuite réexpédiées au CRHEA-CNRS pour les dernières épitaxies consistant en une fine couche de GaN NID puis une couche d'AlGaIn. L'empilement de ces deux couches permet de générer le gaz 2D d'électrons à l'interface AlGaIn/GaN NID. Ces étapes sont relativement classiques et ne devraient pas a priori poser de problèmes majeurs. Néanmoins, le contrôle de l'épaisseur de la couche de GaN NID devra ici être le plus précis possible, l'objectif étant que cette épaisseur soit légèrement inférieure ou égale à 10 nm.

Tâche 4 : Étapes de back-end (LAAS-CNRS)

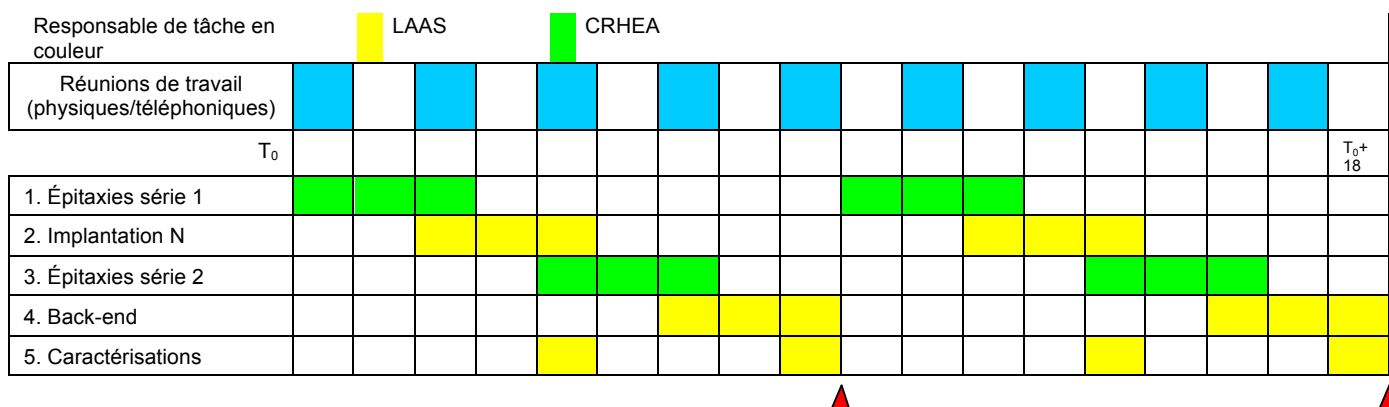
Enfin, les étapes dites de « back-end » (passivations et métallisations essentiellement) seront effectuées au LAAS-CNRS en se basant sur un procédé existant et précédemment utilisé lors du projet ANR Nano-INNOV/RT *ToPoGaIn* en 2009-2011, projet dans lequel des HEMTs en GaN sur substrat silicium 150 mm avaient été réalisés avec succès.

Tâche 5 : Caractérisations physiques et électriques (LAAS-CNRS)

Tout au long du procédé et à la fin de celui-ci, nous procéderons à des caractérisations physiques et électriques pour contrôler l'avancement du projet et valider expérimentalement la fonctionnalité « normally-off » espérée.

4. 2. Planification des tâches

Nous envisageons deux runs de 9 mois chacun pour la bonne réalisation de la preuve de concept, soit un projet d'une durée totale de 18 mois.



Les flèches rouges placées à mi-parcours et à la fin du projet correspondent à la fois à des livrables (L) et des jalons (J) :

$T_0 + 9$ mois :

L_1 : HEMT de référence (HEMT conventionnel « normally-on »). Cette structure sera dupliquée sur 4 plaquettes, ce qui est le minimum en cas de difficultés technologiques.

L_2 : HEMT structure N°2. Cette structure sera dupliquée sur 8 plaquettes minimum, à la fois en prévision de difficultés technologiques mais aussi afin de pouvoir tester plusieurs dopages des régions P (par épitaxie) et N (implantation de Silicium).

L₃ : Rapport technique N°1 décrivant le travail effectué, essentiellement le procédé technologique.

J₁ : Validation du concept breveté, c'est-à-dire un décalage vers le haut de la tension de seuil du HEMT structure N°2 par rapport à la tension de seuil du HEMT de référence.

Si le jalon J₁ n'était pas atteint, une réunion serait organisée pour définir la stratégie à suivre pour le second run. Si le jalon J₁ était atteint, une réunion serait également organisée pour modifier le procédé, afin d'augmenter sensiblement la tension de seuil et améliorer les autres performances du composant (niveaux de courant à l'état ON et OFF, résistance à l'état passant, tenue en tension).

T₀ + 18 mois :

L₄ : Version améliorée du HEMT structure N°2. Cette structure sera également dupliquée sur 8 plaquettes minimum.

L₈ : Rapport technique final N°2 décrivant le travail effectué pendant les 18 mois et donnant les principales pistes à creuser en vue d'une industrialisation du procédé technologique.

J₂ : Validation du concept breveté, c'est-à-dire un décalage significatif vers le haut de la tension de seuil du HEMT structure N°2 par rapport à la tension de seuil du HEMT de référence. Même si la tension de seuil n'était pas positive, la preuve serait faite que le concept permet d'augmenter ladite tension tout en maintenant une résistance faible.

Les difficultés envisageables sont relatives aux étapes 2, 3 et 4 du procédé technologique (Figure 3), puisque ce sont les étapes nouvelles par rapport au procédé de réalisation d'un HEMT conventionnel. Elles vont donc nécessiter des études approfondies qui n'aboutiront pas forcément en dix-huit mois. Par conséquent, il n'est pas garanti que la tension de seuil des démonstrateurs soit positive à l'issue du projet. C'est la raison pour laquelle **l'indicateur fort de validation du concept sera un décalage significatif vers le haut de la tension de seuil**. Par "décalage significatif", on entend ici un écart de plusieurs Volts (2 à 5 V) entre la tension de seuil du nouveau HEMT et celle du HEMT conventionnel.

5. COÛT ESTIMÉ DU PROJET

Le projet devra être porté par un post-doc ou chercheur CDD qui sera chargé du suivi et du bon déroulement du procédé technologique. En outre, le projet inclut les coûts technologiques induits par les étapes d'épitaxie qui seront réalisées au CRHEA-CNRS et des autres étapes du procédé qui seront réalisées au LAAS-CNRS. Le nombre de plaquettes nécessaires à la réalisation des prototypes et aux développements technologiques est estimé à une vingtaine (fourchette basse). Enfin, le coût des encadrants scientifiques doit également être pris en compte. Le coût global du projet inclura donc les postes cités.

6. MARQUES D'INTÉRÊT INDUSTRIEL / COMMERCIAL

La société Exagan, start-up dans le domaine de la conception de composants de puissance HEMT en GaN, est intéressée par l'invention et est susceptible d'être utilisatrice de ce(s) nouveau(x) procédé(s).

7. PROFIL DU CANDIDAT RECHERCHÉ

Le candidat devra avoir de bonnes connaissances en physique des semiconducteurs et une expérience solide en technologie de fabrication de composants micro-électroniques. Un doctorat dans le domaine du GaN ou d'un autre matériau III-V serait un plus.

Références

- [1] S.D. Burnham, K. Boutros, P. Hashimoto, C. Butler, D.W.S. Wong, M. Hu, M. Micovic, *Gate-recessed normally-off GaN-on- Si HEMT using a new O₂-BCl₃ digital etching technique*, Physica Status Solidi, Vol. 7 N° 7-8 doi:10.1002/pssc.200983644.
- [2] H. Chen, M. Wang, K.J. Chen, *Self-aligned Enhancement-mode AlGaIn/GaN HEMTs Using 25 keV Fluorine Ion Implantation*, Device Research Conference (DRC) 2010, Vol. 4, N°852, pp. 137–138.
- [3] X. Hu, G. Simin, J. Yang, M. Khan, R. Gaska, M. Shur, *Enhancement Mode AlGaIn/GaN HFET with Selectively Grown pn Junction Gate*, Electronics Letters 2000, Vol. 36, N°8, pp. 753-754.
- [4] Y. Ohmaki, M. Tanimoto, S. Akamatsu, T. Mukai, *Enhancement-Mode AlGaIn/AlN/GaN High Electron Mobility Transistor with Low On-State Resistance and High Breakdown Voltage*, Japanese Journal of Applied Physics, Vol. 45, N°44, pp. L1168–L1170.
- [5] T. Mizutani, M. Ito, S. Kishimoto, F. Nakamura, *AlGaIn/GaN HEMTs With Thin InGaIn Cap Layer for Normally Off Operation*, IEEE Electron Device Letters 2007, Vol. 28, N°7, pp. 549-551.
- [6] T. Morita, M. Yanagihara, H. Ishida, M. Hikita, K. Kaibara, H. Matsuo, Y. Uemoto, T. Ueda, T. Tanaka, D. Ueda, *650 V 3.1 mΩ.cm² GaN-based monolithic bidirectional switch using normally-off gate injection transistor*, IEEE International Electron Devices Meeting (IEDM), pp. 865 - 868, 2007.
- [7] H. Chonan et al. (2012), *Effect of hole injection in AlGaIn/GaN HEMT with GIT structure by numerical simulation*, Physica Status Solidi (C), 9(3-4), 847–850. doi : 10.1002/pssc.201100330.
- [8] H. Kambayashi, Y. Satoh, S. Ootomo, T. Kokawa, T. Nomura, S. Kato, T.P. Chow, *Over 100 A operation normally-off AlGaIn/GaN hybrid MOS-HFET on Si substrate with high-breakdown voltage*, Solid-State Electronics, Vol. 54, Issue 6, June 2010, pp. 660–664.
- [9] X. Huang, Z. Liu, Q. Li, F.C. Lee, *Evaluation and Application of 600V GaN HEMT in Cascode Structure*, APEC 2013, pp.1279 – 1286. doi : 10.1109/APEC.2013.6520464.