

Substrats SiO₂/Si(111) patternés pour la croissance de nanofils de GaAs par HVPE SiO₂/Si(111) patterned substrates for GaAs nanowires growth by HVPE

Context :

Nanowires (NWs) are confirmed nanocomponent candidates for optoelectronic devices or sensor and transistor applications. Controlling the wire shaping is the first challenge when addressing the synthesis of NWs; one requires uniform morphology from bottom to top of the wires and homogeneous crystalline structure. There is also a need for dense arrays of position-controlled nano-objects.

We are focused on the growth of GaAs nanowires using a specific growth technic.

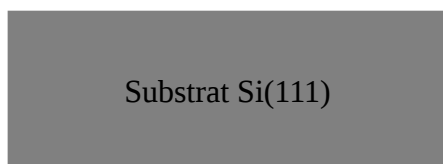
Specifity of our growth mode : the Hydride Vapour Phase Epitaxy (HVPE)

HVPE is the only III-V and III-N semiconductor crystal growth process working close to equilibrium. That means that the condensation reactions exhibit fast kinetics: one observe immediate reactivity to an increase of the vapour phase supersaturation towards condensation.

Because of the rapid decomposition of growth precursors, one could expect HVPE to be an effective alternative tool of MBE or MOVPE for the synthesis of III-V alloy nanowires with exceptional length at very high growth rate (up to 120 $\mu\text{m/h}$), provided the control of the morphology and crystalline homogeneity of the nanowires.

After having investigated the synthesis of HVPE-GaAs NWs by the VLS growth mode on a nonpatterned GaAs substrates recovered by an Au catalytic droplets, we would like to develop our growth process by using SiO₂ / Si(111) patterned substrates. In that case we would like to perform Ga self-catalyzed growth in order to eliminate the metal catalyst.

Ensemble des étapes du processus de croissance des nanofils de GaAs par HVPE / NW-GaAs HVPE Growth mode process :



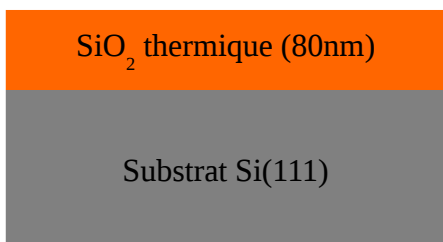
Substrat Si(111)

1) Substrats Si(111) = wafers 2 pouces

Nombre : 5

→ envoyés par nos soins à la centrale (**adresse?**) (responsable étape : Matthieu Petit)

Envoi par courrier postal des 5 wafers de Si(111) à la centrale de l'IEF.



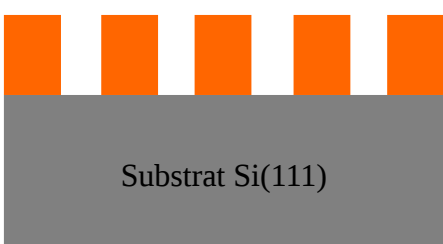
SiO₂ thermique (80nm)

Substrat Si(111)

2) Dépôt pleine plaque sur les 5 wafers de Si(111) de 80 nm de SiO₂ thermique

→ **étape faisant l'objet de la présente demande à la centrale de l'IEF** (correspondant étape : Matthieu Petit)

Retour par courrier postal des 5 wafers de SiO₂/Si(111) au CINaM.



Substrat Si(111)

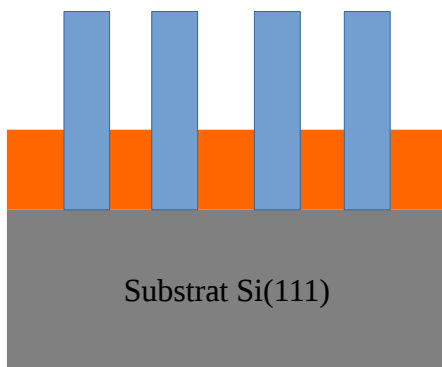
3) Patternage de la couche de SiO₂ thermique

→ étape réalisée à la plateforme de micro et nanofabrication

PLANETE du CINaM UMR7325 CNRS, Marseille (responsable étape : Frédéric Bedu, Matthieu Petit)

Envoi par courrier postal des 5 wafers patternés SiO₂/Si(111) à l'Institut Pascal.

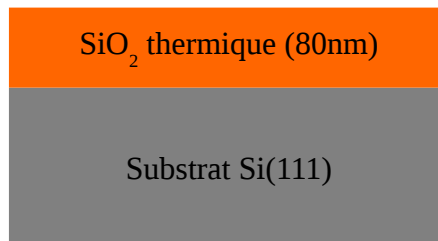
nanofils GaAs – GaAs nanowires



4) Croissance sélective des nanofils de GaAs par HVPE.
→ étape réalisée à l'institut Pascal UMR 6602 CNRS,
Clermont-Ferrand (responsable étape : Yamina André,
Zhenning Dong)

Descriptif du travail souhaité : (étape 2)

Dépôt (pleine plaque wafers 2 pouces) sur 5 substrats de Si(111) fournis par nos soins de SiO₂ thermique d'une épaisseur de 80 nm.



Coordonnées des contacts :

Matthieu PETIT
CINaM UMR 7325 CNRS
Campus de Luminy – case 913
13288 Marseille cedex 09
Tel : 06 62 92 28 65
matthieu.petit@univ-amu.fr

Yamina ANDRE
Institut Pascal UMR 6602 CNRS
Campus des Cézeaux
24 Avenue des Landais
63171 Aubière CEDEX
Tel : 04 73 40 75 87
Yamina.ANDRE@lasmea.univ-bpclermont.fr