

CEFET-MG - Campus II  
Departamento de Engenharia de Computação  
Laboratório de Arquitetura e Organização de Computadores II

**Prática I**

*Parte I e II*

Alunos: Antônio Augusto Diniz Sousa  
Rodrigo Dias Moreira  
Professor orientador: Poliana Corrêa

17 de Agosto  
2018

CEFET-MG - Campus II  
Departamento de Engenharia de Computação  
Laboratório de Arquitetura e Organização de Computadores II

**Prática I**

*Parte I e II*

Parte I e II do Relatório da prática I apresentado à Disciplina de Arquitetura e Organização de Computadores II do Curso de Engenharia de Computação do Centro Federal de Educação Tecnológica de Minas Gerais, como requisito parcial para conclusão da disciplina.

Alunos: Antônio Augusto Diniz Sousa  
Rodrigo Dias Moreira

Professor orientador: Poliana Corrêa

17 de Agosto  
2018

# Conteúdo

<b>1</b>	<b>Apresentação</b>	<b>1</b>
<b>2</b>	<b>Descrição de atividades</b>	<b>2</b>
2.1	Parte I - Implementação básica de uma memória <i>RAM</i> . . . .	2
2.2	Parte II - Implementação básica de uma memória RAM com inicialização por arquivo <i>mif</i> . . . . .	3
<b>3</b>	<b>Análise dos Resultados</b>	<b>4</b>
3.1	Simulação da Parte I . . . . .	4
3.2	Simulação da Parte II . . . . .	5
<b>4</b>	<b>Conclusão</b>	<b>6</b>

# 1 Apresentação

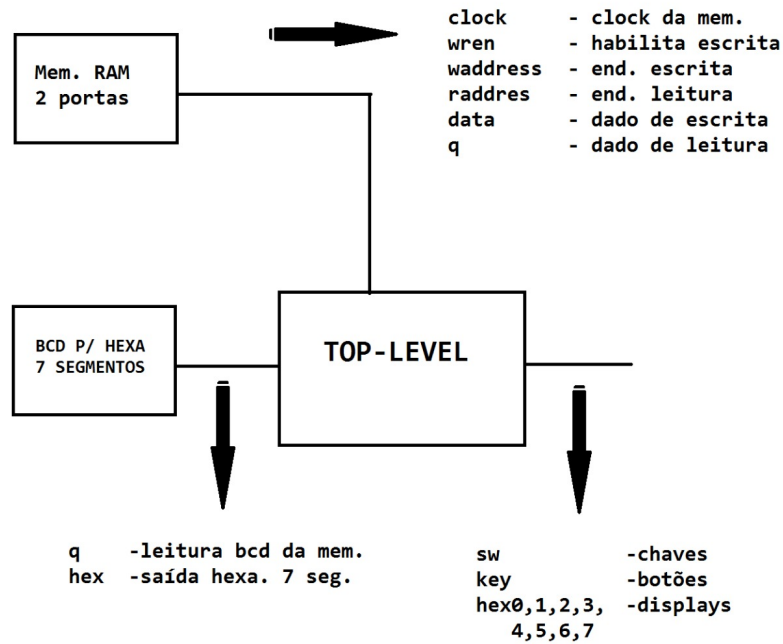
Este trabalho relata a realização da prática I, parte 1 e 2, do laboratório de *AOC II* pela dupla Antônio Augusto e Rodrigo Dias. Utilizando os softwares *Quartus II* e *ModelSim*, projetou-se e simulou-se um circuito que descrevia o funcionamento de uma memória RAM, sendo a escrita e leitura referentes à proposta da parte 1 e a inicialização da memória pelo arquivo *mif* à proposta da parte 2.

Por se tratar de uma re-introdução a nível intermediário na programação em *verilog*, através da atividade, a dupla pôde relembrar os conceitos abordados ao longo da disciplina de *AOC I* e se preparar para atividades posteriores, de maior complexidade, como a parte 3, referente à construção da memória cache.

A seguir, serão apresentados os circuitos projetados e seu funcionamento, bem como o processo por trás da confecção destes pela dupla.

## 2 Descrição de atividades

Figura 1: Circuito em blocos



### 2.1 Parte I - Implementação básica de uma memória *RAM*

Esta parte da primeira prática diz respeito à implementação de uma memória *RAM* básica, utilizando a biblioteca *LPM* disponibilizada pelo *Quartus*. Para isto, a dupla decidiu por adotar uma abordagem semelhante à utilizada na disciplina de LAOC 1 dado a semelhança com atividades anteriores.

No *top-level*, foram definidas *wires* para fins de legibilidade de código que recebiam informações externas como chaves e botões. Estes *wires* redirecionam os dados para a instância da memória de duas portas, descrita por meio da biblioteca *LPM*. Isso tudo conectado como o pode ser visto na Figure 1, que apresenta uma visão macro do circuito em blocos.

A configuração da memória pela biblioteca foi realizada adotando, na

maioria, as configurações padrões disponibilizadas pelo *Quartus*, porém adaptando detalhes como: utilização de duas portas interdependentes, uma para leitura e outra para escrita; seleção da linguagem correta adotada para a descrição do circuito, neste caso *Verilog HDL*; remoção de um registrador localizado na saída da memória; e a adoção da não inicialização da memória por arquivo *mif*.

Por fim, a saída de leitura da memória é jogada para módulos separados, dedicados à fazerem a conversão de sinais binários para hexadecimal no *display* de 7 segmentos.

## **2.2 Parte II - Implementação básica de uma memória RAM com inicialização por arquivo *mif***

Esta parte da prática diz respeito à implementação de uma memória, similar à implementada na parte um, porém utilizando um arquivo *mif* para fornecer conteúdo para a inicialização.

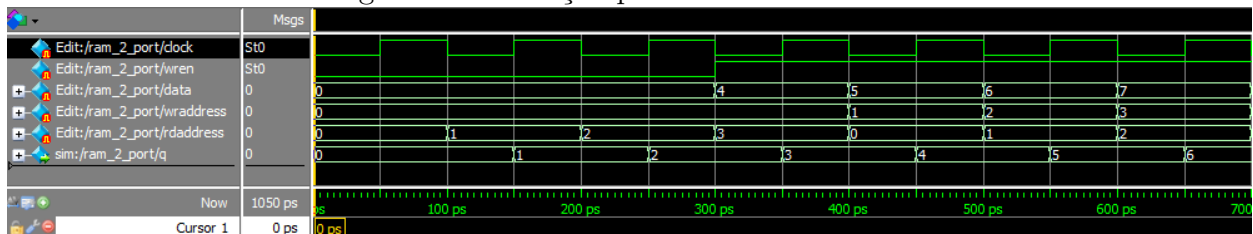
Por se tratar de uma prática bastante semelhante à parte um, o programa base feito para ela foi reutilizado, sendo adaptado apenas a configuração do módulo memória referente à sua inicialização. Assim, foi escolhido construir um arquivo *mif* em que a memória seria preenchida de forma a ter como conteúdo, em cada endereço, o valor de sua posição para mais facilitar a validação do funcionamento do circuito.

### 3.1 Simulação da Parte I

No segundo momento, reiniciamos a contagem do endereço de escrita para tentar sobrescrever os valores guardados. Entretanto, para demonstrar o pleno funcionamento do módulo, desativamos o clock na primeira escrita, mostrando que, enquanto não há uma borda de subida do clock, não ocorrerá a escrita na memória. Na segunda tentativa, desativamos o habilita escrita (`wren`) e percebemos que, para escrever na memória, também é necessário o habilita escrita estar em nível alto, havendo assim a dependência desse sinal como proposto para o funcionamento válido de uma memória.

### 3.2 Simulação da Parte II

Figura 3: Simulação parte II



A simulação vista na Figure 3 é referente à parte 2 e mostra o teste feito do módulo memória RAM, idêntico ao módulo da parte I. Para a proposta desta parte, a simulação busca demonstrar a inicialização pelo arquivo mif. Isso é feito realizando uma leitura na memória, que foi alimentada com valores na mesma lógica da simulação anterior, cada espaço da memória recebe um valor igual ao valor de sua posição.



## 4 Conclusão

A prática demonstrou-se como uma boa atividade para se iniciar na disciplina, visto que contempla conceitos importantes de manipulação de memória. Estes conceitos serão de cruciais para o desenvolvimento das próximas atividades propostas. Outro ponto abordado nesta prática diz respeito a própria programação em *Verilog*, em que a dupla pôde revisar os conhecimentos necessários para descrever circuitos na linguagem, bem como a re-familiarização com a manipulação do *software Quartus*.

Os resultados obtidos com a prática foram positivos. A dupla conseguiu descrever por meio da linguagem *Verilog* os circuitos propostos, bem como obter conhecimento acerca da proposta bem como as ferramentas necessárias para cumpri-la. Assim, consideramos a experiência como relevante para a introdução à disciplina.