



Centro Federal de Educação Tecnológica de Minas Gerais

Departamento de Computação
Curso de graduação em Engenharia da Computação
Organização e Arquitetura de Computadores II
Profa. Daniela Cristina Cascini Kupsch (cascini@decom.cefetmg.br)

Comece a fazer esta lista imediatamente. Você nunca terá tanto tempo para resolvê-la quanto agora.

Data da entrega: **03/09/2018 às 15:00 ou antes.**

Após a data da entrega você pode entregar a lista para ser corrigida, mas não receberá os pontos pelo trabalho.

LISTA II

Exercício 1

A transposição de uma matriz troca suas linhas e colunas e é ilustrada a seguir:

$$\begin{vmatrix} A_{11} & A_{12} & A_{13} & A_{14} \\ A_{21} & A_{22} & A_{23} & A_{24} \\ A_{31} & A_{32} & A_{33} & A_{34} \\ A_{41} & A_{42} & A_{43} & A_{44} \end{vmatrix} \Rightarrow \begin{vmatrix} A_{11} & A_{21} & A_{31} & A_{41} \\ A_{12} & A_{22} & A_{32} & A_{42} \\ A_{13} & A_{23} & A_{33} & A_{43} \\ A_{14} & A_{24} & A_{34} & A_{44} \end{vmatrix}$$

Aqui está um loop simples em C para mostrar a transposição:

```
for (i=0; i < 3; i++)  
    for (j=0; j < 3; j++)  
        output[j][i] = input[i][j];
```

Considere que as matrizes de entrada e saída sejam armazenadas na ordem principal de linha (*ordem principal de linha* significa que o índice de linha muda mais rapidamente). Suponha que você esteja executando uma transposição de 256 x 256.

- a) Escreva um código para realizar transposição com o parâmetro de bloqueio B, no qual usa B x B blocos.

Exercício 2

Para uma cache de 64KB, encontre a associatividade entre 1 e 8 com o menor tempo médio de acesso à memória, dado que falhas por instrução para certa carga de trabalho é de 0,00664 para mapeamento direto; 0,0036 para associativa por conjunto de duas vias; 0,000987 para associativa por conjunto de quatro vias; e 0,000266 para cache associativa por conjunto de oito vias. Em geral existem 0,3 referência de dados por instrução. Suponha que as falhas de

cache levem 10ns em todos os modelos. Para calcular o tempo de acerto em ciclos, utilize o valor de tempo de ciclo abaixo. Neste exercício, este valor corresponderá à frequência máxima em que uma cache pode operar sem “bolhas” no pipeline. Resposta em ciclos.

	Tempo de acerto (ns)	Tempo de ciclo (ns)
DM	0,94	0,55
2 vias	1,22	0,55
4 vias	1,44	0,9
8 vias	2,11	0,88

Considere:

Tempo médio de acesso = % acerto x tempo de acerto + % falhas x penalidade de falha

Exercício 3

As máquinas virtuais (VMs) possuem o potencial de incluir muitas capacidades benéficas aos sistemas de computador. As VMs poderiam ser usadas para fornecer as capacidades a seguir? JUSTIFIQUE a sua resposta.

- a- Teste de aplicações em ambiente de produção usando máquinas de desenvolvimento?
- b- Desempenho mais alto nas aplicações com uso intensivo das E/S?
- c- Isolamento da falha entre aplicações diferentes, resultando em maior disponibilidade dos serviços?

Exercício 4

Considere o uso de palavra crítica primeiro em falhas de cache L2. Suponha uma cache L2 de 1 MB e com blocos de 64 bytes e uma via de dados com 16 bytes de largura. **Suponha que o L2 possa ser escrito com 16 bytes a cada 4 ciclos de processador**, o tempo para receber o primeiro bloco de 16 bytes do controlador de memória é de 140 ciclos, cada bloco adicional de 16 bytes de memória principal requer 16 ciclos, e os dados podem ser enviados diretamente para a porta de leitura da cache L2. Ignore quaisquer ciclos para transferir a requisição de falha para a cache L2 e os dados requisitados para a cache L1. Quantos ciclos levaria para atender uma falha de cache L2 COM e SEM palavra crítica primeiro?

Exercício 5

Considere um sistema de desktop com um processador conectado a um DIMM de DRAMs. Suponha que exista um canal de memória com largura de 72 bits, sendo 64 bits de dados e 8 bits para ECC (correção de código de erro).

- a) Que duração de burst é necessária para suportar blocos de cache L2 de 32B?
- b) Calcule o pico de largura de banda para DIMMs DDR2-800 e DDR3-1333 para leituras de uma página ativa excluindo o *overhead* do ECC.

Exercício 6

Considere uma hierarquia de memória de dois níveis composta de caches de dados L1 e L2.

Suponha que as duas caches usem a política de *write-back* em um acerto na escrita e que as duas tenham o mesmo tamanho de bloco. Explique o funcionamento durante:

- a) Uma falha na cache L1 quando as caches são organizadas em uma hierarquia inclusiva.
- b) Uma falha na cache L1 quando as caches são organizadas em uma hierarquia exclusiva.
- c) Considere os item *a* e *b* quando o bloco retirado foi modificado.