

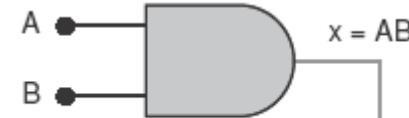
3.3 Operadores Lógicos

“OU” (OR)



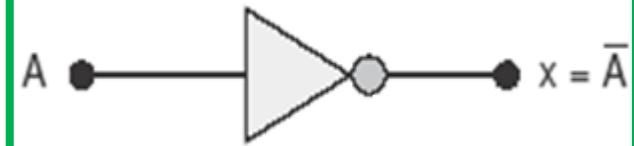
A	B	X
0	0	0
0	1	1
1	0	1
1	1	1

“E” (AND)



A	B	X
0	0	0
0	1	0
1	0	0
1	1	1

“NÃO” (NOT)



A	X
0	1
1	0

Circuitos Lógicos

Capítulo 4 – **Circuitos Lógicos Combinacionais**
Parte I

Prof. Davidson Lafitte Firmino
<http://www.ppgel.net.br/davidson>
davidson@ufs.edu.br

São João Del Rei, 5 de setembro de 2018

Tópicos da aula – capítulo 4

Recapitulação da aula anterior (capítulo 3)

4.0 Introdução

4.1 Formas padronizadas

4.2 Simplificação de circuitos lógicos

4.3 Projetando circuitos lógicos combinacionais

4.4 Portas “Exclusive-OR” e “Exclusive-NOR”

4.1 Formas padronizadas

a) Soma de produtos

Considere as expressões

$$A \cdot B \cdot C + \bar{A} \cdot B \cdot \bar{C}$$

$$A \cdot B + \bar{A} \cdot B \cdot \bar{C} + \bar{C} \cdot \bar{D} + D$$

$$\bar{A} \cdot B + C \cdot \bar{D} + E \cdot F + G \cdot K + H \cdot \bar{L}$$

Todas as expressões são combinações de termos AND conectados por operações OR.

4.1 Formas padronizadas

a) Soma de produtos

Considere as expressões

$$A \cdot B \cdot C + \bar{A} \cdot B \cdot \bar{C}$$

$$A \cdot B + \bar{A} \cdot B \cdot \bar{C} + \bar{C} \cdot \bar{D} + D$$

$$\bar{A} \cdot B + C \cdot \bar{D} + E \cdot F + G \cdot K + H \cdot \bar{L}$$

$$\bar{A} \cdot B + C \cdot \bar{D} + \overline{E \cdot F} + G \cdot K + \overline{\overline{H \cdot \bar{L}}}$$

Não está na forma soma de produtos!

Todas as expressões são combinações de termos AND conectados por operações OR.

4.1 Formas padronizadas

b) Produto de somas

Considere as expressões

$$(A + B + \bar{C}) \cdot (A + C)$$

$$(A + \bar{B}) \cdot (D + C) \cdot F$$

$$(A + C) \cdot (B + \bar{D}) \cdot (\bar{B} + C) \cdot (A + \bar{D} + \bar{E})$$

Todas as expressões são combinações de termos OR conectados por operações AND.

4.1 Formas padronizadas

b) Produto de somas

Considere as expressões

$$(A + B + \bar{C}) \cdot (A + C)$$

$$(A + \bar{B}) \cdot (D + C) \cdot F$$

$$(A + C) \cdot (B + \bar{D}) \cdot (\bar{B} + C) \cdot (A + \bar{D} + \bar{E})$$

$$(\bar{A} + C) \cdot (B + \bar{D}) \cdot (A + \bar{D} + \bar{E}) \cdot E \cdot F$$

Não está na
forma produto
de somas!

Todas as expressões são combinações de termos OR
conectados por operações AND.

4.1 Formas padronizadas

Exemplos

Classifique as expressões como soma de produtos, produto de somas ou indique se não se enquadra em nenhum caso.

a.) $(A + B + \bar{C}) \cdot (A + C + D)$

b.) $(A + \bar{B}) \cdot (\bar{D} + C) \cdot F$

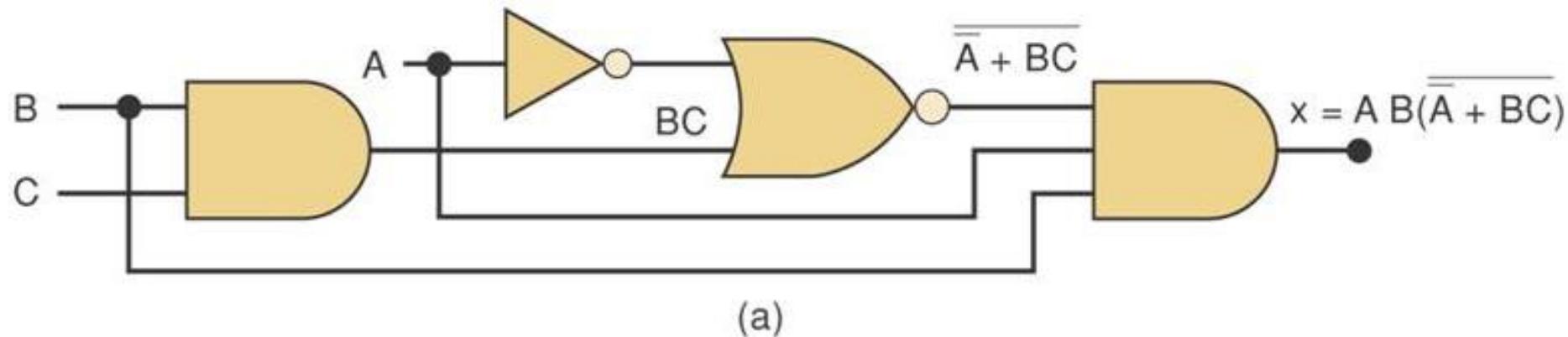
c.) $(A + C) \cdot (\bar{B} + C) + (A + \bar{D} + \bar{E})$

d.) $(B \cdot \bar{D}) + (A \cdot \bar{D} \cdot \bar{E}) \cdot F$

e.) $(\bar{A} \cdot \bar{C}) \cdot (B + \bar{D}) \cdot (A + \bar{D} + \bar{E})$

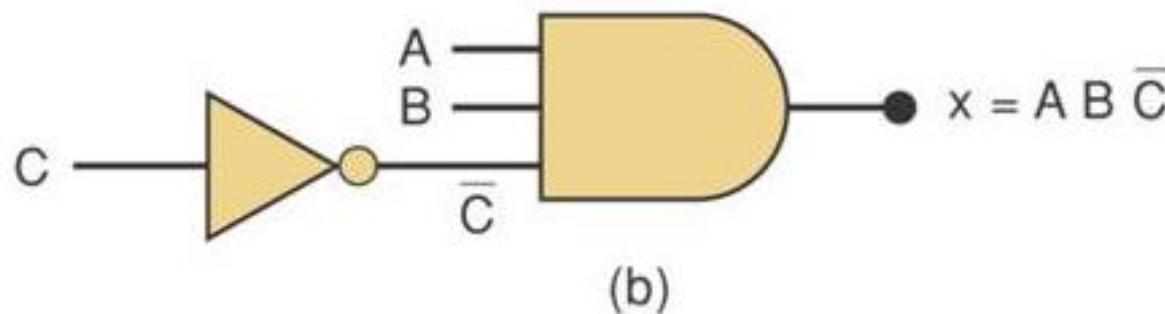
4.2 Simplificação de circuitos lógicos

Considere o circuito lógico



4.2 Simplificação de circuitos lógicos

Círcuito simplificado



4.2 Simplificação de circuitos lógicos

Identidades Booleanas

Identidade matemática é uma afirmação que é verdadeira independente dos valores das variáveis envolvidas.

Identidades Booleanas

Identidade matemática é uma afirmação que é verdadeira independente dos valores das variáveis envolvidas.

Identidades aditivas

$$A + 0 = A$$

$$A + 1 = 1$$

$$A + A = A$$

$$A + \bar{A} = 1$$

3. Álgebra de Boole

b. Identidades Booleanas

Identidade matemática é uma afirmação que é verdadeira independente dos valores das variáveis envolvidas.

Identidades aditivas

$$A + 0 = A$$

$$A + 1 = 1$$

$$A + A = A$$

$$A + \bar{A} = 1$$

Identidades multiplicativas

$$A \cdot 0 = 0$$

$$A \cdot 1 = A$$

$$A \cdot A = A$$

$$A \cdot \bar{A} = 0$$

3. Álgebra de Boole

b. Identidades Booleanas

Identidades
aditivas

$$A + 0 = A$$

$$A + 1 = 1$$

$$A + A = A$$

$$A + \bar{A} = 1$$

Identidades
multiplicativas

$$A \cdot 0 = 0$$

$$A \cdot 1 = A$$

$$A \cdot A = A$$

$$A \cdot \bar{A} = 0$$

Identidade do duplo complemento

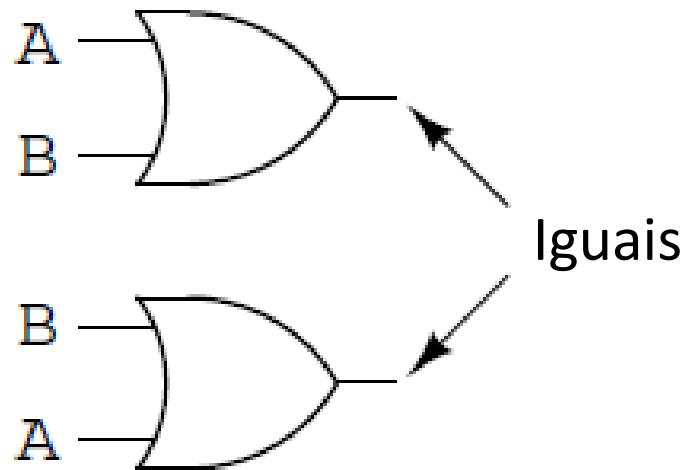
$$\overline{\overline{A}} = A$$

3. Álgebra de Boole

c. Propriedades Booleanas

Comutativa aditiva

$$A + B = B + A$$

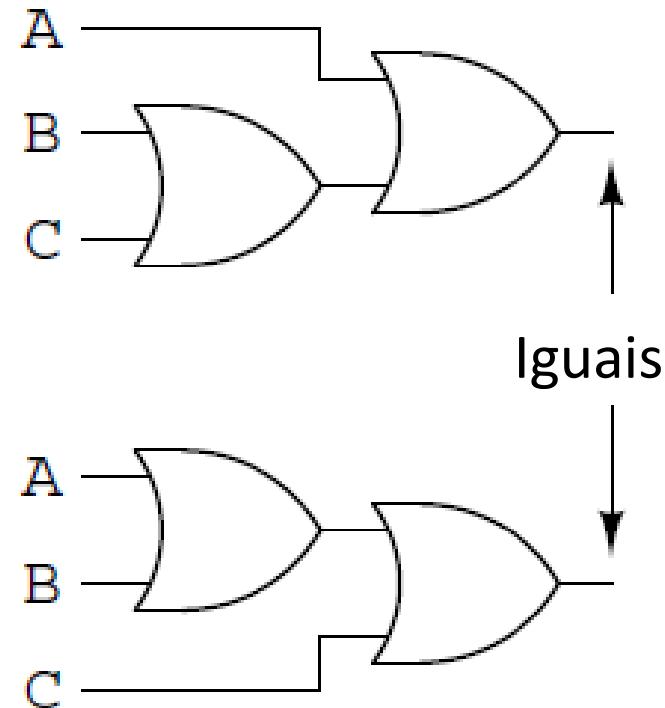


3. Álgebra de Boole

c. Propriedades Booleanas

Associativa aditiva

$$A + (B + C) = (A + B) + C$$

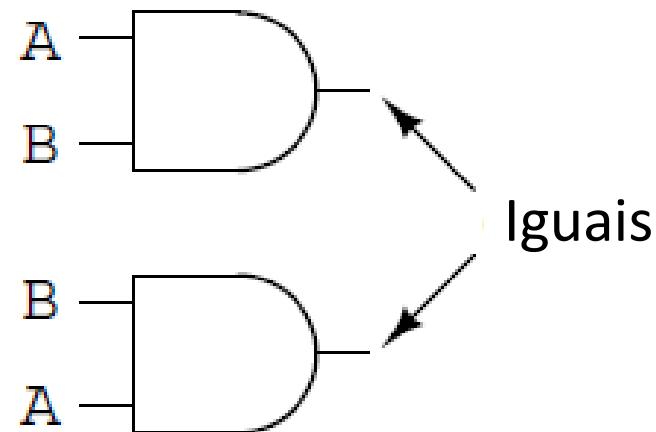


3. Álgebra de Boole

c. Propriedades Booleanas

Comutativa multiplicativa

$$A \cdot B = B \cdot A$$

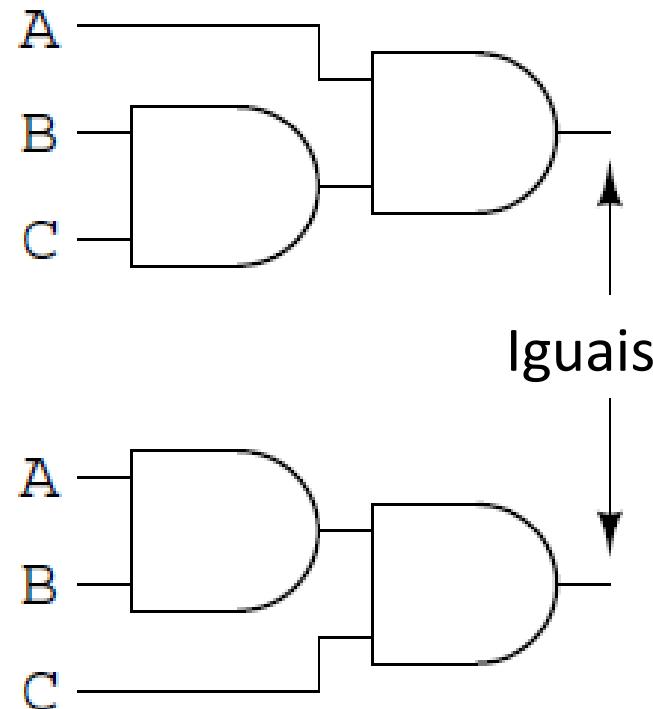


3. Álgebra de Boole

c. Propriedades Booleanas

Associativa multiplicativa

$$A \cdot (B \cdot C) = (A \cdot B) \cdot C$$

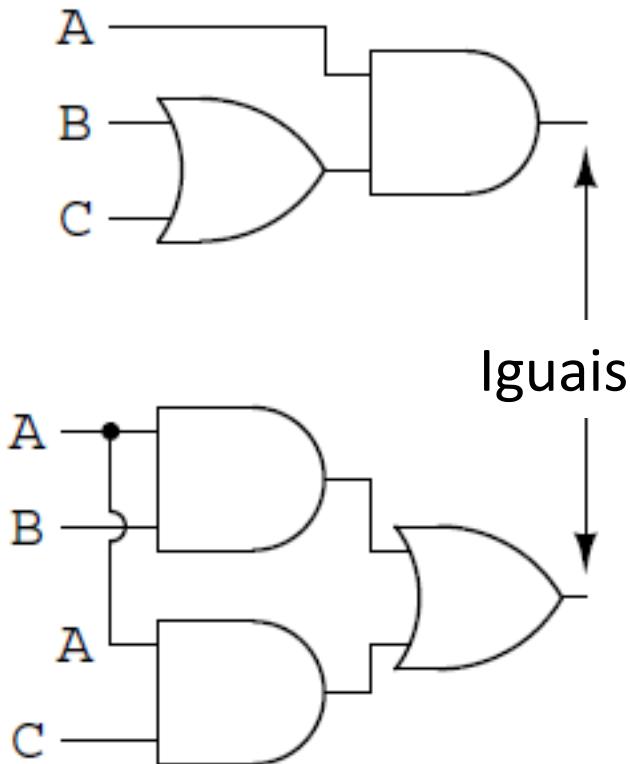


3. Álgebra de Boole

c. Propriedades Booleanas

Distributiva

$$A \cdot (B + C) = A \cdot B + A \cdot C$$



3. Álgebra de Boole

d. Regras para simplificação

$$A + A \cdot B = A$$

$$A + \overline{A} \cdot B = A + B$$

$$(A + B) \cdot (A + C) = A + B \cdot C$$

3. Álgebra de Boole

d. Regras para simplificação (resumo)

Revisão:

A adição Booleana é equivalente à função lógica “OU”

A multiplicação Booleana é equivalente à função lógica “E”

O complemento booleano é equivalente à função lógica “NÃO”

$$A + A \cdot B = A$$

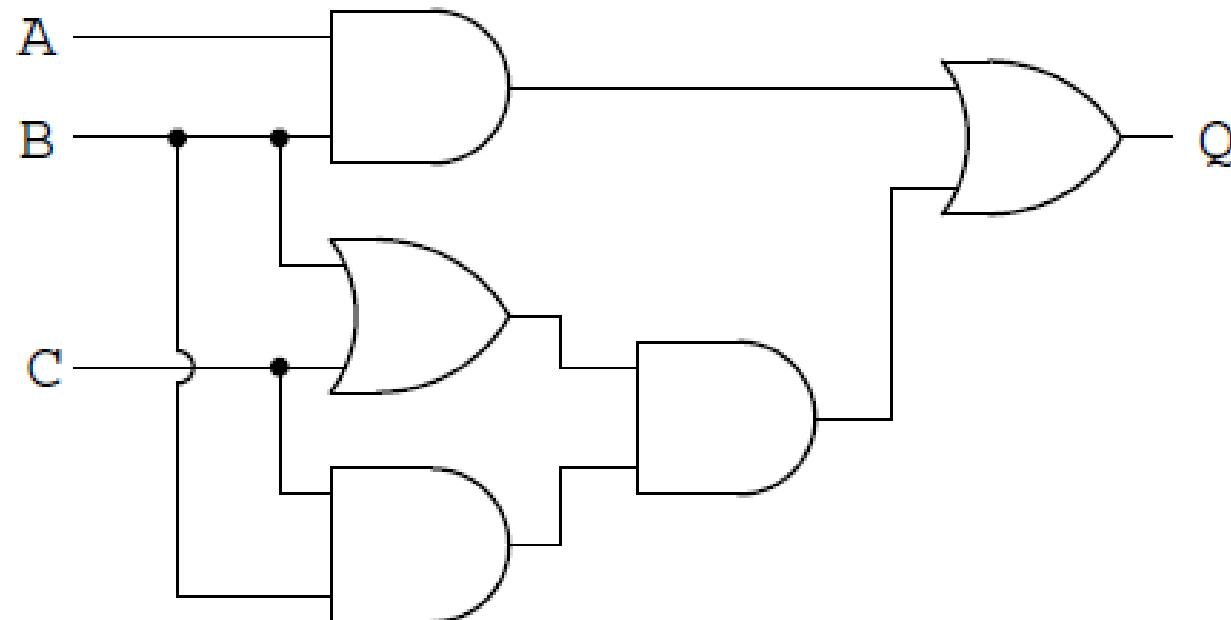
$$A + \overline{A} \cdot B = A + B$$

$$(A + B) \cdot (A + C) = A + B \cdot C$$

3. Álgebra de Boole

d. Regras para simplificação

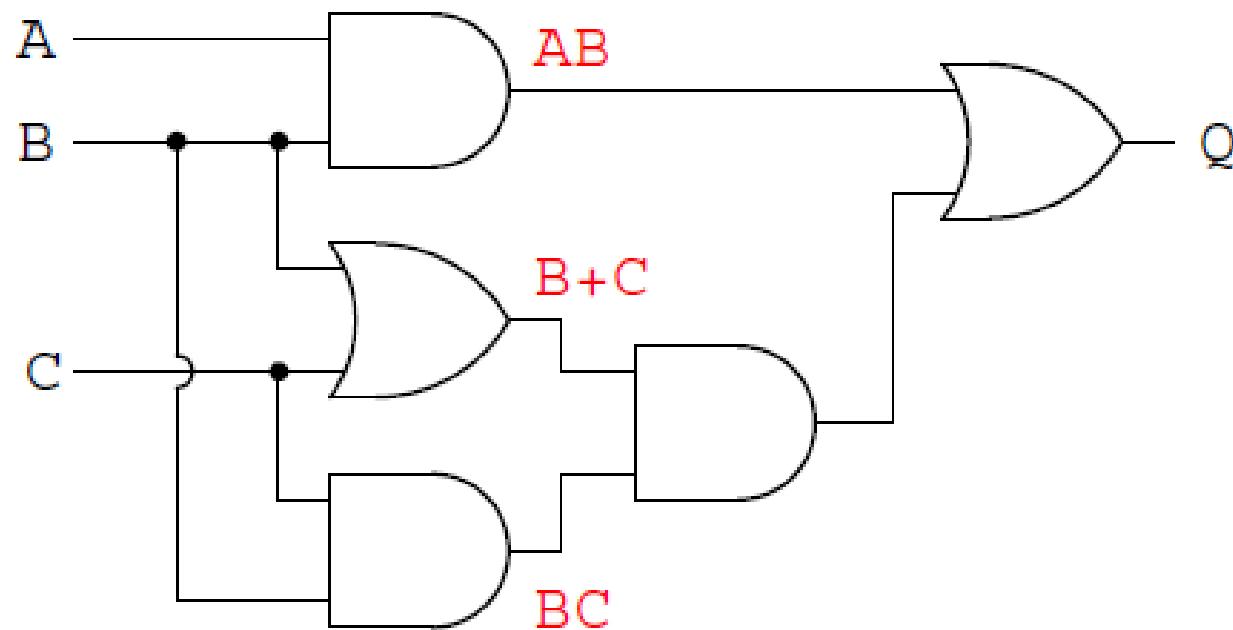
Exemplo



3. Álgebra de Boole

d. Regras para simplificação

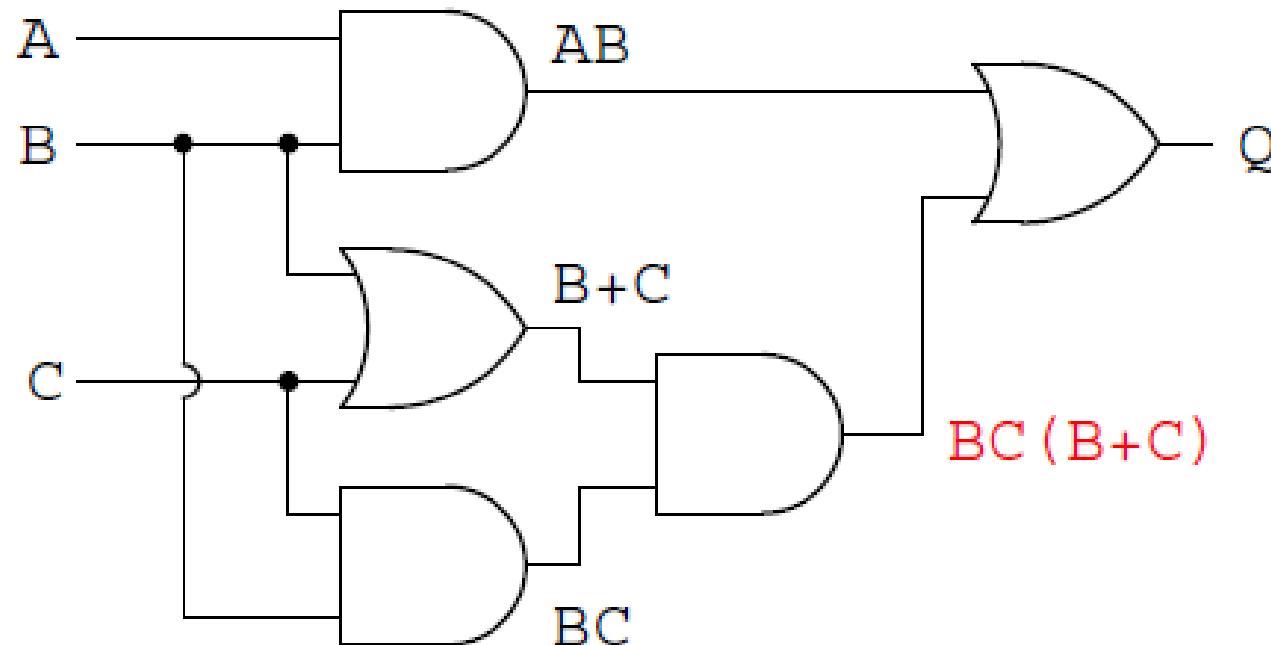
Exemplo



3. Álgebra de Boole

d. Regras para simplificação

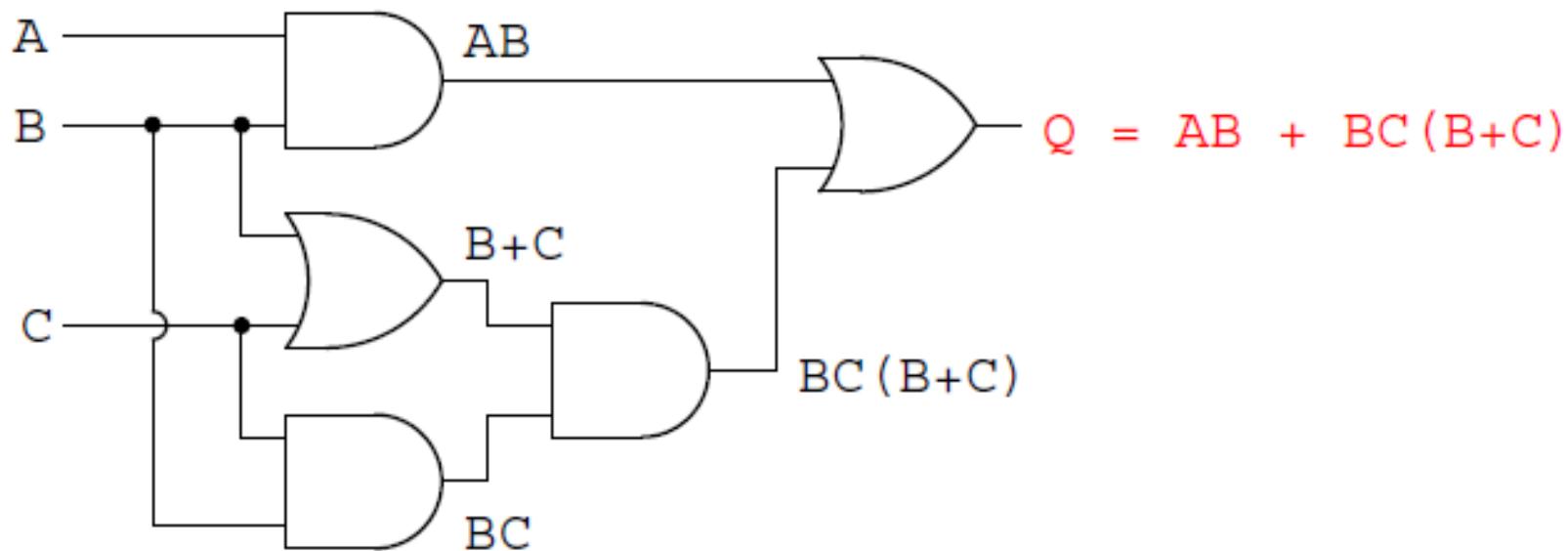
Exemplo



3. Álgebra de Boole

d. Regras para simplificação

Exemplo



3. Álgebra de Boole

d. Regras para simplificação

Exemplo

$$A \cdot B + C \cdot B \cdot (B + C)$$

$$A \cdot B + C \cdot B \cdot B + C \cdot B \cdot C$$

$$A \cdot B + C \cdot B + B \cdot C$$

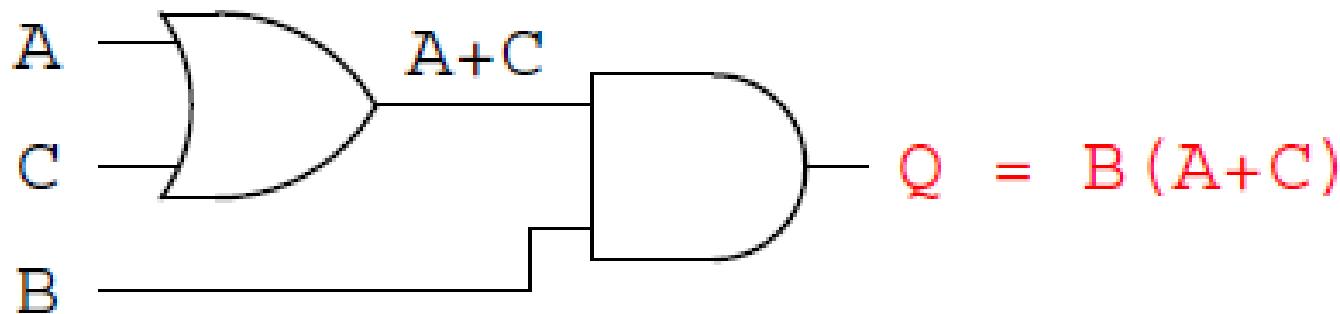
$$A \cdot B + C \cdot B$$

$$B \cdot (A + C)$$

3. Álgebra de Boole

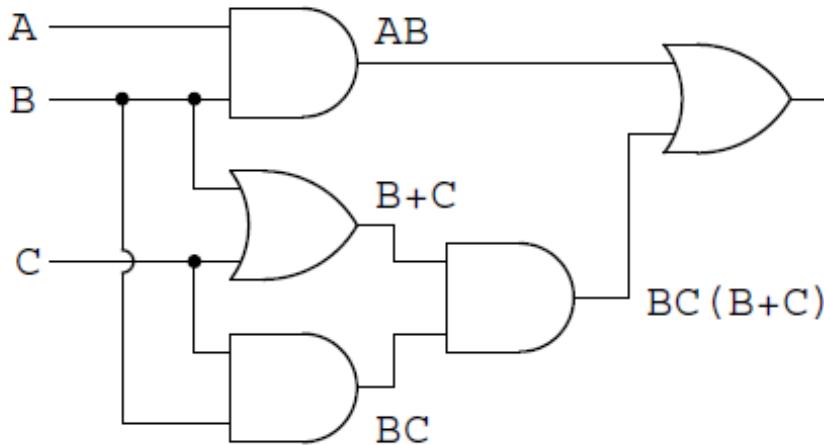
d. Regras para simplificação

Exemplo



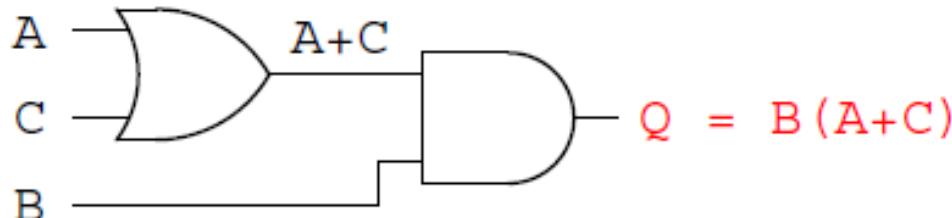
3. Álgebra de Boole

Exemplo



$$Q = AB + BC(B+C)$$

Não simplificado



$$Q = B(A+C)$$

Simplificado

4. Teoremas de DeMorgan

Dois dos mais importantes teoremas da álgebra Booleana

$$\overline{A + B} = \overline{A} \cdot \overline{B}$$

4. Teoremas de DeMorgan

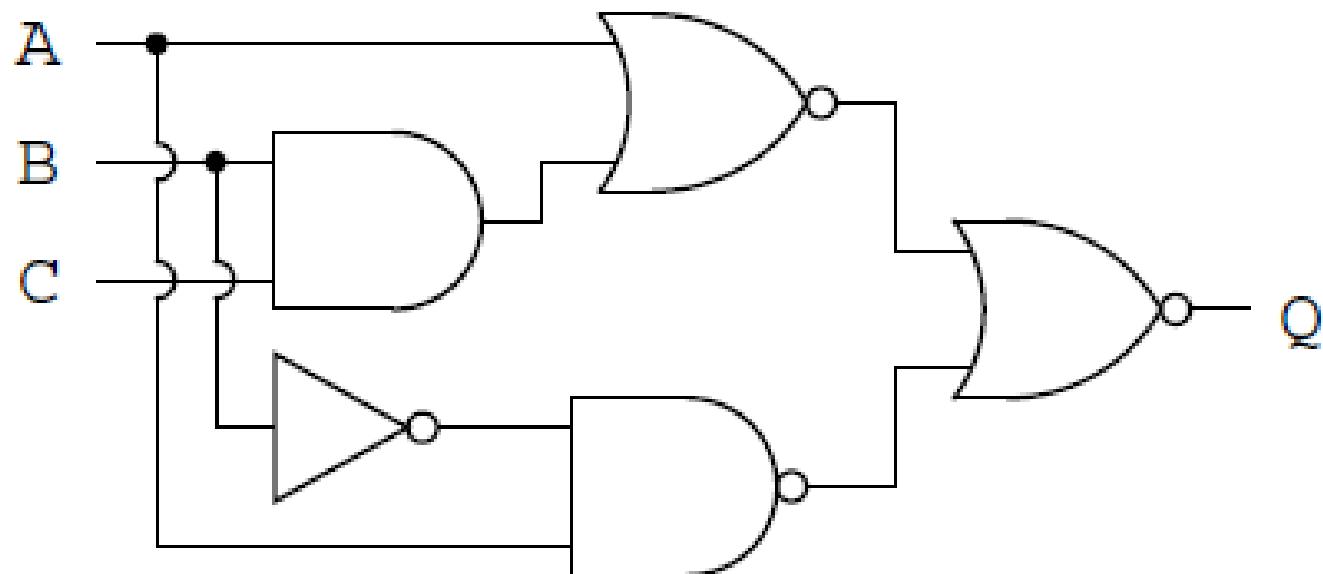
Dois dos mais importantes teoremas da álgebra Booleana

$$\overline{A + B} = \overline{A} \cdot \overline{B}$$

$$\overline{A \cdot B} = \overline{A} + \overline{B}$$

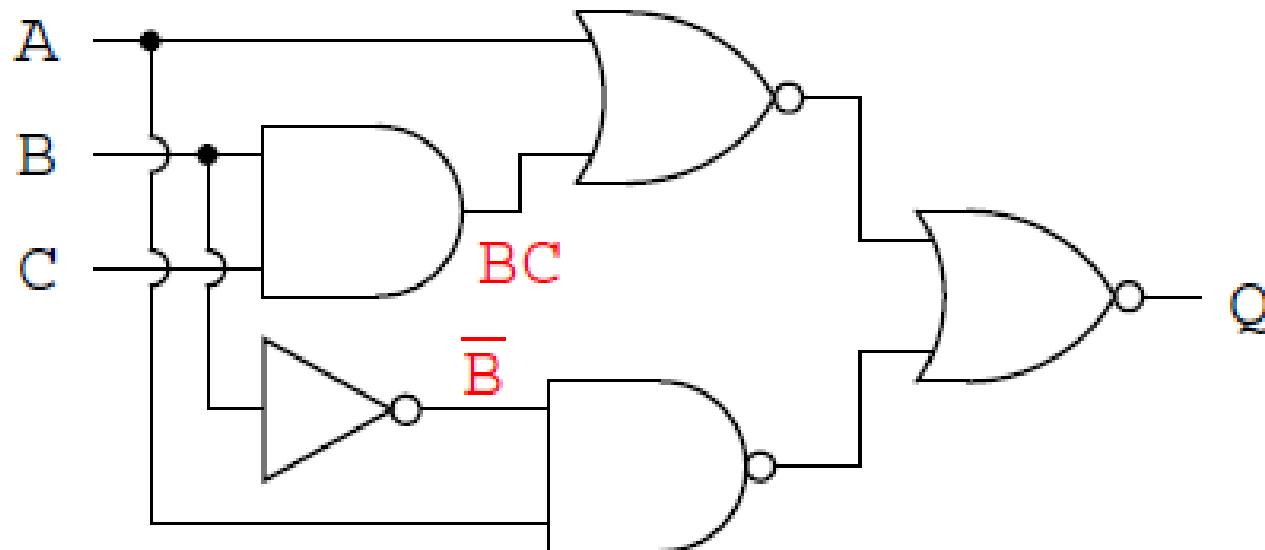
4. Teoremas de DeMorgan

Exemplo de aplicação



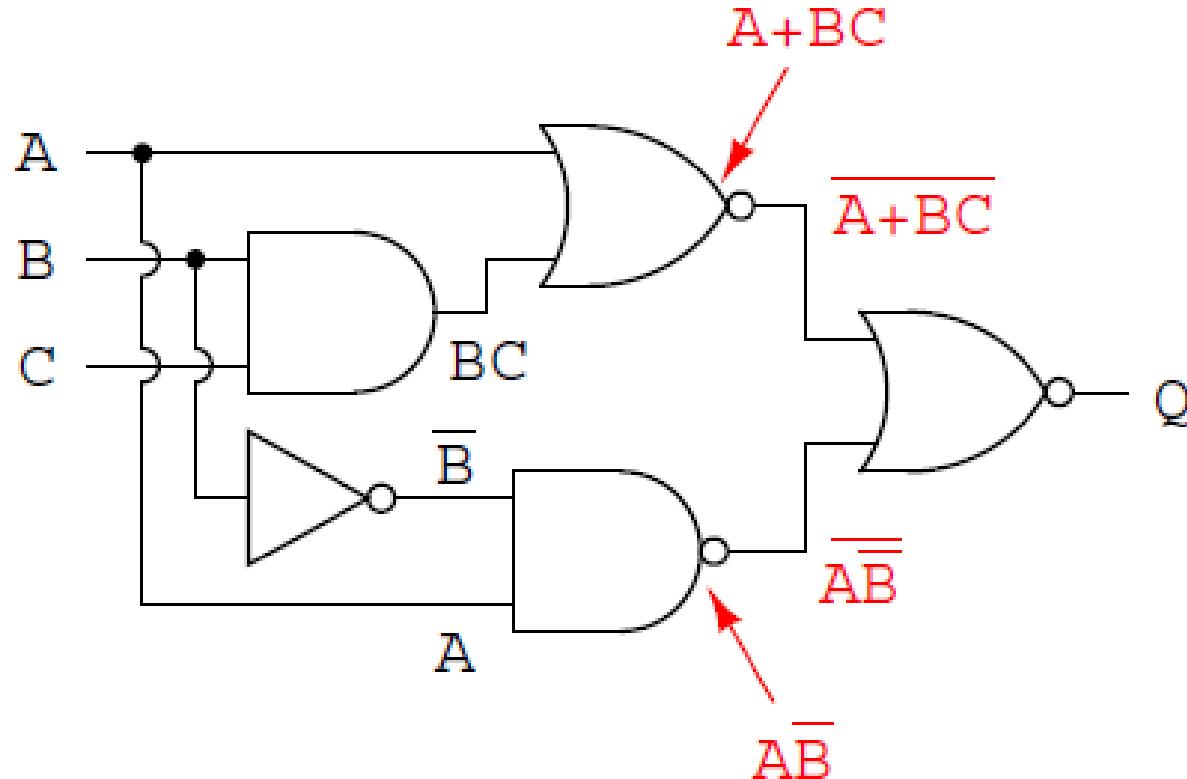
4. Teoremas de DeMorgan

Exemplo de aplicação



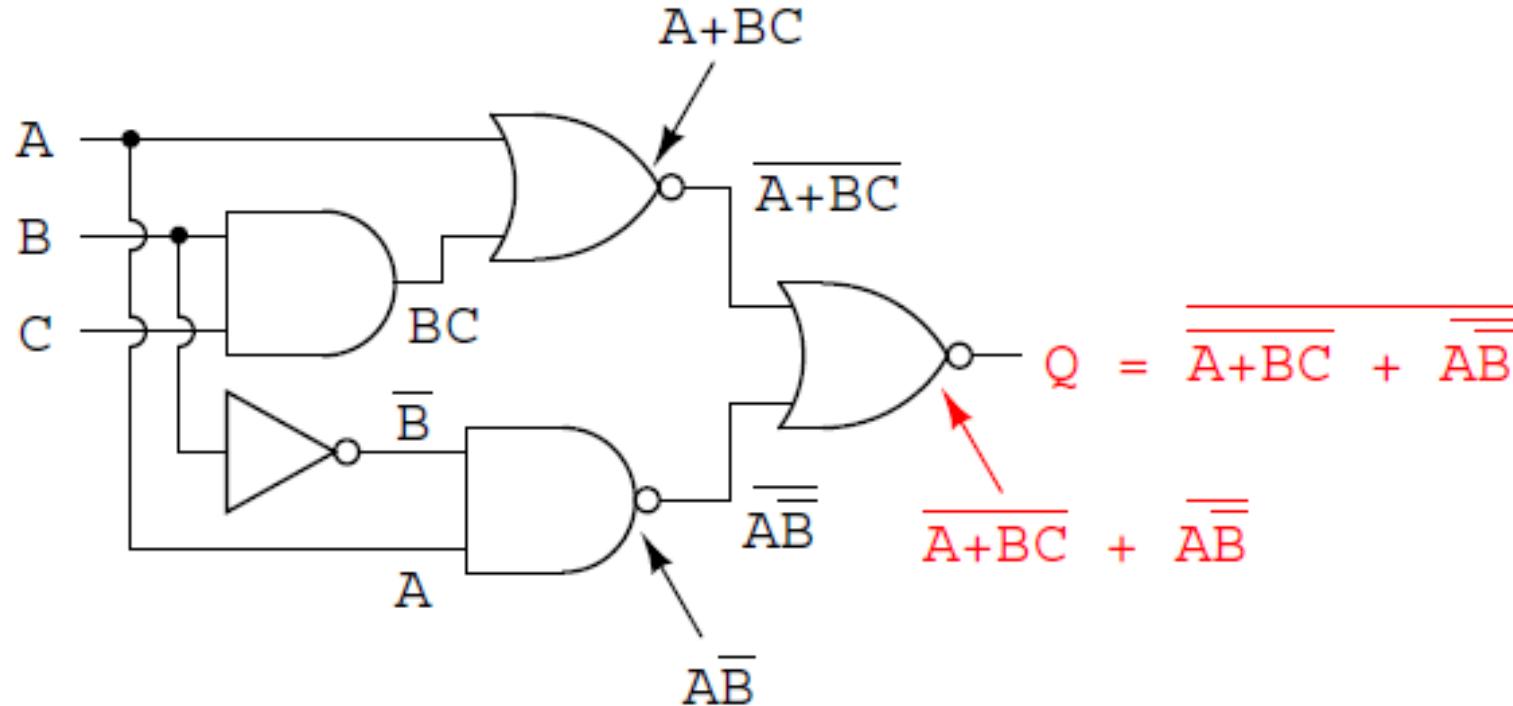
4. Teoremas de DeMorgan

Exemplo de aplicação



4. Teoremas de DeMorgan

Exemplo de aplicação



4. Teoremas de DeMorgan

Exemplo de aplicação

$$\overline{\overline{A + B \cdot C} + \overline{A} \cdot \overline{\overline{B}}}$$

4. Teoremas de DeMorgan

Exemplo de aplicação

$$\overline{\overline{A + B \cdot C} + \overline{A \cdot \overline{B}}}$$

$$\left(\overline{\overline{A + B \cdot C}} \right) \cdot \left(\overline{\overline{A \cdot \overline{B}}} \right)$$

4. Teoremas de DeMorgan

Exemplo de aplicação

$$\overline{\overline{A + B \cdot C} + A \cdot \overline{\overline{B}}}$$
$$\left(\overline{\overline{A + B \cdot C}} \right) \cdot \left(\overline{\overline{A} \cdot \overline{\overline{B}}} \right)$$


4. Teoremas de DeMorgan

Exemplo de aplicação

$$\overline{\overline{A + B \cdot C} + A \cdot \overline{\overline{B}}}$$

$$(A + B \cdot C) \cdot (A \cdot \overline{B})$$

$$\left(\overline{\overline{A + B \cdot C}} \right) \cdot \left(\overline{\overline{A} \cdot \overline{\overline{B}}} \right)$$

4. Teoremas de DeMorgan

Exemplo de aplicação

$$\overline{\overline{A + B \cdot C} + A \cdot \overline{\overline{B}}}$$
$$\left(\overline{\overline{A + B \cdot C}} \right) \cdot \left(\overline{\overline{A \cdot \overline{\overline{B}}}} \right)$$



$$(A + B \cdot C) \cdot (A \cdot \overline{B})$$
$$A \cdot A \cdot \overline{B} + B \cdot C \cdot A \cdot \overline{B}$$

4. Teoremas de DeMorgan

Exemplo de aplicação

$$\overline{\overline{A + B \cdot C} + A \cdot \overline{\overline{B}}}$$

$$\left(\overline{\overline{A + B \cdot C}} \right) \cdot \left(\overline{\overline{A \cdot \overline{\overline{B}}}} \right)$$



$$(A + B \cdot C) \cdot (A \cdot \overline{B})$$

$$A \cdot A \cdot \overline{B} + B \cdot C \cdot A \cdot \overline{B}$$

$$A \cdot \overline{B} + 0$$

4. Teoremas de DeMorgan

Exemplo de aplicação

$$\overline{\overline{A + B \cdot C} + A \cdot \overline{\overline{B}}}$$

$$\left(\overline{\overline{A + B \cdot C}} \right) \cdot \left(\overline{\overline{A \cdot \overline{\overline{B}}}} \right)$$



$$(A + B \cdot C) \cdot (A \cdot \overline{B})$$

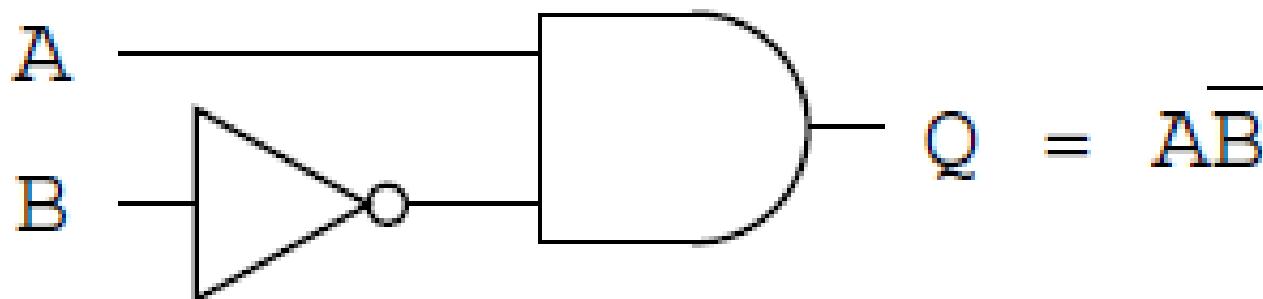
$$A \cdot A \cdot \overline{B} + B \cdot C \cdot A \cdot \overline{B}$$

$$A \cdot \overline{B} + 0$$

$$A \cdot \overline{B}$$

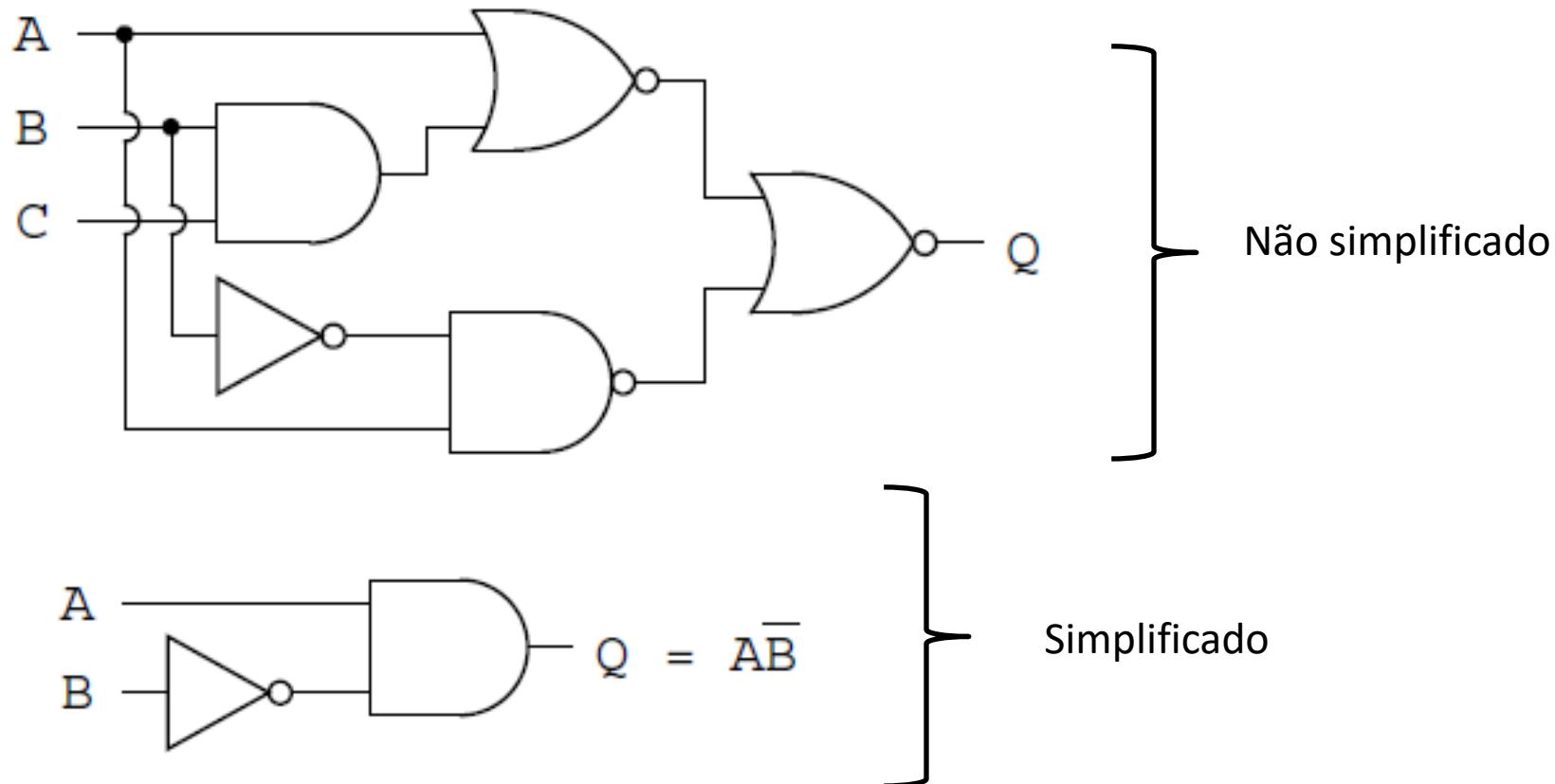
4. Teoremas de DeMorgan

Exemplo de aplicação



4. Teoremas de DeMorgan

Exemplo de aplicação



3. Álgebra de Boole

d. Regras para simplificação

$$A + A \cdot B = A$$

$$A \cdot (1 + B)$$

$$(1 + B) = 1 \Rightarrow A \cdot (1 + B) = A \cdot 1 = A$$

3. Álgebra de Boole

d. Regras para simplificação

$$A + \overline{A} \cdot B = A + B$$

$$A + A \cdot B = A$$

$$A + A \cdot B + \overline{A} \cdot B = A + B$$

$$A + B \cdot (A + \overline{A}) = A + B$$

$$A + B \cdot (1) = A + B$$

3. Álgebra de Boole

d. Regras para simplificação

$$(A + B) \cdot (A + C) = A + B \cdot C$$

$$(A \cdot A) + A \cdot C + B \cdot A + B \cdot C = A + B \cdot C$$

$$(A) + A \cdot C + B \cdot A + B \cdot C = A + B \cdot C$$

$$(A + A \cdot C) + B \cdot A + B \cdot C = A + B \cdot C$$

3. Álgebra de Boole

d. Regras para simplificação

$$(A + A \cdot C) + B \cdot A + B \cdot C = A + B \cdot C$$

$$(A) + B \cdot A + B \cdot C = A + B \cdot C$$

$$(A + B \cdot A) + B \cdot C = A + B \cdot C$$

$$(A) + B \cdot C = A + B \cdot C$$

$$A + B \cdot C = A + B \cdot C$$

4.2 Simplificação de circuitos lógicos

Simplificação algébrica

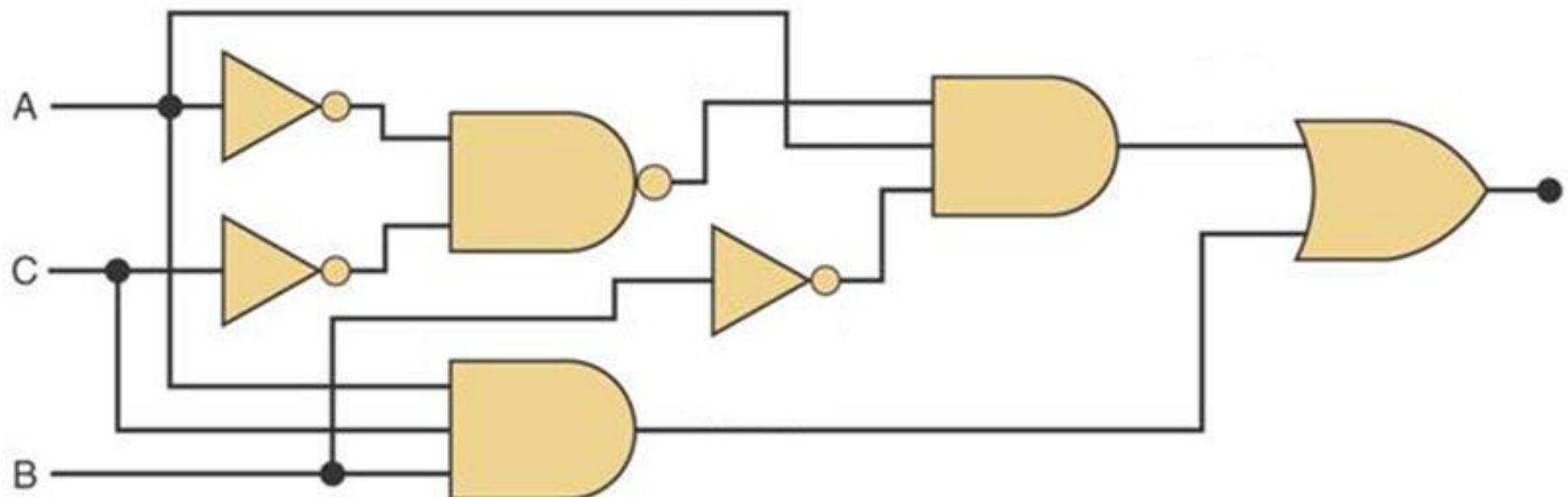
Passos básicos:

1. Expressão é colocada na forma de soma de produtos;
2. Realiza-se o procedimento de fatoração;
3. Procede-se com a eliminação de termos por meio do uso dos teoremas booleanos.

4.2 Simplificação de circuitos lógicos

Simplificação algébrica

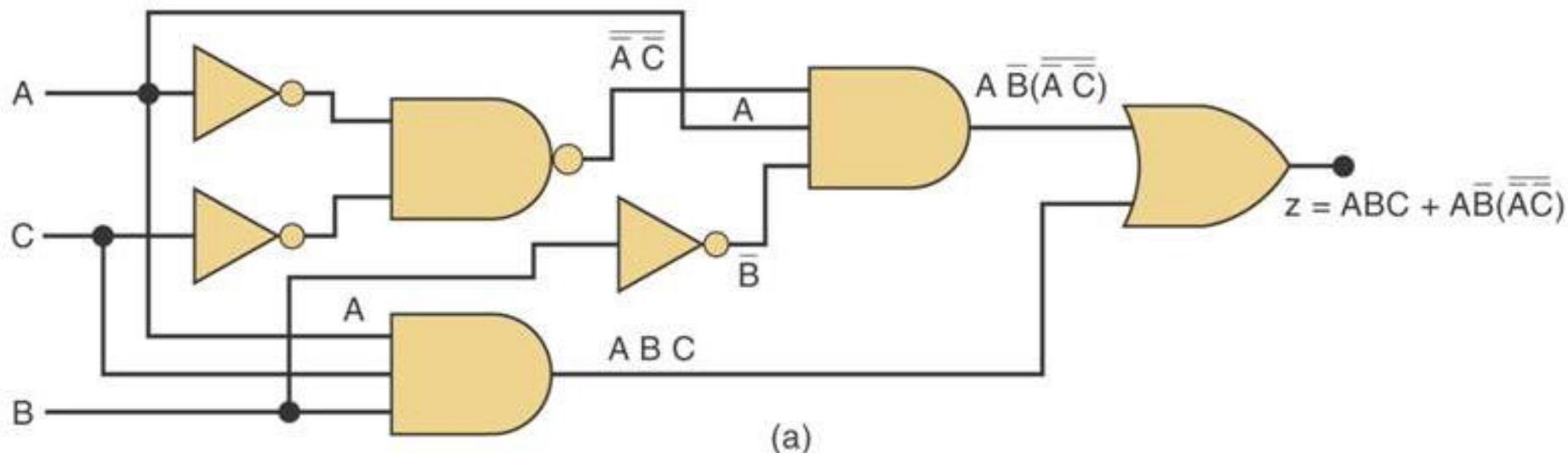
Passos básicos: (Exemplo)



4.2 Simplificação de circuitos lógicos

Simplificação algébrica

Passos básicos: (Exemplo)



4.2 Simplificação de circuitos lógicos

Simplificação algébrica

Passos básicos:

- 1. Expressão é colocada na forma de soma de produtos;**

$$A \cdot B \cdot C + A \cdot \bar{B} \cdot \left(\overline{\overline{A}} \cdot \overline{\overline{C}} \right) =$$

4.2 Simplificação de circuitos lógicos

Simplificação algébrica

Passos básicos:

1. Expressão é colocada na forma de soma de produtos;

$$A \cdot B \cdot C + A \cdot \bar{B} \cdot (\overline{\overline{A} \cdot \overline{C}}) = A \cdot B \cdot C + A \cdot \bar{B} + A \cdot \bar{B} \cdot C$$

4.2 Simplificação de circuitos lógicos

Simplificação algébrica

Passos básicos:

1. Expressão é colocada na forma de soma de produtos;

$$A \cdot B \cdot C + A \cdot \bar{B} \cdot (\overline{\overline{A} \cdot \overline{C}}) = A \cdot B \cdot C + A \cdot \bar{B} + A \cdot \bar{B} \cdot C$$

2. Realiza-se o procedimento de fatoração;

4.2 Simplificação de circuitos lógicos

Simplificação algébrica

Passos básicos:

- 1. Expressão é colocada na forma de soma de produtos;**

$$A \cdot B \cdot C + A \cdot \bar{B} \cdot (\overline{\overline{A} \cdot \overline{C}}) = A \cdot B \cdot C + A \cdot \bar{B} + A \cdot \bar{B} \cdot C$$

- 2. Realiza-se o procedimento de fatoração;**

$$A \cdot B \cdot C + A \cdot \bar{B} + A \cdot \bar{B} \cdot C = A \cdot B \cdot C + A \cdot \bar{B} + A \cdot \bar{B} \cdot C$$

4.2 Simplificação de circuitos lógicos

Simplificação algébrica

Passos básicos:

- Expressão é colocada na forma de soma de produtos;**

$$A \cdot B \cdot C + A \cdot \bar{B} \cdot (\overline{\overline{A}} \cdot \overline{\overline{C}}) = A \cdot B \cdot C + A \cdot \bar{B} + A \cdot \bar{B} \cdot C$$

- Realiza-se o procedimento de fatoração;**

$$A \cdot B \cdot C + A \cdot \bar{B} + A \cdot \bar{B} \cdot C = A \cdot B \cdot C + A \cdot \bar{B} + A \cdot \bar{B} \cdot C$$

$$A \cdot B \cdot C + A \cdot \bar{B} + A \cdot \bar{B} \cdot C = A \cdot C \cdot (B + \bar{B}) + A \cdot \bar{B}$$

4.2 Simplificação de circuitos lógicos

Simplificação algébrica

Passos básicos:

- 1. Expressão é colocada na forma de soma de produtos;**

$$A \cdot B \cdot C + A \cdot \bar{B} \cdot (\overline{\overline{A}} \cdot \overline{\overline{C}}) = A \cdot B \cdot C + A \cdot \bar{B} + A \cdot \bar{B} \cdot C$$

- 2. Realiza-se o procedimento de fatoração;**

$$A \cdot B \cdot C + A \cdot \bar{B} + A \cdot \bar{B} \cdot C = A \cdot B \cdot C + A \cdot \bar{B} + A \cdot \bar{B} \cdot C$$

$$A \cdot B \cdot C + A \cdot \bar{B} + A \cdot \bar{B} \cdot C = A \cdot C \cdot (B + \bar{B}) + A \cdot \bar{B}$$

$$A \cdot C \cdot (B + \bar{B}) + A \cdot \bar{B} = A \cdot C + A \cdot \bar{B} = A \cdot (C + \bar{B})$$

4.2 Simplificação de circuitos lógicos

Simplificação algébrica

Passos básicos:

1. Expressão é colocada na forma de soma de produtos;

$$A \cdot B \cdot C + A \cdot \bar{B} \cdot (\overline{\overline{A}} \cdot \overline{\overline{C}}) = A \cdot B \cdot C + A \cdot \bar{B} + A \cdot \bar{B} \cdot C$$

2. Realiza-se o procedimento de fatoração;

$$A \cdot B \cdot C + A \cdot \bar{B} + A \cdot \bar{B} \cdot C = A \cdot B \cdot C + A \cdot \bar{B} + A \cdot \bar{B} \cdot C$$

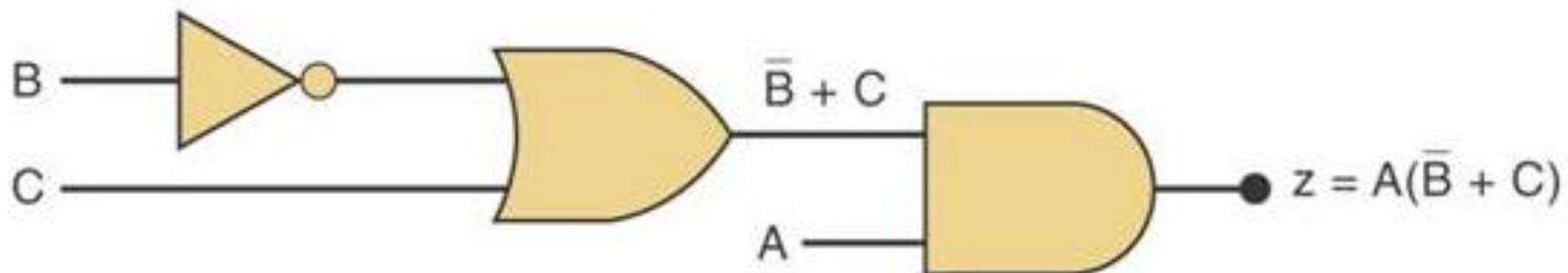
$$A \cdot B \cdot C + A \cdot \bar{B} + A \cdot \bar{B} \cdot C = A \cdot C \cdot (B + \bar{B}) + A \cdot \bar{B}$$

$$A \cdot C \cdot (B + \bar{B}) + A \cdot \bar{B} = A \cdot C + A \cdot \bar{B} = A \cdot (C + \bar{B})$$

4.2 Simplificação de circuitos lógicos

Simplificação algébrica

Passos básicos: (Exemplo)



4.2 Simplificação de circuitos lógicos

Simplificação algébrica

Exercícios: Simplifique

a.) $A \cdot \overline{B} \cdot \overline{C} + A \cdot \overline{B} \cdot C + A \cdot B \cdot C$

b.) $\overline{A} \cdot C \cdot \left(\overline{\overline{A} \cdot B \cdot D} \right) + \overline{A} \cdot B \cdot \overline{C} \cdot \overline{D} + A \cdot \overline{B} \cdot C$

c.) $(\overline{A} + B) \cdot (A + B + D) \cdot \overline{D}$

d.) $A \cdot \overline{B} \cdot C + \overline{A} \cdot B \cdot D + \overline{C} \cdot \overline{D}$

4.3 Projetando circuitos lógicos combinacionais

Considere a situação-problema

Deseja-se projetar um alarme para alertar um motorista quando ocorrerem as seguintes situações:

1. Pressão do sistema de arrefecimento insuficiente
2. Sistema de refrigeração auxiliar
3. Temperatura acima do nominal

O veículo deve ser desligado em caso de pressão do sistema de arrefecimento for insuficiente ou o motor estar com a temperatura acima da nominal sem o sistema auxiliar estar ligado

4.3 Projetando circuitos lógicos combinacionais

Passos para o projeto do circuito combinacional

1. Definir o estado das variáveis
2. Construir a tabela verdade
3. Escrever os termos AND para cada saída com nível ativo
4. Escrever a expressão final como soma de produtos
5. Simplificar a saída
6. Implementar o circuito combinacional

4.3 Projetando circuitos lógicos combinacionais

Considere a situação-problema

1. Definir as variáveis

Pressão do líquido de arrefecimento insuficiente:

P: 0 = normal; 1 = insuficiente

Sistema de refrigeração auxiliar

S: 0 = desligado; 1 = ligado

Temperatura acima do nominal

T: 0 = dentro do normal; 1 = acima do nominal

4.3 Projetando circuitos lógicos combinacionais

Considere a situação-problema

2. Construir a tabela verdade

P	S	T	Alarme
0	0	0	0
0	0	1	1
0	1	0	0
0	1	1	0
1	0	0	1
1	0	1	1
1	1	0	1
1	1	1	1

4.3 Projetando circuitos lógicos combinacionais

Considere a situação-problema

3. Escrever os termos AND para cada saída com nível ativo

P	S	T	Alarme	
0	0	0	0	
0	0	1	1	$\bar{P} \cdot \bar{S} \cdot T$
0	1	0	0	
0	1	1	0	
1	0	0	1	$P \cdot \bar{S} \cdot \bar{T}$
1	0	1	1	$P \cdot \bar{S} \cdot T$
1	1	0	1	$P \cdot S \cdot \bar{T}$
1	1	1	1	$P \cdot S \cdot T$

4.3 Projetando circuitos lógicos combinacionais

Considere a situação-problema

4. Escrever a expressão final como soma de produtos

$$\text{Alarme} = \overline{P} \cdot \overline{S} \cdot T + P \cdot \overline{S} \cdot \overline{T} + P \cdot \overline{S} \cdot T + P \cdot S \cdot \overline{T} + P \cdot S \cdot T$$

4.3 Projetando circuitos lógicos combinacionais

Considere a situação-problema

5. Simplificar a saída

$$\text{Alarme} = \bar{P} \cdot \bar{S} \cdot T + P \cdot \bar{S} \cdot \bar{T} + P \cdot \bar{S} \cdot T + P \cdot S \cdot \bar{T} + P \cdot S \cdot T$$

4.3 Projetando circuitos lógicos combinacionais

Considere a situação-problema

5. Simplificar a saída

$$\text{Alarme} = \bar{P} \cdot \bar{S} \cdot T + P \cdot \bar{S} \cdot \bar{T} + P \cdot \bar{S} \cdot T + P \cdot S \cdot \bar{T} + P \cdot S \cdot T$$

$$\text{Alarme} = \bar{P} \cdot \bar{S} \cdot T + P \cdot \bar{S} \cdot (\bar{T} + T) + P \cdot S \cdot (\bar{T} + T)$$

4.3 Projetando circuitos lógicos combinacionais

Considere a situação-problema

5. Simplificar a saída

$$\text{Alarme} = \overline{P} \cdot \overline{S} \cdot T + P \cdot \overline{S} \cdot \overline{T} + P \cdot \overline{S} \cdot T + P \cdot S \cdot \overline{T} + P \cdot S \cdot T$$

$$\text{Alarme} = \overline{P} \cdot \overline{S} \cdot T + P \cdot \overline{S} \cdot (\overline{T} + T) + P \cdot S \cdot (\overline{T} + T)$$

$$\text{Alarme} = \overline{P} \cdot \overline{S} \cdot T + P \cdot \overline{S} + P \cdot S$$

4.3 Projetando circuitos lógicos combinacionais

Considere a situação-problema

5. Simplificar a saída

$$\text{Alarme} = \bar{P} \cdot \bar{S} \cdot T + P \cdot \bar{S} \cdot \bar{T} + P \cdot S \cdot T + P \cdot S \cdot \bar{T} + P \cdot S \cdot T$$

$$\text{Alarme} = \bar{P} \cdot \bar{S} \cdot T + P \cdot \bar{S} \cdot (\bar{T} + T) + P \cdot S \cdot (\bar{T} + T)$$

$$\text{Alarme} = \bar{P} \cdot \bar{S} \cdot T + P \cdot \bar{S} + P \cdot S$$

$$\text{Alarme} = \bar{P} \cdot \bar{S} \cdot T + P \cdot (\bar{S} + S)$$

4.3 Projetando circuitos lógicos combinacionais

Considere a situação-problema

5. Simplificar a saída

$$\text{Alarme} = \bar{P} \cdot \bar{S} \cdot T + P \cdot \bar{S} \cdot \bar{T} + P \cdot S \cdot T + P \cdot S \cdot \bar{T} + P \cdot S \cdot T$$

$$\text{Alarme} = \bar{P} \cdot \bar{S} \cdot T + P \cdot \bar{S} \cdot (\bar{T} + T) + P \cdot S \cdot (\bar{T} + T)$$

$$\text{Alarme} = \bar{P} \cdot \bar{S} \cdot T + P \cdot \bar{S} + P \cdot S$$

$$\text{Alarme} = \bar{P} \cdot \bar{S} \cdot T + P \cdot (\bar{S} + S)$$

$$\text{Alarme} = \bar{P} \cdot \bar{S} \cdot T + P$$

4.3 Projetando circuitos lógicos combinacionais

Considere a situação-problema

5. Simplificar a saída

$$\text{Alarme} = \overline{P} \cdot \overline{S} \cdot T + P \cdot \overline{S} \cdot \overline{T} + P \cdot \overline{S} \cdot T + P \cdot S \cdot \overline{T} + P \cdot S \cdot T$$

$$\text{Alarme} = \overline{P} \cdot \overline{S} \cdot T + P \cdot \overline{S} \cdot (\overline{T} + T) + P \cdot S \cdot (\overline{T} + T)$$

$$\text{Alarme} = \overline{P} \cdot \overline{S} \cdot T + P \cdot \overline{S} + P \cdot S$$

$$\text{Alarme} = \overline{P} \cdot \overline{S} \cdot T + P \cdot (\overline{S} + S)$$

$$\text{Alarme} = \overline{P} \cdot \overline{S} \cdot T + P$$

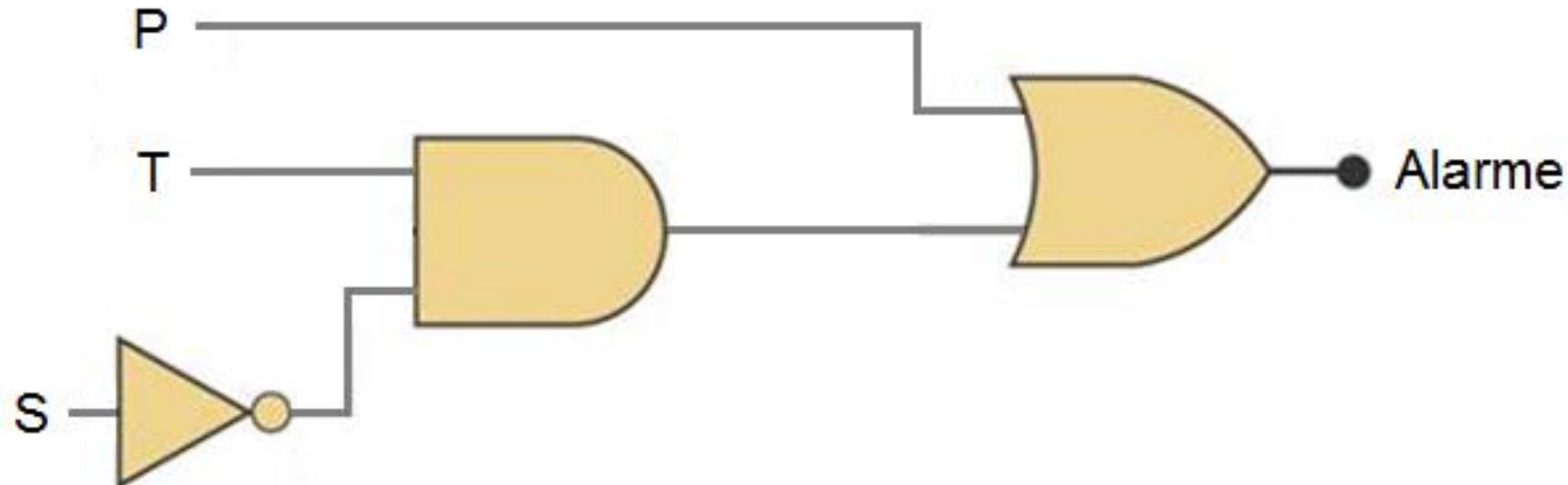
$$\text{Alarme} = \overline{S} \cdot T + P$$

4.3 Projetando circuitos lógicos combinacionais

Considere a situação-problema

6. Implementar o circuito combinacional

$$\text{Alarme} = \bar{S} \cdot T + P$$

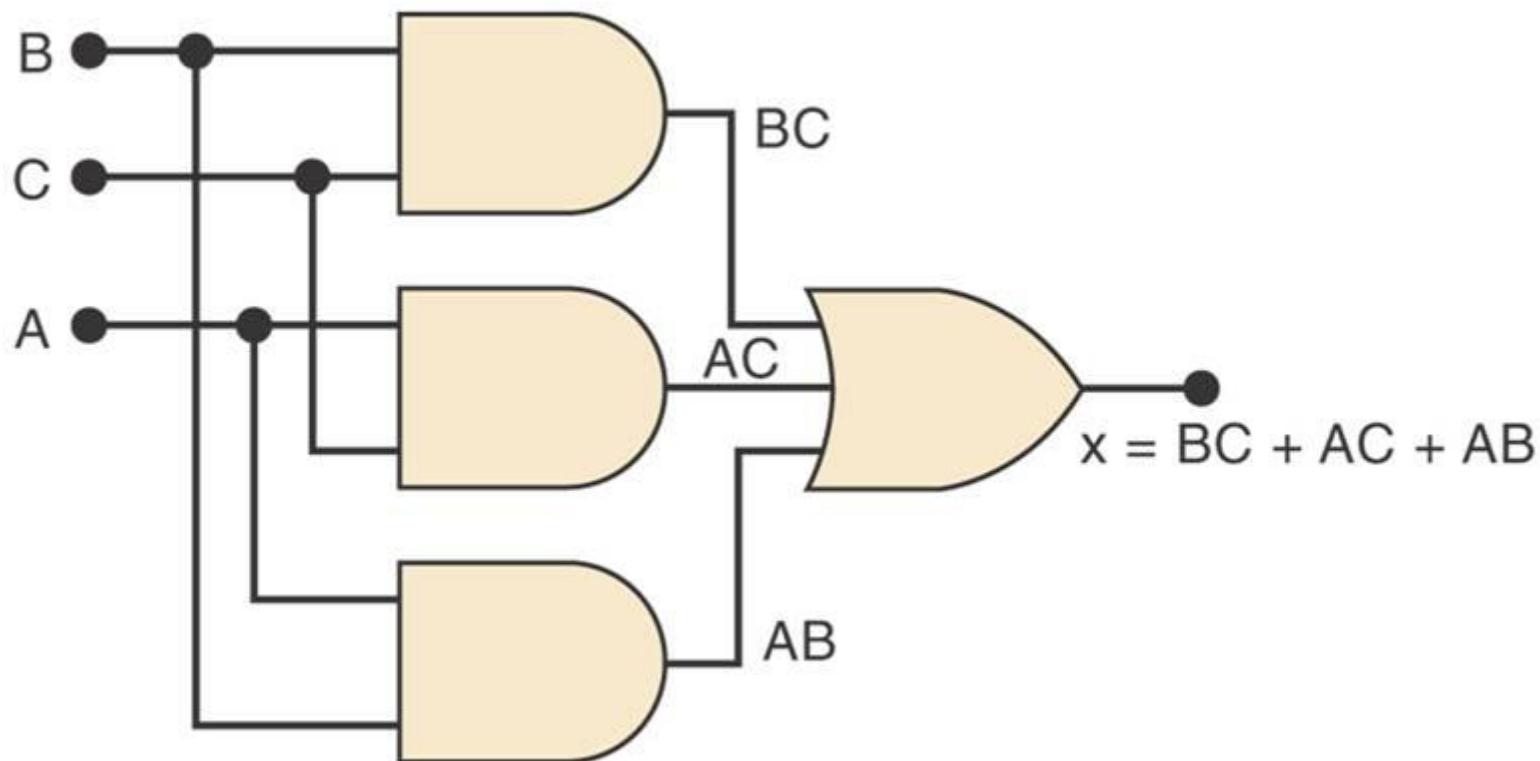


4.3 Projetando circuitos lógicos combinacionais

Exercício 1: Projete um circuito com três entradas em que a saída será nível alto sempre que duas ou mais entradas forem nível alto.

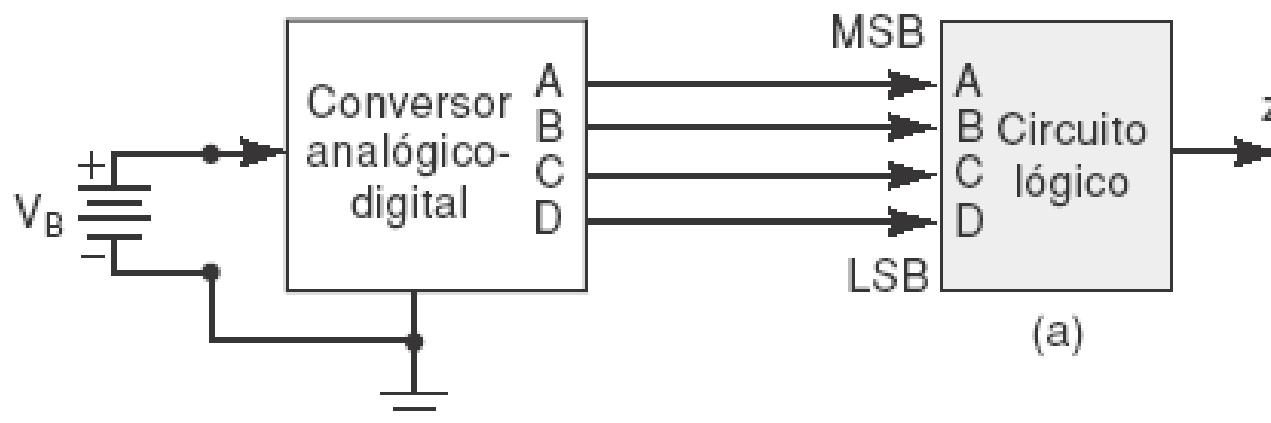
4.3 Projetando circuitos lógicos combinacionais

Exercício 1: Projete um circuito com três entradas em que a saída será nível alto sempre que duas ou mais entradas forem nível alto.



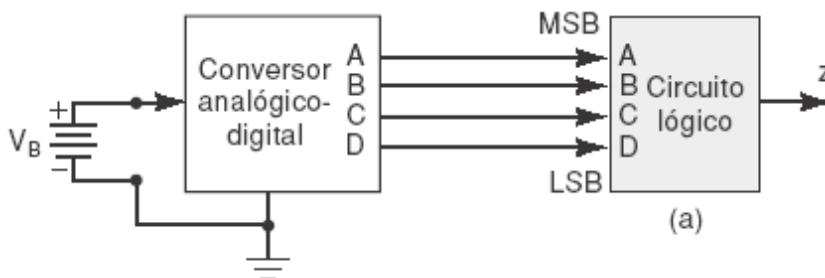
4.3 Projetando circuitos lógicos combinacionais

Exercício 2: Projete um circuito para o monitoramento de uma bateria de 15V. A tensão na bateria é convertida em digital e representada por um número binário de 4 bits sendo que cada bit equivale a um degrau de 1V. O circuito deve alertar o usuário sempre que a tensão na bateria for menor que 9V.



4.3 Projetando circuitos lógicos combinacionais

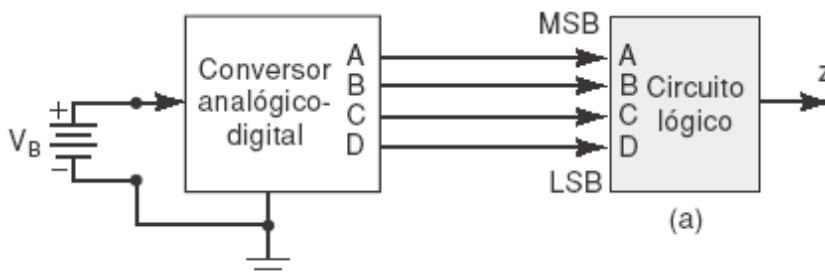
Exercício 2:



A	B	C	D	Sinalizador
0	0	0	0	1
0	0	0	1	1
0	0	1	0	1
0	0	1	1	1
0	1	0	0	1
0	1	0	1	1
0	1	1	0	1
0	1	1	1	1
1	0	0	0	1
1	0	0	1	0
1	0	1	0	0
1	0	1	1	0
1	1	0	0	0
1	1	0	1	0
1	1	1	0	0
1	1	1	1	0

4.3 Projetando circuitos lógicos combinacionais

Exercício 2:

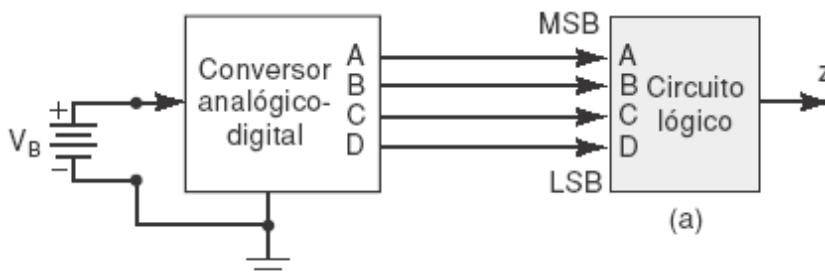


$$\begin{aligned}
 S = & \overline{A} \cdot \overline{B} \cdot \overline{C} \cdot \overline{D} + \overline{A} \cdot \overline{B} \cdot \overline{C} \cdot D + \overline{A} \cdot \overline{B} \cdot C \cdot \overline{D} + \\
 & \overline{A} \cdot \overline{B} \cdot C \cdot D + \overline{A} \cdot B \cdot \overline{C} \cdot \overline{D} + \overline{A} \cdot B \cdot \overline{C} \cdot D + \\
 & \overline{A} \cdot B \cdot C \cdot \overline{D} + \overline{A} \cdot B \cdot C \cdot D + A \cdot \overline{B} \cdot \overline{C} \cdot \overline{D}
 \end{aligned}$$

A	B	C	D	S
0	0	0	0	1
0	0	0	1	1
0	0	1	0	1
0	0	1	1	1
0	1	0	0	1
0	1	0	1	1
0	1	1	0	1
0	1	1	1	1
1	0	0	0	1
1	0	0	1	0
1	0	1	0	0
1	0	1	1	0
1	1	0	0	0
1	1	0	1	0
1	1	1	0	0
1	1	1	1	0

4.3 Projetando circuitos lógicos combinacionais

Exercício 2:

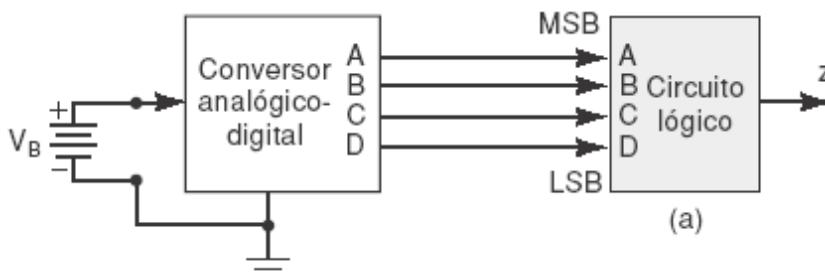


A	B	C	D	S
0	0	0	0	1
0	0	0	1	1
0	0	1	0	1
0	0	1	1	1
0	1	0	0	1
0	1	0	1	1
0	1	1	0	1
0	1	1	1	1
1	0	0	0	1
1	0	0	1	0
1	0	1	0	0
1	0	1	1	0
1	1	0	0	0
1	1	0	1	0
1	1	1	0	0
1	1	1	1	0

$$\begin{aligned}
 S = & \boxed{\overline{A} \cdot \overline{B} \cdot \overline{C} \cdot \overline{D}} + \boxed{\overline{A} \cdot \overline{B} \cdot \overline{C} \cdot D} + \boxed{\overline{A} \cdot \overline{B} \cdot C \cdot \overline{D}} + \\
 & \boxed{\overline{A} \cdot \overline{B} \cdot C \cdot D} + \boxed{\overline{A} \cdot B \cdot \overline{C} \cdot \overline{D}} + \boxed{\overline{A} \cdot B \cdot \overline{C} \cdot D} + \\
 & \boxed{\overline{A} \cdot B \cdot C \cdot \overline{D}} + \boxed{\overline{A} \cdot B \cdot C \cdot D} + A \cdot \overline{B} \cdot \overline{C} \cdot \overline{D}
 \end{aligned}$$

4.3 Projetando circuitos lógicos combinacionais

Exercício 2:

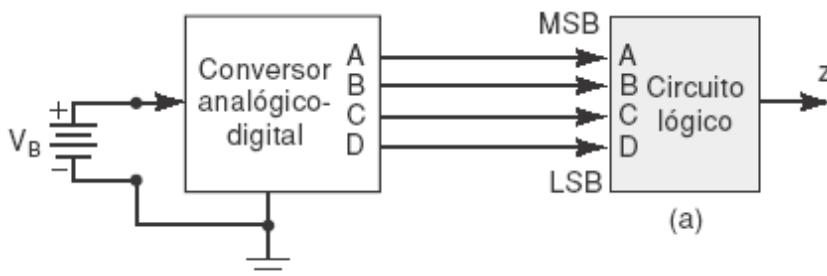


$$S = \boxed{\overline{A} \cdot \overline{B} \cdot \overline{C}} + \boxed{\overline{A} \cdot \overline{B} \cdot C} + \boxed{\overline{A} \cdot B \cdot \overline{C}} + \\ \boxed{\overline{A} \cdot B \cdot C} + A \cdot \overline{B} \cdot \overline{C} \cdot \overline{D}$$

A	B	C	D	S
0	0	0	0	1
0	0	0	1	1
0	0	1	0	1
0	0	1	1	1
0	1	0	0	1
0	1	0	1	1
0	1	1	0	1
0	1	1	1	1
1	0	0	0	1
1	0	0	1	0
1	0	1	0	0
1	0	1	1	0
1	1	0	0	0
1	1	0	1	0
1	1	1	0	0
1	1	1	1	0

4.3 Projetando circuitos lógicos combinacionais

Exercício 2:



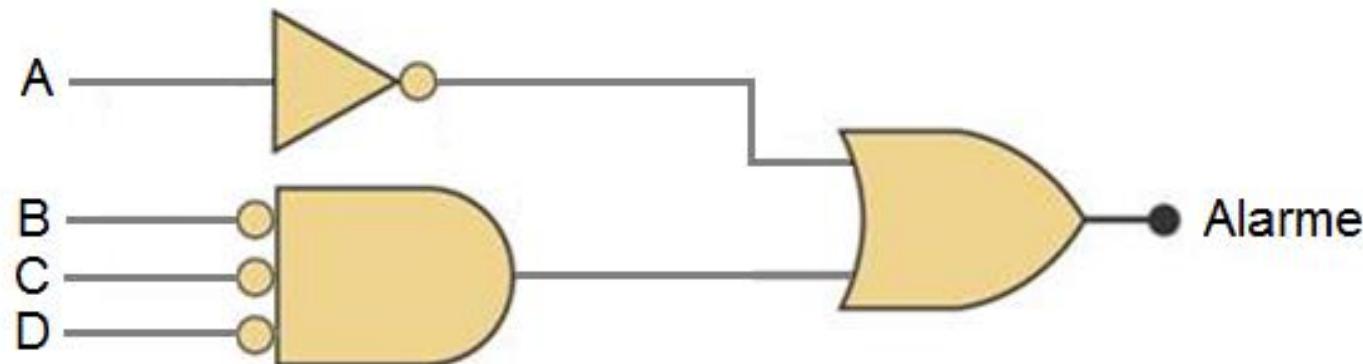
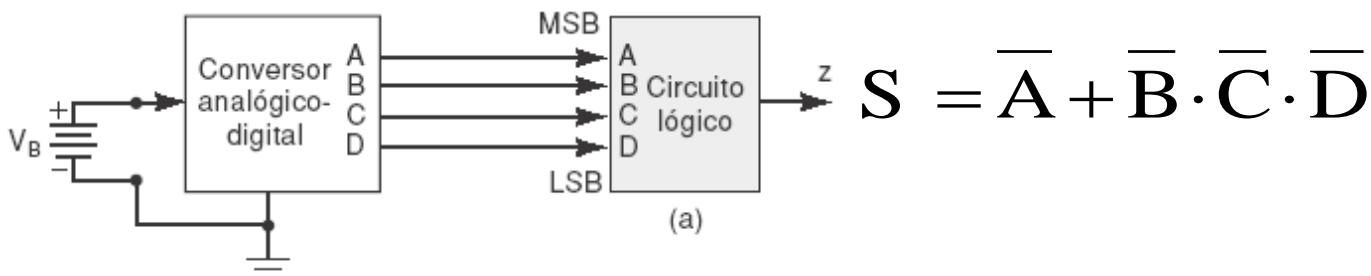
$$S = \overline{A} \cdot \overline{B} + \overline{A} \cdot B + A \cdot \overline{B} \cdot \overline{C} \cdot \overline{D}$$

$$S = \overline{A} + \overline{B} \cdot \overline{C} \cdot \overline{D}$$

A	B	C	D	S
0	0	0	0	1
0	0	0	1	1
0	0	1	0	1
0	0	1	1	1
0	1	0	0	1
0	1	0	1	1
0	1	1	0	1
0	1	1	1	1
1	0	0	0	1
1	0	0	1	0
1	0	1	0	0
1	0	1	1	0
1	1	0	0	0
1	1	0	1	0
1	1	1	0	0
1	1	1	1	0

4.3 Projetando circuitos lógicos combinacionais

Exercício 2:



A	B	C	D	S
0	0	0	0	1
0	0	0	1	1
0	0	1	0	1
0	0	1	1	1
0	1	0	0	1
0	1	0	1	1
0	1	1	0	1
0	1	1	1	1
1	0	0	0	1
1	0	0	1	0
1	0	1	0	0
1	0	1	1	0
1	1	0	0	0
1	1	0	1	0
1	1	1	0	0
1	1	1	1	0

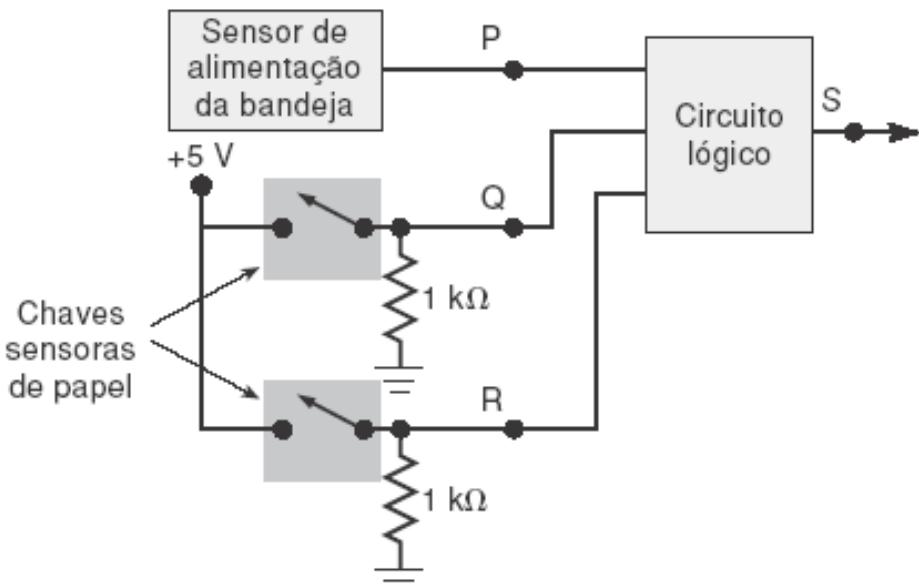
4.3 Projetando circuitos lógicos combinacionais

Exercício 3: O Sinal “S” é gerado para interromper a operação da máquina e gerar um sinal luminoso sempre que uma das condições ocorrerem:

- a) A bandeja de alimentação estiver vazia;
- b) As duas microchaves sensoras de papel estiverem acionadas;

A presença de papel na bandeja é indicada por um nível alto no sinal lógico **P**. Cada microchave produz sinais lógicos **Q** e **R** que vão para o nível alto sempre que um papel estiver passando sobre a chave.

Projete o circuito lógico correspondente!



4.3 Projetando circuitos lógicos combinacionais

Exercício 3: O Sinal “S” é gerado para interromper a operação da máquina e gerar um sinal luminoso sempre que uma das condições ocorrerem:

- a) A bandeja de alimentação estiver vazia;
- b) As duas microchaves sensoras de papel estiverem acionadas;

A presença de papel na bandeja é indicada por um nível alto no sinal lógico **P**. Cada microchave produz sinais lógicos **Q** e **R** que vão para o nível alto sempre que um papel estiver passando sobre a chave.

Projete o circuito lógico correspondente!

P	Q	R	S
0	0	0	1
0	0	1	1
0	1	0	1
0	1	1	1
1	0	0	0
1	0	1	0
1	1	0	0
1	1	1	1

4.3 Projetando circuitos lógicos combinacionais

Exercício 3: O Sinal “S” é gerado para interromper a operação da máquina e gerar um sinal luminoso sempre que uma das condições ocorrerem:

$$S = \boxed{\overline{P} \cdot \overline{Q} \cdot \overline{R}} + \boxed{\overline{P} \cdot \overline{Q} \cdot R} + \\ \boxed{P \cdot Q \cdot \overline{R}} + \boxed{\overline{P} \cdot Q \cdot R} + P \cdot Q \cdot R$$

P	Q	R	S
0	0	0	1
0	0	1	1
0	1	0	1
0	1	1	1
1	0	0	0
1	0	1	0
1	1	0	0
1	1	1	1

4.3 Projetando circuitos lógicos combinacionais

Exercício 3: O Sinal “S” é gerado para interromper a operação da máquina e gerar um sinal luminoso sempre que uma das condições ocorrerem:

$$S = \boxed{\bar{P} \cdot \bar{Q}} + \boxed{\bar{P} \cdot Q} + P \cdot Q \cdot R$$

P	Q	R	S
0	0	0	1
0	0	1	1
0	1	0	1
0	1	1	1
1	0	0	0
1	0	1	0
1	1	0	0
1	1	1	1

4.3 Projetando circuitos lógicos combinacionais

Exercício 3: O Sinal “S” é gerado para interromper a operação da máquina e gerar um sinal luminoso sempre que uma das condições ocorrerem:

$$S = \bar{P} + P \cdot Q \cdot R$$

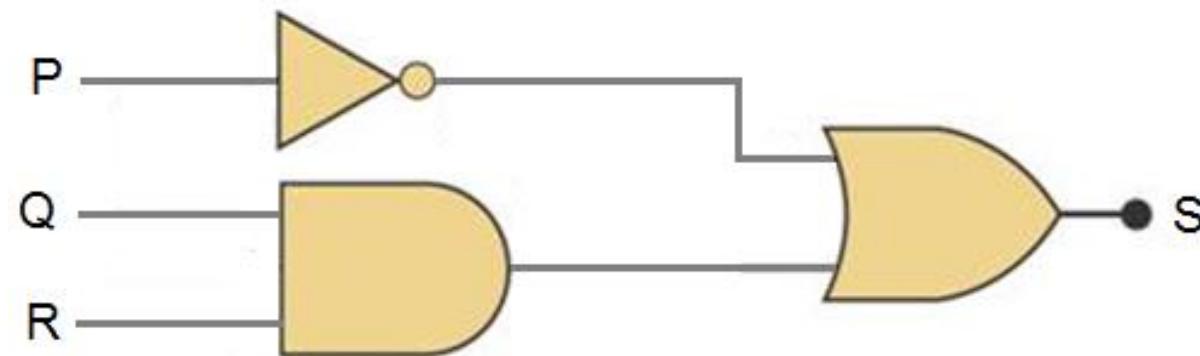
$$S = \bar{P} + Q \cdot R$$

P	Q	R	S
0	0	0	1
0	0	1	1
0	1	0	1
0	1	1	1
1	0	0	0
1	0	1	0
1	1	0	0
1	1	1	1

4.3 Projetando circuitos lógicos combinacionais

Exercício 3: O Sinal “S” é gerado para interromper a operação da máquina e gerar um sinal luminoso sempre que uma das condições ocorrerem:

$$S = \overline{P} + Q \cdot R$$



P	Q	R	S
0	0	0	1
0	0	1	1
0	1	0	1
0	1	1	1
1	0	0	0
1	0	1	0
1	1	0	0
1	1	1	1

4.3 Projetando circuitos lógicos combinacionais

Exercício 4: Considere a transmissão de uma palavra de 4 bits, projete um circuito que gere o bit de paridade par para ser anexado à informação a ser enviada.

4.3 Projetando circuitos lógicos combinacionais

Exercício 4: Considere a transmissão de uma palavra de 4 bits, projete um circuito que gere o bit de paridade par para ser anexado à informação a ser enviada.

A	B	C	D	S
0	0	0	0	0
0	0	0	1	1
0	0	1	0	1
0	0	1	1	0
0	1	0	0	1
0	1	0	1	0
0	1	1	0	0
0	1	1	1	1
1	0	0	0	1
1	0	0	1	0
1	0	1	0	0
1	0	1	1	1
1	1	0	0	0
1	1	0	1	1
1	1	1	0	1
1	1	1	1	0

4.3 Projetando circuitos lógicos combinacionais

A	B	C	D	S	
0	0	0	0	0	
0	0	0	1	1	$\bar{A} \cdot \bar{B} \cdot \bar{C} \cdot D$
0	0	1	0	1	$\bar{A} \cdot \bar{B} \cdot C \cdot \bar{D}$
0	0	1	1	0	
0	1	0	0	1	$\bar{A} \cdot B \cdot \bar{C} \cdot \bar{D}$
0	1	0	1	0	
0	1	1	0	0	
0	1	1	1	1	$\bar{A} \cdot B \cdot C \cdot D$
1	0	0	0	1	$A \cdot \bar{B} \cdot \bar{C} \cdot \bar{D}$
1	0	0	1	0	
1	0	1	0	0	
1	0	1	1	1	$A \cdot \bar{B} \cdot C \cdot D$
1	1	0	0	0	
1	1	0	1	1	$A \cdot B \cdot \bar{C} \cdot D$
1	1	1	0	1	$A \cdot B \cdot C \cdot \bar{D}$
1	1	1	1	0	

4.3 Projetando circuitos lógicos combinacionais

$$\text{bit de paridade} = \boxed{\overline{A} \cdot \overline{B} \cdot \overline{C} \cdot D} + \boxed{\overline{A} \cdot \overline{B} \cdot C \cdot \overline{D}} + \boxed{\overline{A} \cdot B \cdot \overline{C} \cdot \overline{D}} +$$
$$\boxed{\overline{A} \cdot B \cdot C \cdot D} + \boxed{A \cdot \overline{B} \cdot \overline{C} \cdot \overline{D}} + \boxed{A \cdot \overline{B} \cdot C \cdot D} +$$
$$\boxed{A \cdot B \cdot \overline{C} \cdot D} + \boxed{A \cdot B \cdot C \cdot \overline{D}}$$

4.3 Projetando circuitos lógicos combinacionais

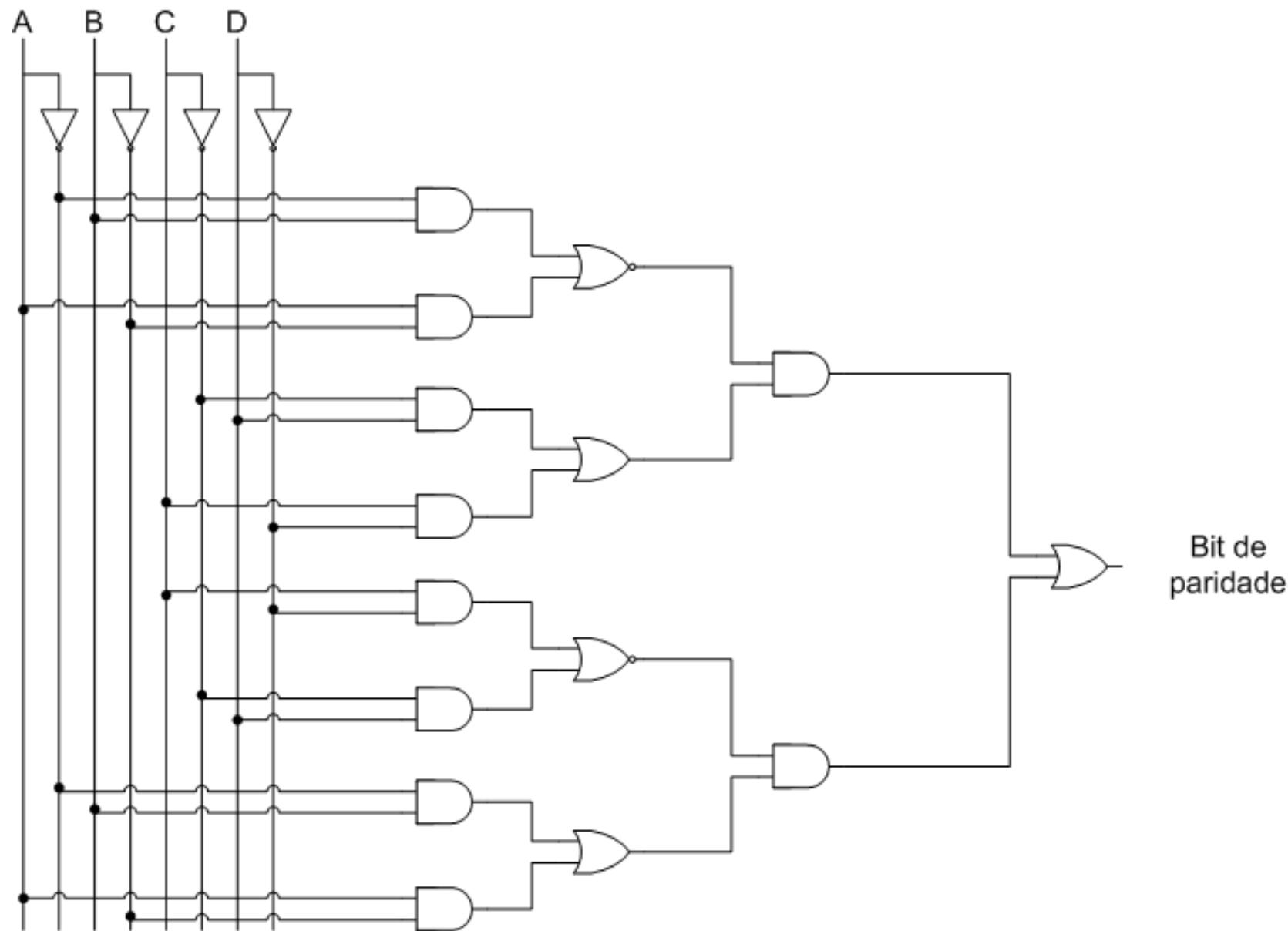
$$\text{bit de paridade} = \boxed{\overline{A} \cdot \overline{B} \cdot (\overline{C} \cdot D + C \cdot \overline{D})} + \boxed{\overline{A} \cdot B \cdot (\overline{C} \cdot \overline{D} + C \cdot D)} + \\ \boxed{A \cdot \overline{B} \cdot (\overline{C} \cdot \overline{D} + C \cdot D)} + \boxed{A \cdot B \cdot (\overline{C} \cdot D + C \cdot \overline{D})}$$

4.3 Projetando circuitos lógicos combinacionais

$$\text{bit de paridade} = (A \cdot B + \bar{A} \cdot \bar{B}) \cdot (\bar{C} \cdot D + C \cdot \bar{D}) + \\ (A \cdot \bar{B} + \bar{A} \cdot B) \cdot (\bar{C} \cdot \bar{D} + C \cdot D)$$

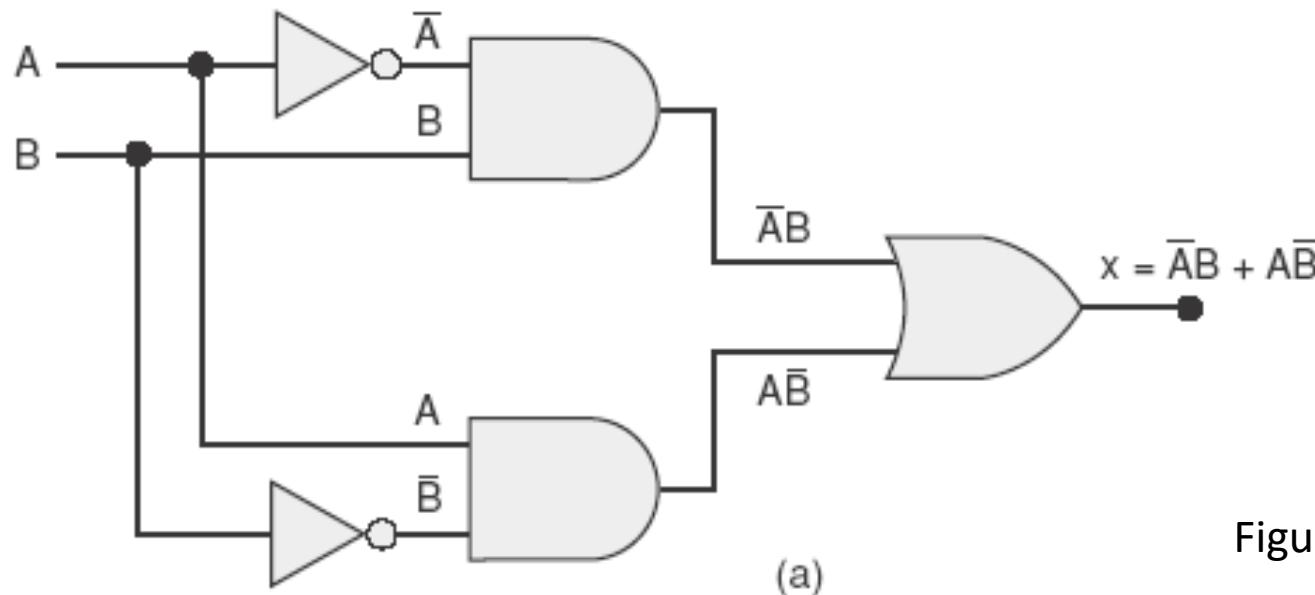
4.3 Projetando circuitos lógicos combinacionais

$$\text{bit de paridade} = \left(\overline{A \cdot \overline{B}} + \overline{\overline{A} \cdot B} \right) \cdot \left(\overline{C} \cdot D + C \cdot \overline{D} \right) + \\ \left(A \cdot \overline{B} + \overline{A} \cdot B \right) \cdot \left(\overline{\overline{C} \cdot D} + \overline{C \cdot \overline{D}} \right)$$



4.4 Circuitos Exclusive-OR e Exclusive-NOR

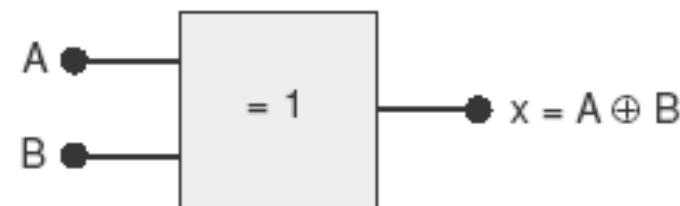
Considere o circuito da figura 4.4.1



A	B	x
0	0	0
0	1	1
1	0	1
1	1	0

Figura 4.4.1

Símbolos para a porta XOR



4.4 Circuitos Exclusive-OR e Exclusive-NOR

Considere o circuito da figura 4.4.2

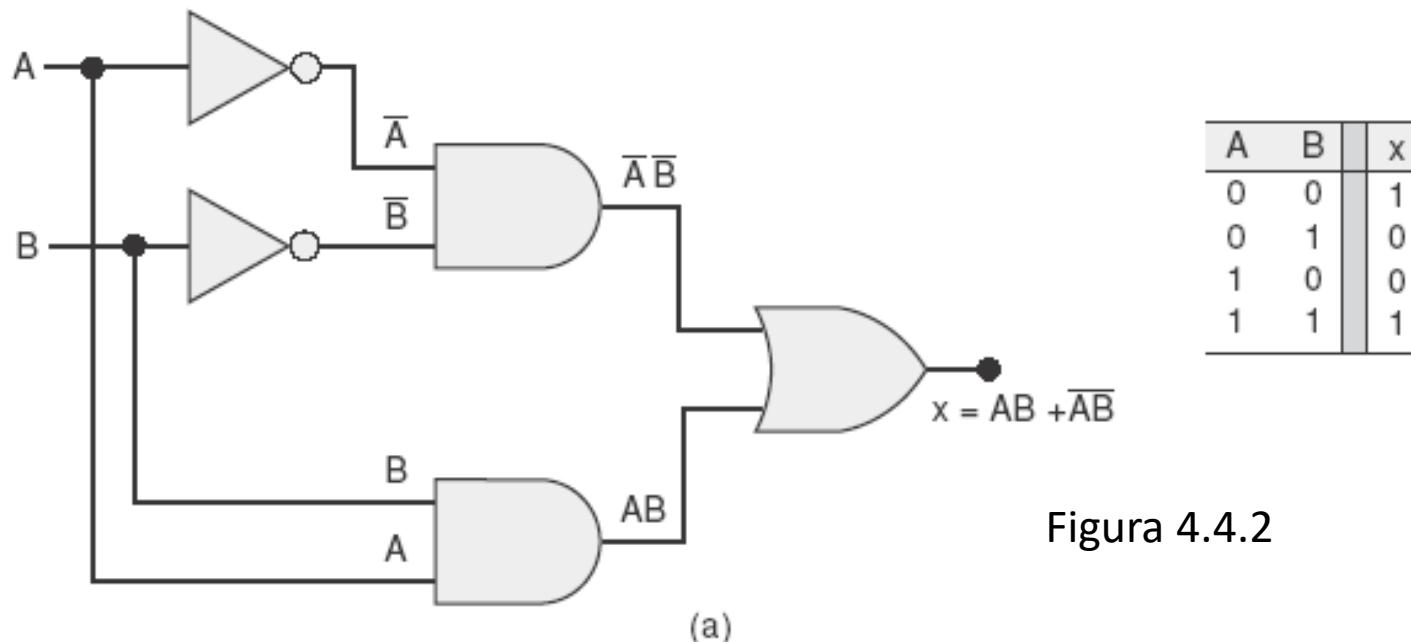
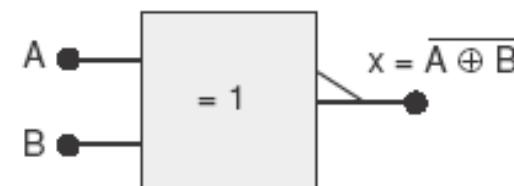
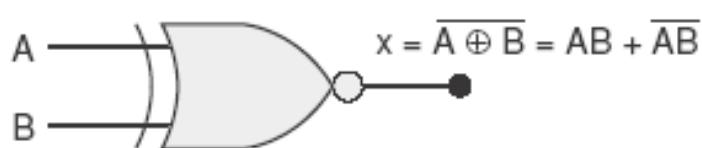


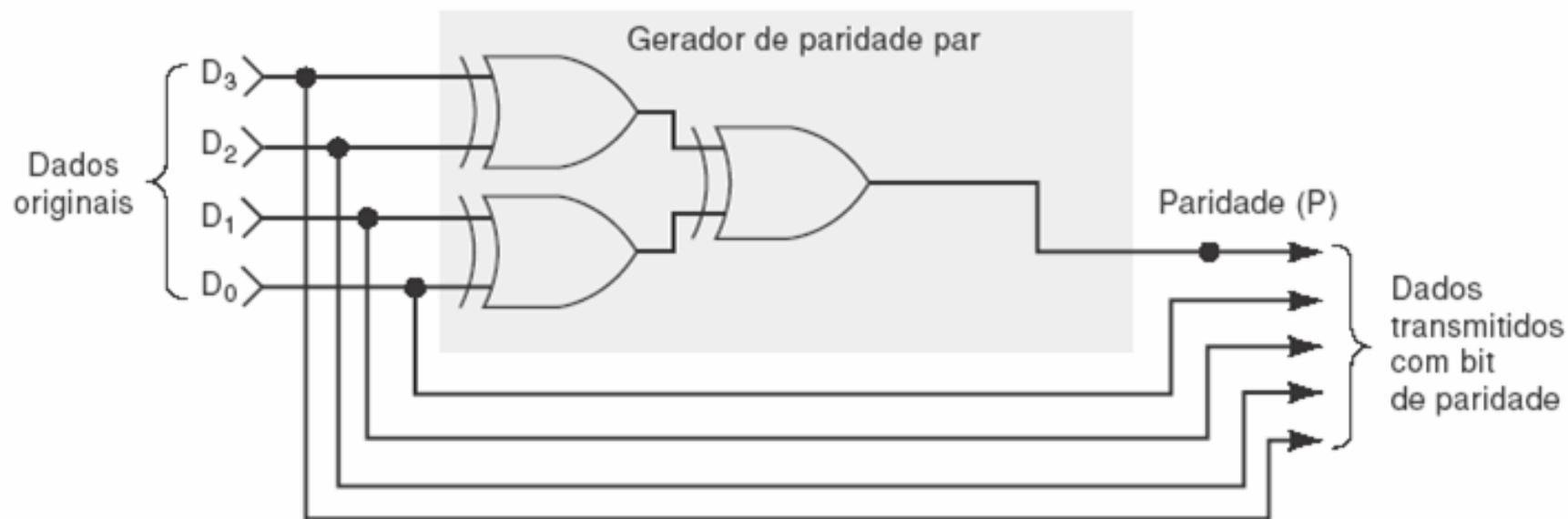
Figura 4.4.2

Símbolos para a porta XNOR



4.4 Circuitos Exclusive-OR e Exclusive-NOR

Gerador de bit de paridade par usando portas XOR



4.4 Circuitos Exclusive-OR e Exclusive-NOR

Exemplo: Projete um circuito em que a saída seja nível lógico alto no caso de igualdade entre dois números binários de 3 bits.

Número X			Número Y			S
X_2	X_1	X_0	Y_2	Y_1	Y_0	
0	0	0	0	0	0	1
0	0	1	0	0	1	1
0	1	0	0	1	0	1
0	1	1	0	1	1	1
1	0	0	1	0	0	1
1	0	1	1	0	1	1
1	1	0	1	1	0	1
1	1	1	1	1	1	1

4.4 Circuitos Exclusive-OR e Exclusive-NOR

Exemplo: Projete um circuito em que a saída seja nível lógico alto no caso de igualdade entre dois números binários de 3 bits.

$$S = \boxed{\overline{X}_2 \cdot \overline{X}_1 \cdot \overline{X}_0 \cdot \overline{Y}_2 \cdot \overline{Y}_1 \cdot \overline{Y}_0} + \boxed{\overline{X}_2 \cdot \overline{X}_1 \cdot X_0 \cdot \overline{Y}_2 \cdot \overline{Y}_1 \cdot Y_0} + \\ \boxed{\overline{X}_2 \cdot X_1 \cdot \overline{X}_0 \cdot \overline{Y}_2 \cdot Y_1 \cdot \overline{Y}_0} + \boxed{\overline{X}_2 \cdot X_1 \cdot X_0 \cdot \overline{Y}_2 \cdot Y_1 \cdot Y_0} + \\ \boxed{X_2 \cdot \overline{X}_1 \cdot \overline{X}_0 \cdot Y_2 \cdot \overline{Y}_1 \cdot \overline{Y}_0} + \boxed{X_2 \cdot \overline{X}_1 \cdot X_0 \cdot Y_2 \cdot \overline{Y}_1 \cdot Y_0} + \\ \boxed{X_2 \cdot X_1 \cdot \overline{X}_0 \cdot Y_2 \cdot Y_1 \cdot \overline{Y}_0} + \boxed{X_2 \cdot X_1 \cdot X_0 \cdot Y_2 \cdot Y_1 \cdot Y_0}$$

4.4 Circuitos Exclusive-OR e Exclusive-NOR

Exemplo: Projete um circuito em que a saída seja nível lógico alto no caso de igualdade entre dois números binários de 3 bits.

$$\begin{aligned} S = & \overline{X_2} \cdot \overline{X_1} \cdot \overline{Y_2} \cdot \overline{Y_1} \cdot (\overline{X_0} \cdot \overline{Y_0} + X_0 \cdot Y_0) + \\ & \overline{X_2} \cdot X_1 \cdot \overline{Y_2} \cdot Y_1 \cdot (\overline{X_0} \cdot \overline{Y_0} + X_0 \cdot Y_0) + \\ & X_2 \cdot \overline{X_1} \cdot \overline{Y_2} \cdot \overline{Y_1} \cdot (\overline{X_0} \cdot \overline{Y_0} + X_0 \cdot Y_0) + \\ & X_2 \cdot X_1 \cdot Y_2 \cdot \overline{Y_1} \cdot (\overline{X_0} \cdot \overline{Y_0} + X_0 \cdot Y_0) \end{aligned}$$

4.4 Circuitos Exclusive-OR e Exclusive-NOR

Exemplo: Projete um circuito em que a saída seja nível lógico alto no caso de igualdade entre dois números binários de 3 bits.

$$\begin{aligned} S = & \overline{X_2} \cdot \overline{Y_2} \cdot (\overline{X_1} \cdot \overline{Y_1} + X_1 \cdot Y_1) \cdot (\overline{X_0} \cdot \overline{Y_0} + X_0 \cdot Y_0) + \\ & X_2 \cdot Y_2 \cdot (\overline{X_1} \cdot \overline{Y_1} + X_1 \cdot Y_1) \cdot (\overline{X_0} \cdot \overline{Y_0} + X_0 \cdot Y_0) \end{aligned}$$

4.4 Circuitos Exclusive-OR e Exclusive-NOR

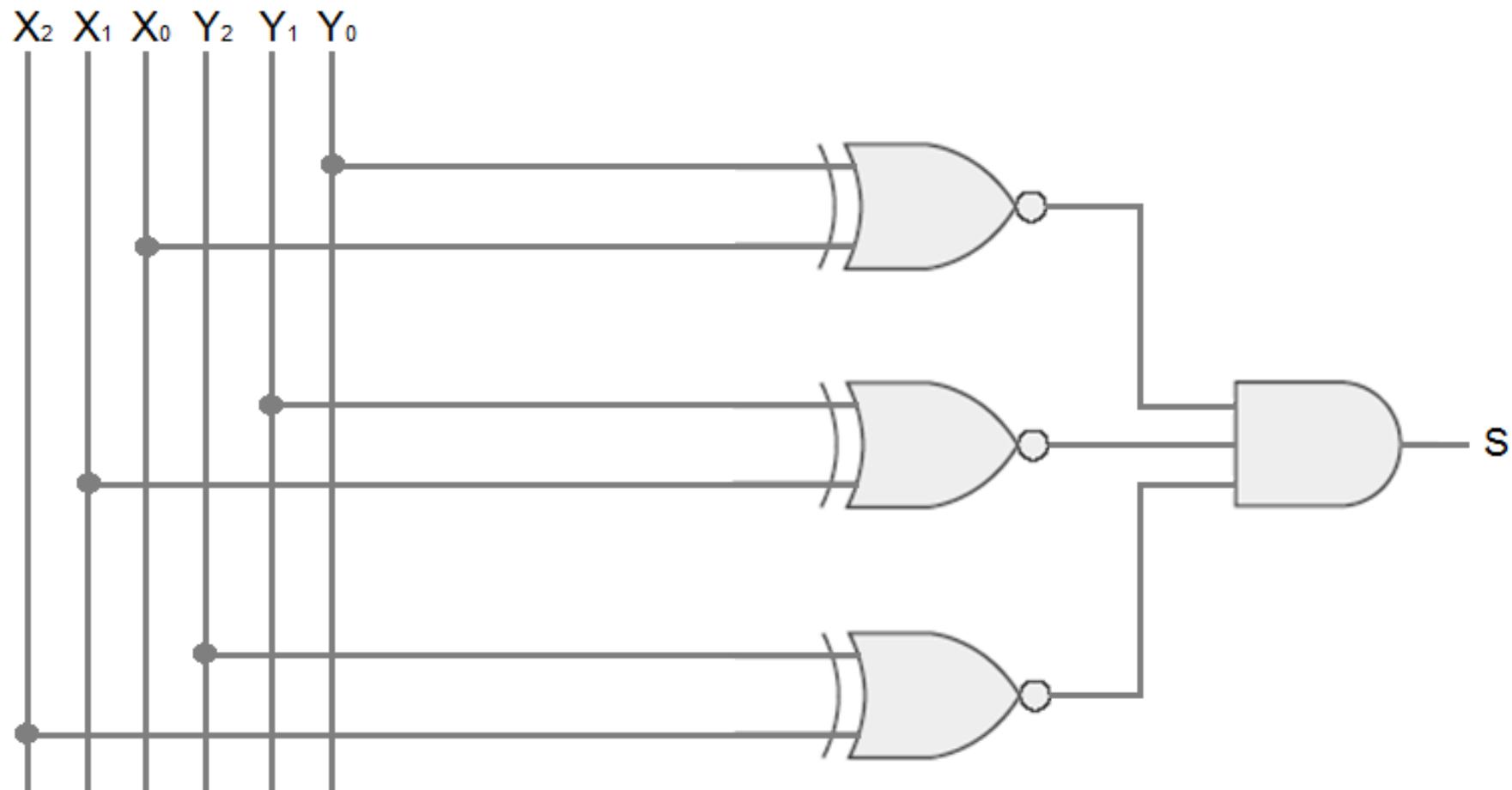
Exemplo: Projete um circuito em que a saída seja nível lógico alto no caso de igualdade entre dois números binários de 3 bits.

$$S = \overline{X_2} \cdot \overline{Y_2} \cdot (\overline{X_1} \cdot \overline{Y_1} + X_1 \cdot Y_1) \cdot (\overline{X_0} \cdot \overline{Y_0} + X_0 \cdot Y_0) + \\ X_2 \cdot Y_2 \cdot (\overline{X_1} \cdot \overline{Y_1} + X_1 \cdot Y_1) \cdot (\overline{X_0} \cdot \overline{Y_0} + X_0 \cdot Y_0)$$

$$S = (\overline{X_2} \cdot \overline{Y_2} + X_2 \cdot Y_2) \cdot (\overline{X_1} \cdot \overline{Y_1} + X_1 \cdot Y_1) \cdot (\overline{X_0} \cdot \overline{Y_0} + X_0 \cdot Y_0)$$

4.4 Circuitos Exclusive-OR e Exclusive-NOR

$$S = (\overline{X_2} \cdot \overline{Y_2} + X_2 \cdot Y_2) \cdot (\overline{X_1} \cdot \overline{Y_1} + X_1 \cdot Y_1) \cdot (\overline{X_0} \cdot \overline{Y_0} + X_0 \cdot Y_0)$$



4.4 Circuitos Exclusive-OR e Exclusive-NOR

Exercício: Projete um circuito em que a saída seja nível lógico alto no caso de igualdade entre dois números binários de 2 bits.

4.5 Método do Mapa de Karnaugh

O Mapa “K”

Edward Veitch (1952):

“A Chart Method for Simplifying Truth Functions”

Maurice Karnaugh:

“The Map Method for Synthesis of Combinational Logic Circuits”

4.5 Método do Mapa de Karnaugh

O Mapa “K”

Método gráfico

Facilidade na simplificação

Velocidade

4.5 Método do Mapa de Karnaugh

O Mapa “K”

a.) Duas variáveis

A	B	X
0	0	1 → $\bar{A}\bar{B}$
0	1	0
1	0	0
1	1	1 → AB

$$\left\{ X = \bar{A}\bar{B} + AB \right\}$$

	\bar{B}	B
\bar{A}	1	0
A	0	1

- a) Quartetos; (trivial)
- b) Pares; (Não pode ser diagonal!)
- c) Elementos simples.

4.5 Método do Mapa de Karnaugh

O Mapa “K”

b.) Três variáveis

A	B	C	X
0	0	0	1 → $\bar{A}\bar{B}\bar{C}$
0	0	1	1 → $\bar{A}\bar{B}C$
0	1	0	1 → $\bar{A}B\bar{C}$
0	1	1	0
1	0	0	0
1	0	1	0
1	1	0	1 → $AB\bar{C}$
1	1	1	0

$$\left. \begin{array}{l} X = \bar{A}\bar{B}\bar{C} + \bar{A}\bar{B}C \\ \quad + \bar{A}B\bar{C} + AB\bar{C} \end{array} \right\}$$

- a) Octetos; (trivial)
- b) Quartetos;
- c) Pares;
- d) Elementos simples.

(b)

\bar{C}	C
$\bar{A}\bar{B}$	1
$\bar{A}B$	1
AB	1
$A\bar{B}$	0

4.5 Método do Mapa de Karnaugh

O Mapa “K”

c.) Quatro variáveis

	$\bar{C}\bar{D}$	$\bar{C}D$	$C\bar{D}$	$C \cdot \bar{D}$
$\bar{A}\bar{B}$	0	1	0	0
$\bar{A}B$	0	1	0	0
$A\bar{B}$	0	1	1	0
$A\bar{B}$	0	0	0	0

A	B	C	D	X
0	0	0	0	0
0	0	0	1	1 → $\bar{A}\bar{B}\bar{C}\bar{D}$
0	0	1	0	0
0	0	1	1	0
0	1	0	0	0
0	1	0	1	1 → $\bar{A}B\bar{C}\bar{D}$
0	1	1	0	0
0	1	1	1	0
1	0	0	0	0
1	0	0	1	0
1	0	1	0	0
1	0	1	1	0
1	1	0	0	0
1	1	0	1	1 → $A\bar{B}\bar{C}D$
1	1	1	0	0
1	1	1	1	1 → $ABCD$

4.5 Método do Mapa de Karnaugh

O Mapa “K”

c.) Quatro variáveis

- a) Agrupamentos de 16; (trivial)
- b) Agrupamentos de octetos;
- c) Agrupamentos de quartetos;
- d) Agrupamentos de pares;
- e) Elementos simples.

	$\bar{C}\bar{D}$	$\bar{C}D$	$C\bar{D}$	$C \cdot D$
$\bar{A}\bar{B}$	0	1	0	0
$\bar{A}B$	0	1	0	0
$A\bar{B}$	0	1	1	0
AB	0	0	0	0

4.5 Método do Mapa de Karnaugh

Exemplos

1. Projete um circuito lógico cuja saída seja nível alto apenas quando a maioria das entradas A, B e C for nível alto.

4.5 Método do Mapa de Karnaugh

Exemplos

1. Projete um circuito lógico cuja saída seja nível alto apenas quando a maioria das entradas A, B e C for nível alto.

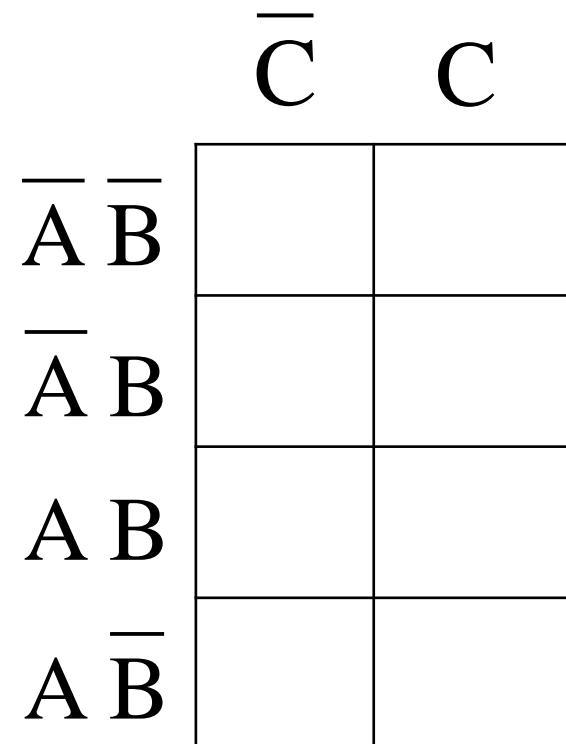
A	B	C	Saída
0	0	0	0
0	0	1	0
0	1	0	0
0	1	1	1
1	0	0	0
1	0	1	1
1	1	0	1
1	1	1	1

4.5 Método do Mapa de Karnaugh

Exemplos

1. Projete um circuito lógico cuja saída seja nível alto apenas quando a maioria das entradas A, B e C for nível alto.

A	B	C	Saída
0	0	0	0
0	0	1	0
0	1	0	0
0	1	1	1
1	0	0	0
1	0	1	1
1	1	0	1
1	1	1	1



4.5 Método do Mapa de Karnaugh

Exemplos

1. Projete um circuito lógico cuja saída seja nível alto apenas quando a maioria das entradas A, B e C for nível alto.

A	B	C	Saída
0	0	0	0
0	0	1	0
0	1	0	0
0	1	1	1
1	0	0	0
1	0	1	1
1	1	0	1
1	1	1	1

\bar{C}	C
$\bar{A} \bar{B}$	0 0
$\bar{A} B$	0 1
$A \bar{B}$	1 1
$A B$	0 1

4.5 Método do Mapa de Karnaugh

Exemplos

1. Projete um circuito lógico cuja saída seja nível alto apenas quando a maioria das entradas A, B e C for nível alto.

A	B	C	Saída
0	0	0	0
0	0	1	0
0	1	0	0
0	1	1	1
1	0	0	0
1	0	1	1
1	1	0	1
1	1	1	1

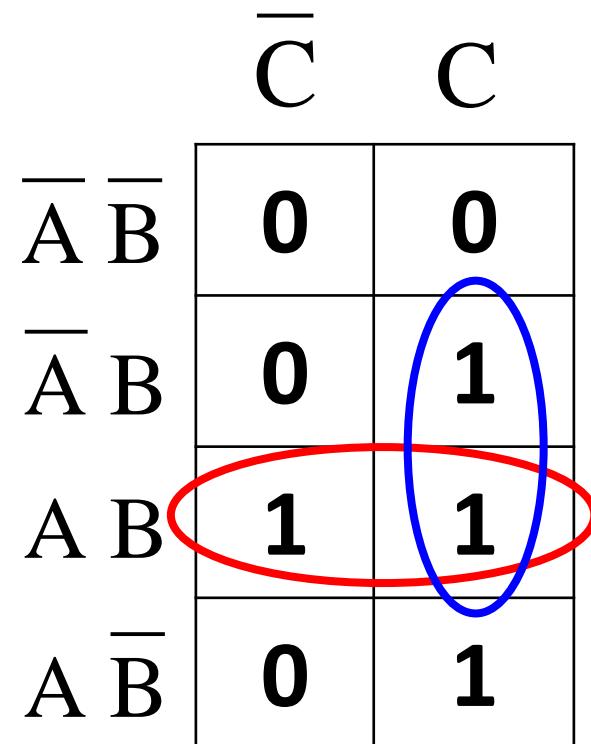
\bar{C}	C
$\bar{A} \bar{B}$	0 0
$\bar{A} B$	0 1
A \bar{B}	1 1
A B	1 1
A \bar{B}	0 1

4.5 Método do Mapa de Karnaugh

Exemplos

1. Projete um circuito lógico cuja saída seja nível alto apenas quando a maioria das entradas A, B e C for nível alto.

A	B	C	Saída
0	0	0	0
0	0	1	0
0	1	0	0
0	1	1	1
1	0	0	0
1	0	1	1
1	1	0	1
1	1	1	1

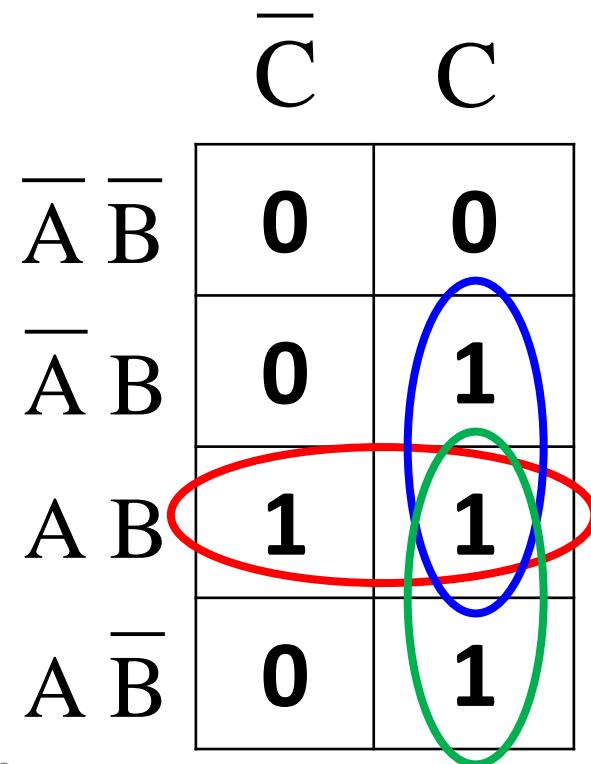


4.5 Método do Mapa de Karnaugh

Exemplos

1. Projete um circuito lógico cuja saída seja nível alto apenas quando a maioria das entradas A, B e C for nível alto.

A	B	C	Saída
0	0	0	0
0	0	1	0
0	1	0	0
0	1	1	1
1	0	0	0
1	0	1	1
1	1	0	1
1	1	1	1



4.5 Método do Mapa de Karnaugh

Exemplos

1. Projete um circuito lógico cuja saída seja nível alto apenas quando a maioria das entradas A, B e C for nível alto.

Saída =

		\bar{C}	C
\bar{A}	\bar{B}	0	0
\bar{A}	B	0	1
A	B	1	1
A	\bar{B}	0	1

4.5 Método do Mapa de Karnaugh

Exemplos

1. Projete um circuito lógico cuja saída seja nível alto apenas quando a maioria das entradas A, B e C for nível alto.

$$\text{Saída} = A \cdot B$$

		\bar{C}	C
\bar{A}	\bar{B}	0	0
\bar{A}	B	0	1
A	B	1	1
A	\bar{B}	0	1

4.5 Método do Mapa de Karnaugh

Exemplos

1. Projete um circuito lógico cuja saída seja nível alto apenas quando a maioria das entradas A, B e C for nível alto.

$$\text{Saída} = A \cdot B + B \cdot C$$

		\bar{C}	C
\bar{A}	\bar{B}	0	0
\bar{A}	B	0	1
A	\bar{B}	1	1
A	B	1	1
A	\bar{B}	0	1

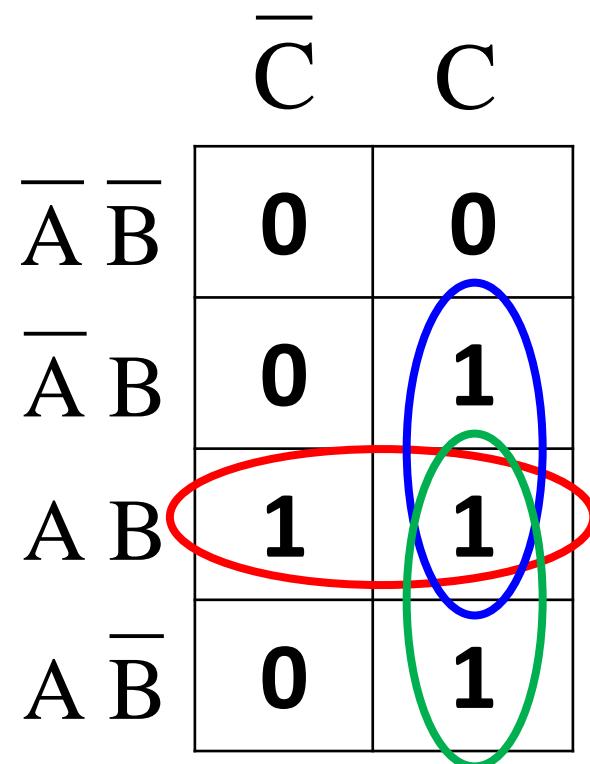
4.5 Método do Mapa de Karnaugh

Exemplos

1. Projete um circuito lógico cuja saída seja nível alto apenas quando a maioria das entradas A, B e C for nível alto.

$$\text{Saída} = A \cdot B + B \cdot C + A \cdot C$$

		\bar{C}	C
\bar{A}	\bar{B}	0	0
\bar{A}	B	0	1
A	\bar{B}	1	1
A	B	1	1
A	\bar{C}	0	1



4.5 Método do Mapa de Karnaugh

Exemplos

1. Um número de quatro bits é representado por ABCD onde D é o *LSB*. Projete um circuito lógico que gera um nível alto na saída sempre que o número binário for maior que 0010 e menor que 1000.

4.5 Método do Mapa de Karnaugh

Exemplos

1. Um número de quatro bits é representado por ABCD onde D é o *LSB*. Projete um circuito lógico que gera um nível alto na saída sempre que o número binário for maior que 0010 e menor que 1000.

A	B	C	D	Saída
0	0	0	0	0
0	0	0	1	0
0	0	1	0	0
0	0	1	1	1
0	1	0	0	1
0	1	0	1	1
0	1	1	0	1
0	1	1	1	1
1	0	0	0	0
1	0	0	1	0
1	0	1	0	0
1	0	1	1	0
1	1	0	0	0
1	1	0	1	0
1	1	1	0	0
1	1	1	1	0

4.5 Método do Mapa de Karnaugh

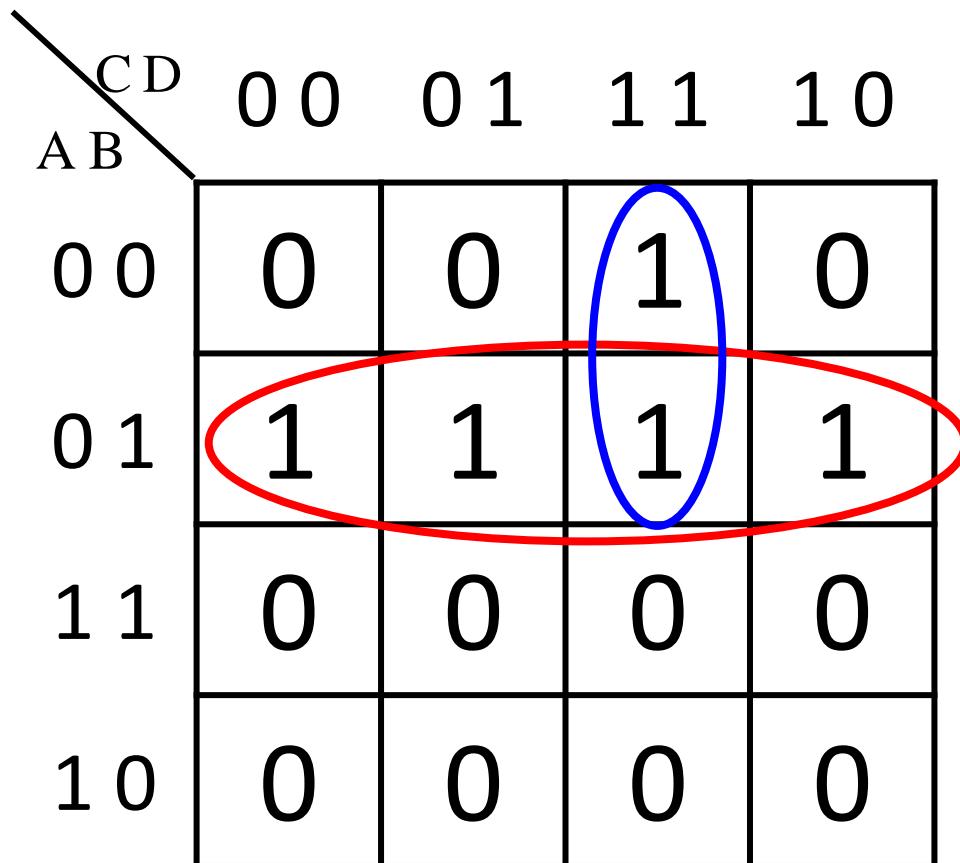
Exemplos

		CD	00	01	11	10
	A B					
00		0	0	1	0	
01		1	1	1	1	
11		0	0	0	0	
10		0	0	0	0	

A	B	C	D	Saída
0	0	0	0	0
0	0	0	1	0
0	0	1	0	0
0	0	1	1	1
0	1	0	0	1
0	1	0	1	1
0	1	1	0	1
0	1	1	1	1
1	0	0	0	0
1	0	0	1	0
1	0	1	0	0
1	0	1	1	0
1	1	0	0	0
1	1	0	1	0
1	1	1	0	0
1	1	1	1	0

4.5 Método do Mapa de Karnaugh

Exemplos



A	B	C	D	Saída
0	0	0	0	0
0	0	0	1	0
0	0	1	0	0
0	0	1	1	1
0	1	0	0	1
0	1	0	1	1
0	1	1	0	1
0	1	1	1	1
1	0	0	0	0
1	0	0	1	0
1	0	1	0	0
1	0	1	1	0
1	1	0	0	0
1	1	0	1	0
1	1	1	0	0
1	1	1	1	0

4.5 Método do Mapa de Karnaugh

Exemplos

		CD	00	01	11	10
		A B	00	01	11	10
A	B	00	0	0	1	0
		01	1	1	1	1
1	1	11	0	0	0	0
		10	0	0	0	0

$$\text{Saída} = \overline{A} \cdot B + \overline{A} \cdot C \cdot D$$

4.5 Método do Mapa de Karnaugh

Exercício

1. Projete o circuito lógico correspondente à tabela verdade

B	C	D	Saída
0	0	0	1
0	0	1	0
0	1	0	1
0	1	1	1
1	0	0	1
1	0	1	0
1	1	0	0
1	1	1	1

4.5 Método do Mapa de Karnaugh

Exercício

1. Projete o circuito lógico correspondente à tabela verdade

		\bar{C}	C
$\bar{A} \bar{B}$	1	0	
$\bar{A} B$	1	1	
A B	0	1	
A \bar{B}	1	0	

A	B	C	Saída
0	0	0	1
0	0	1	0
0	1	0	1
0	1	1	1
1	0	0	1
1	0	1	0
1	1	0	0
1	1	1	1

4.5 Método do Mapa de Karnaugh

Exercício

1. Projete o circuito lógico correspondente à tabela verdade

		\bar{C}	C
\bar{A}	\bar{B}	1	0
\bar{A}	B	1	1
A	B	0	1
A	\bar{B}	1	0

$$\text{Saída} = \bar{A} \cdot B + B \cdot C + \bar{B} \cdot \bar{C}$$

4.5 Método do Mapa de Karnaugh

Exercício

1. Projete o circuito lógico correspondente à tabela verdade

		\bar{C}	C
$\bar{A} \bar{B}$	1	0	
$\bar{A} B$	1	1	
A B	0		1
A \bar{B}	1	0	

$$\text{Saída} = \bar{A} \cdot B + B \cdot C + \bar{B} \cdot \bar{C}$$

$$\text{Saída} = \bar{A} \cdot B + \overline{B \oplus C}$$

4.5 Método do Mapa de Karnaugh

Exercício

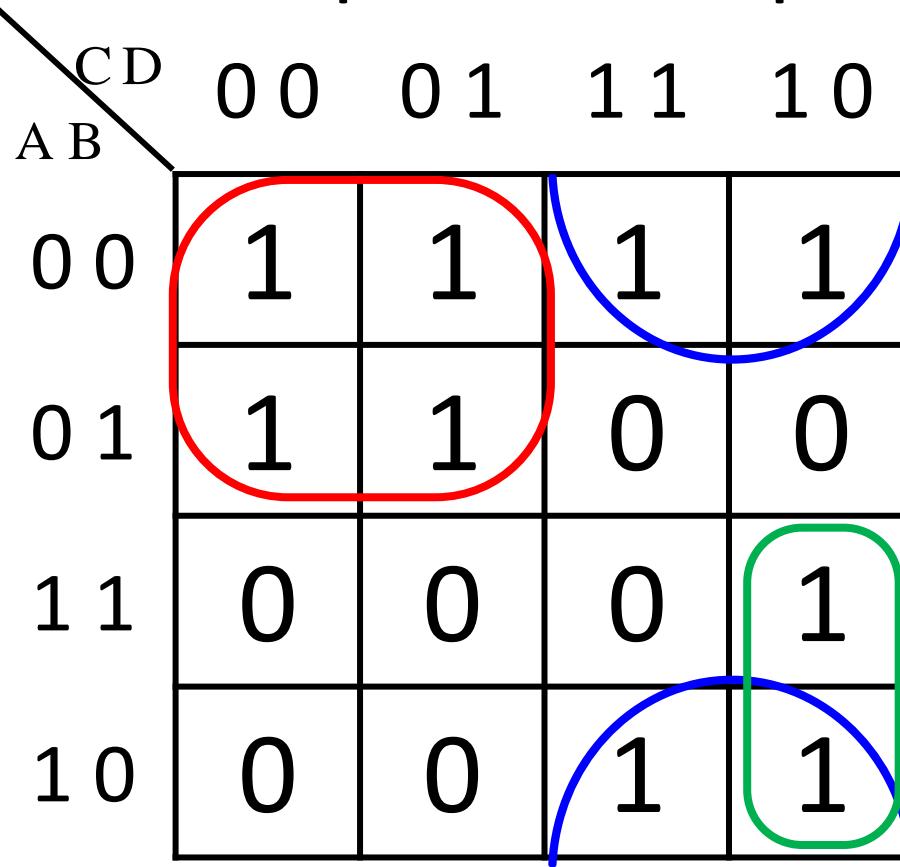
2. Determine a expressão mínima para o mapa K

		CD	00	01	11	10
		A B	00	01	11	10
A	B	00	1	1	1	1
		01	1	1	0	0
		11	0	0	0	1
		10	0	0	1	1

4.5 Método do Mapa de Karnaugh

Exercício

2. Determine a expressão mínima para o mapa K



$$S = \bar{A} \cdot \bar{C} + \bar{B} \cdot C + A \cdot C \cdot \bar{D}$$

4.5 Método do Mapa de Karnaugh

Exercício

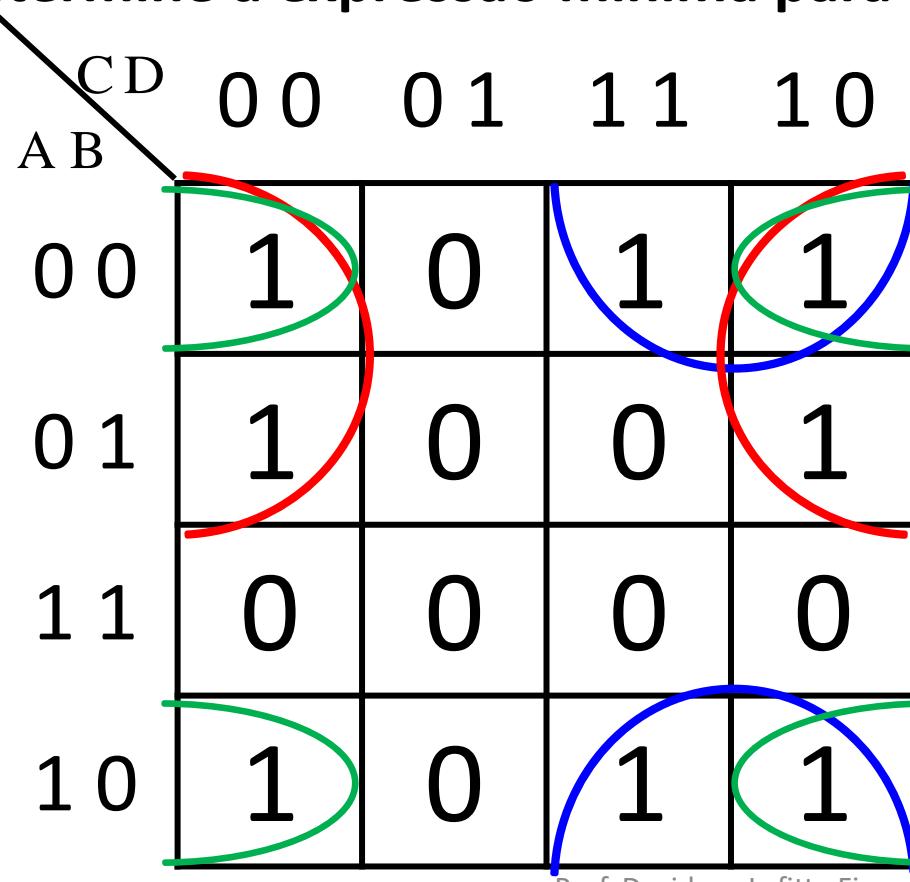
3. Determine a expressão mínima para o mapa K

		CD	00	01	11	10
		A B	00	01	11	10
A	B	00	1	0	1	1
		01	1	0	0	1
		11	0	0	0	0
		10	1	0	1	1

4.5 Método do Mapa de Karnaugh

Exercício

3. Determine a expressão mínima para o mapa K



$$S = \overline{A} \cdot \overline{D} + \overline{B} \cdot C + \overline{B} \cdot \overline{D}$$

4.5 Método do Mapa de Karnaugh

Exercício

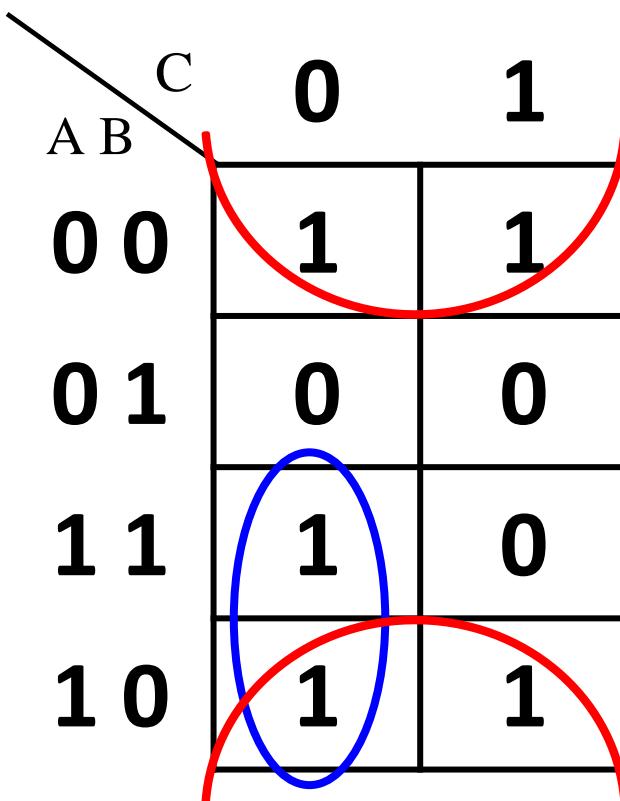
4. Determine a expressão mínima para o mapa K

		C	
		0	1
		A	B
0	0	1	1
0	1	0	0
1	1	1	0
1	0	1	1

4.5 Método do Mapa de Karnaugh

Exercício

4. Determine a expressão mínima para o mapa K



$$S = \overline{B} + A \cdot \overline{C}$$