
Tema 6. Análisis y diseño de circuitos secuenciales

Circuitos Electrónicos Digitales
E.T.S.I. Informática
Universidad de Sevilla

Contenidos

- Introducción
- Biestables
- Máquinas de estados finitos y circuitos secuenciales síncronos (CSS)
- Análisis de CSS
- Diseño de CSS

Introducción

- Muchos problemas prácticos no pueden resolverse sólo mediante definición de funciones de conmutación.
- Se necesita que la acción del sistema tenga en cuenta las entradas y el estado del sistema.
- Para almacenar un estado son necesarios nuevos elementos de circuito: elementos de memoria.
- En este tema
 - Elementos de memoria (biestables).
 - Concepto de estado y de circuito secuencial.
 - Técnicas de diseño y análisis de circuitos secuenciales.

Biestables

- Introducción
- Biestables
 - Introducción
 - Biestable SR asíncrono
 - Biestables síncronos. Señal de reloj
 - Otros biestables síncronos
 - Entradas asíncronas de los biestables
 - Consideraciones temporales
- Máquinas de estados finitos y circuitos secuenciales síncronos (CSS)
- Análisis de CSS
- Diseño de CSS

Biestables

- Los biestables son circuitos electrónicos que pueden asumir uno de dos estados estables que muestran en sus salidas
- Son el elemento básico de los dispositivos de memoria
- Poseen una o más entradas de control que hacen que conmute entre ambos estados estables
- Con n biestables se pueden “recordar” 2^n estados

Biestable SR. Representación formal

Símbolos

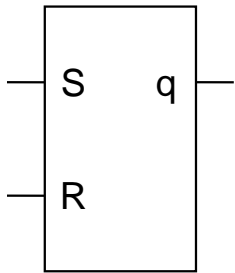


Tabla de estados

SR \ q	00	01	11	10
0	0	0	-	1
1	1	0	-	1

Q

Diagrama de estados

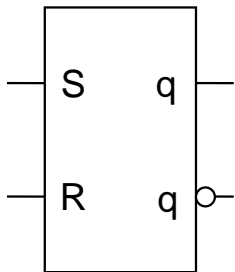
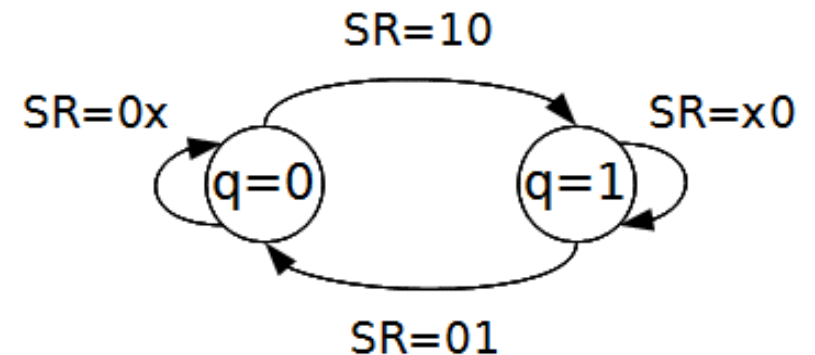


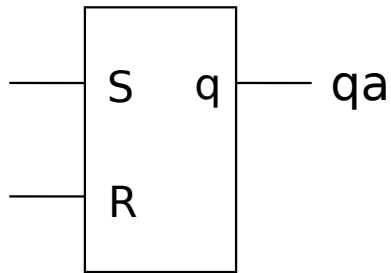
Tabla de excitación

q → Q	SR
0 → 0	0x
0 → 1	10
1 → 0	01
1 → 1	x0

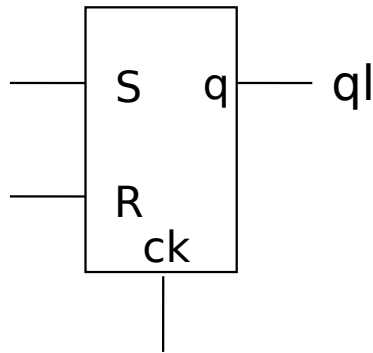
Biestables síncronos

- En circuitos reales con miles (o millones) de biestables es muy útil que todos cambien de estado a la vez: simplificación del proceso de diseño.
- Los cambios de estado se producen “sincronizados” con una “señal de reloj” (CK)
- Tipos de sincronización:
 - **Por nivel**: cuando CK tiene un valor determinado, alto (1) o bajo (0).
 - **Por flanco**: cuando CK cambia de 0 a 1 (flanco de subida) o de 1 a 0 (flanco de bajada).
- Flanco: más conveniente.
 - Determina de forma precisa el instante de cambio
 - Minimiza errores en los circuitos

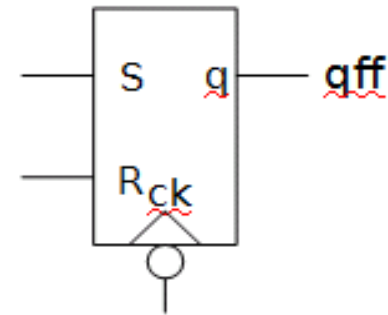
Biestables síncronos



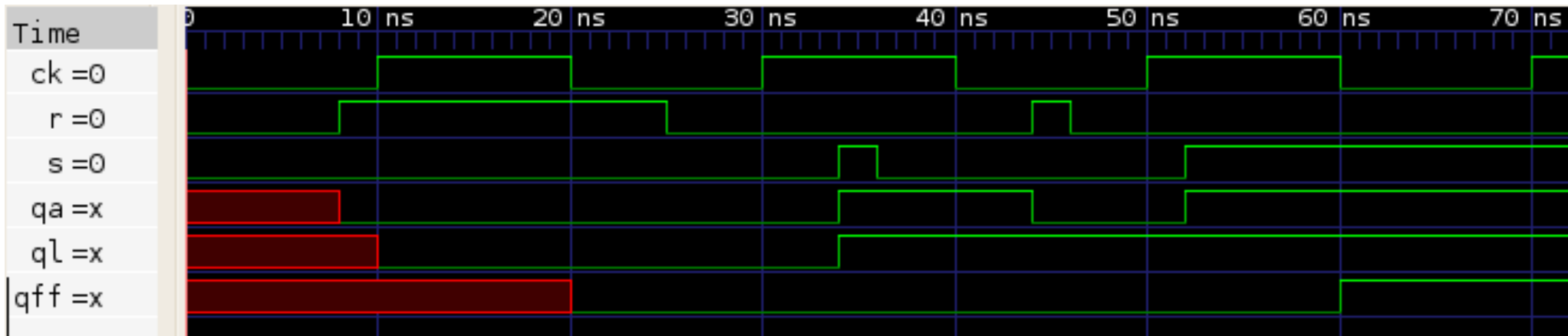
Asíncrono



Nivel alto



Flanco de bajada



Otros biestables síncronos

- SR
- JK
 - Similar a SR: $J \sim S$, $K \sim R$
 - Función de complemento para $J=K=1$
- D
 - Una única entrada que indica el próximo estado.
 - Fácil de usar e implementar.
- T
 - Una única entrada que permite complementar el estado.
 - Útil en aplicaciones especiales.

Biestable JK

Símbolos

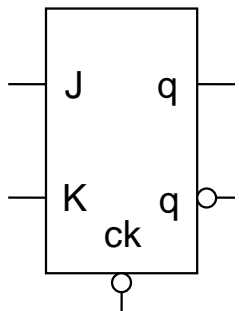
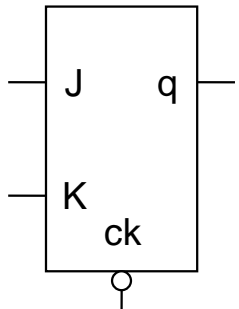


Tabla de estados

JK \ q	00	01	11	10
	0	0	1	1
1	1	0	0	1

Q

Diagrama de estados

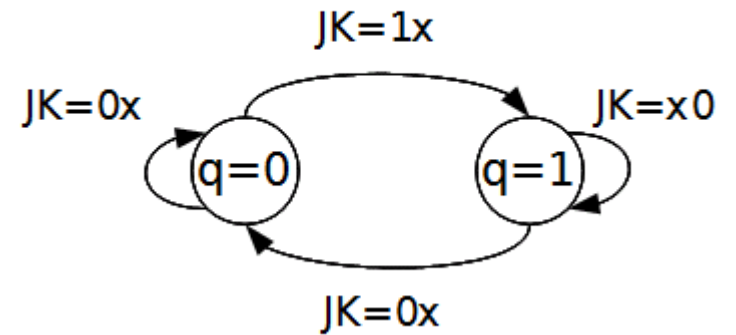


Tabla de excitación

q → Q	JK
0 → 0	0x
0 → 1	1x
1 → 0	x1
1 → 1	x0

Biestable D

Símbolos

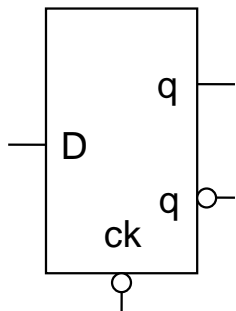
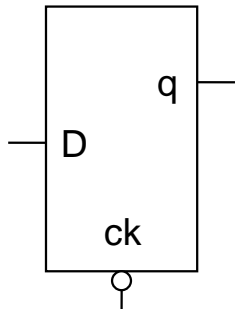


Tabla de estados

D \ q	0	1
0	0	1
1	0	1

Q

Diagrama de estados

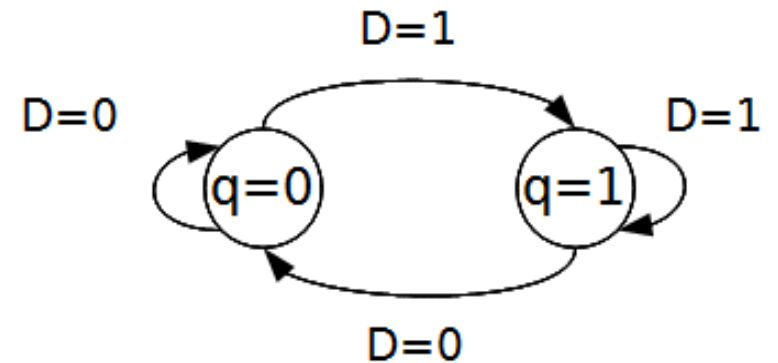


Tabla de excitación

q → Q	D
0 → 0	0
0 → 1	1
1 → 0	0
1 → 1	1

Biestable T

Símbolos

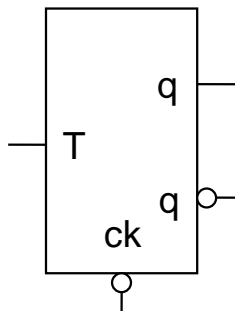
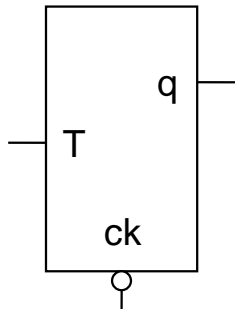


Tabla de estados

T \ q	0	1
0	0	1
1	1	0

Q

Diagrama de estados

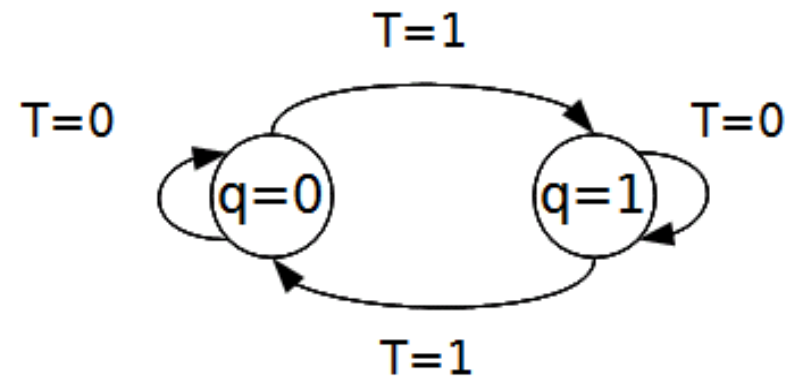
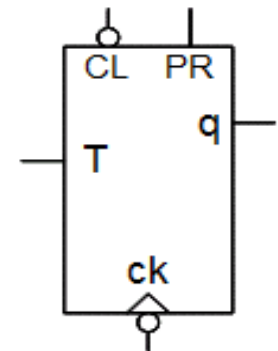
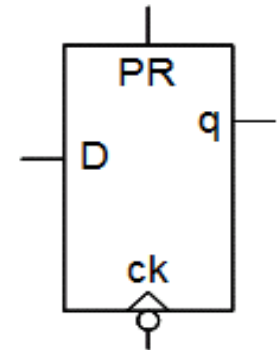
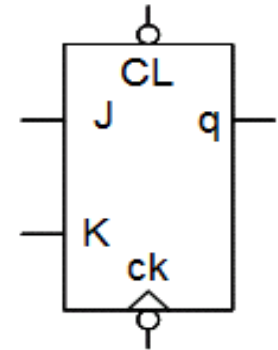


Tabla de excitación

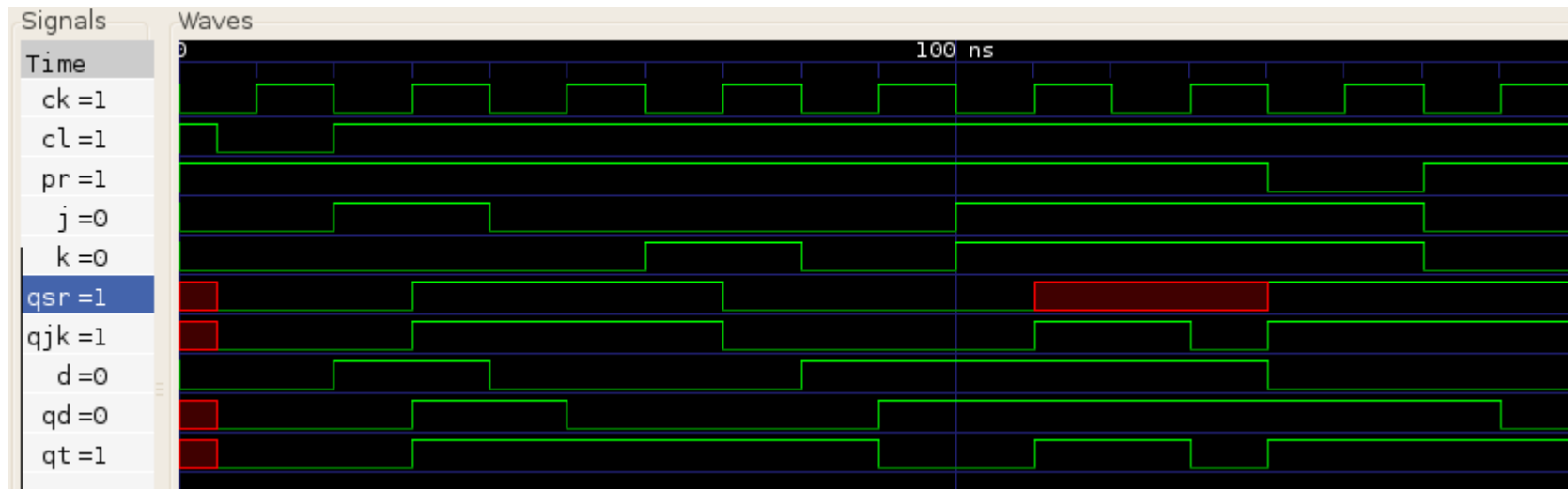
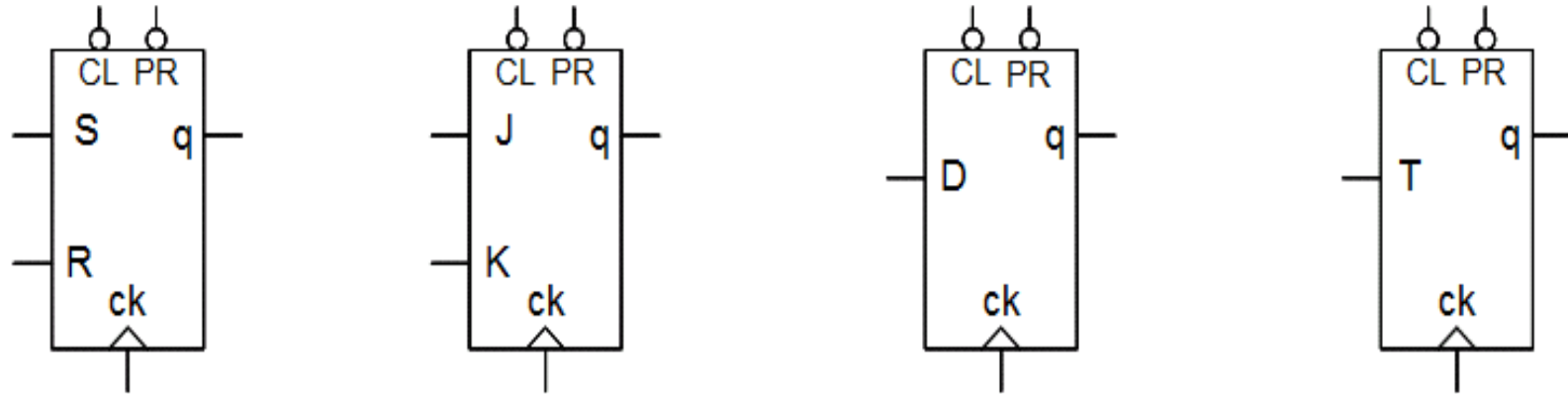
q → Q	T
0 → 0	0
0 → 1	1
1 → 0	1
1 → 1	0

Entradas asíncronas de los biestables

- Permiten cargar un estado determinado de forma sencilla
 - CL (clear): puesta a cero
 - PR (preset): puesta a uno
- Operan inmediatamente cuando se activan:
 - Activas en nivel bajo (0)
 - Activas en nivel alto (1)
- Las entradas asíncronas tienen prioridad sobre las síncronas (J, K, D, T, ...)
- Resuelven el problema de la iniciación en los circuitos digitales complejos
 - millones de biestables
 - necesidad de partir de un estado conocido



Entradas asíncronas de los biestables

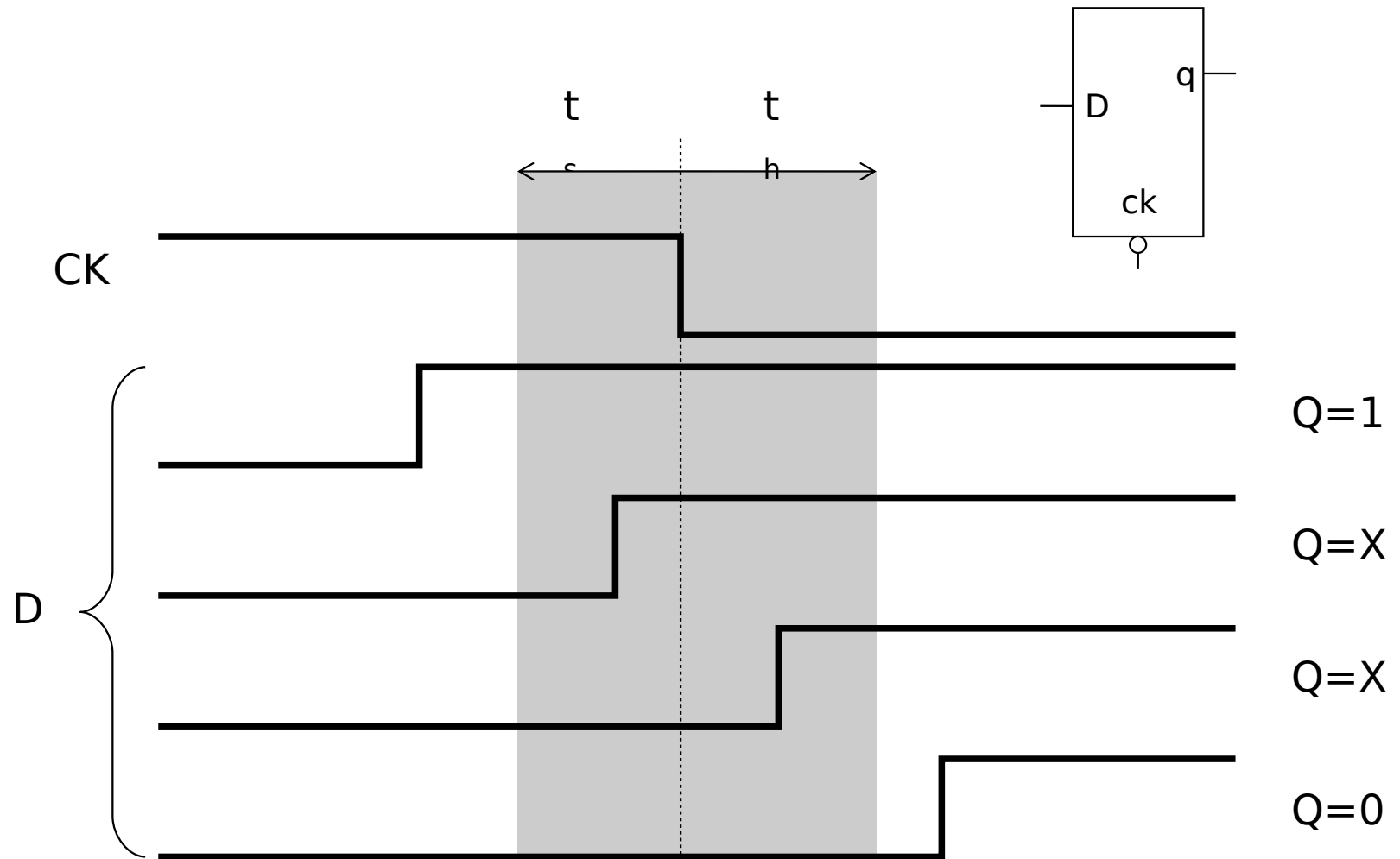


$S=J, R=K, T=D$

Consideraciones temporales

- Las entradas síncronas no deben cambiar en un entorno del flanco activo de la señal de reloj para evitar cambios de estado no predecibles.
- Tiempo de set-up (t_s)
 - Las entradas deben estar fijas desde un tiempo antes del flanco
- Tiempo de hold (t_h)
 - Las entradas deben permanecer fijas un tiempo después del flanco.

Consideraciones temporales



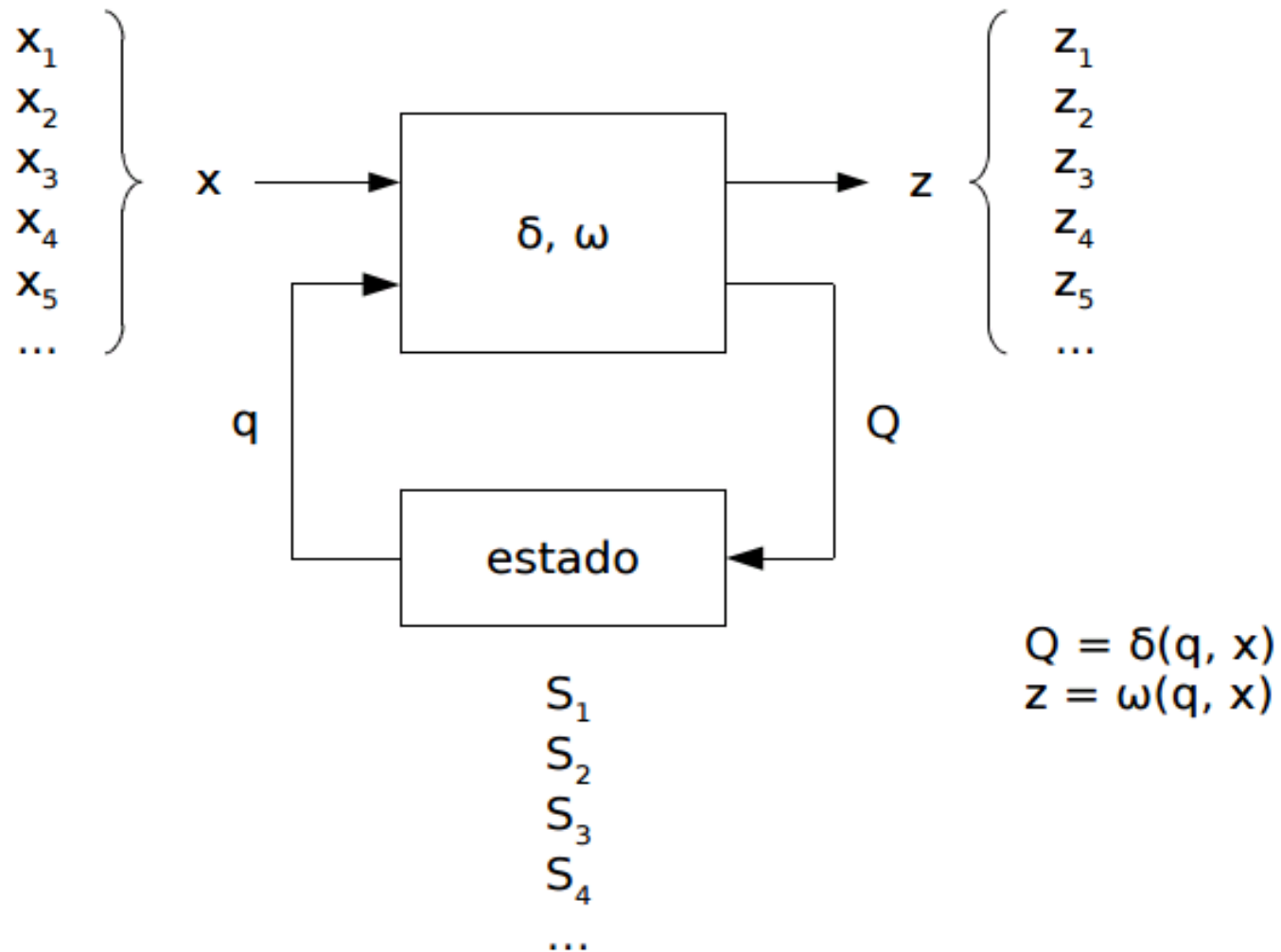
Máquinas de estados finitos y CSS

- Introducción
- Biestables
- Máquinas de estados finitos y circuitos secuenciales síncronos (CSS)
 - Concepto de máquina de estados
 - Circuitos secuenciales síncronos
 - Representaciones formales
 - Aplicaciones
- Análisis de CSS
- Diseño de CSS

Concepto de máquinas de estados

- "Máquina determinista de estados finitos"
- Componentes
 - Conjunto finito de estados ($q \in S$)
 - Conjunto de símbolos de entrada ($x \in \Sigma$)
 - Conjunto de símbolos de salida ($z \in \Gamma$)
 - Función de próximo estado (δ)
 - $Q = \delta(q, x)$
 - Función de salida (ω)
 - Modelo Mealy: $z = \omega(q, x)$
 - Modelo Moore: $z = \omega(q)$
- Operación
 - Por la entrada llegan símbolos en secuencia. Para cada símbolo de entrada la máquina genera un símbolo de salida.
 - Tras cada símbolo de entrada la máquina puede pasar a un nuevo estado.

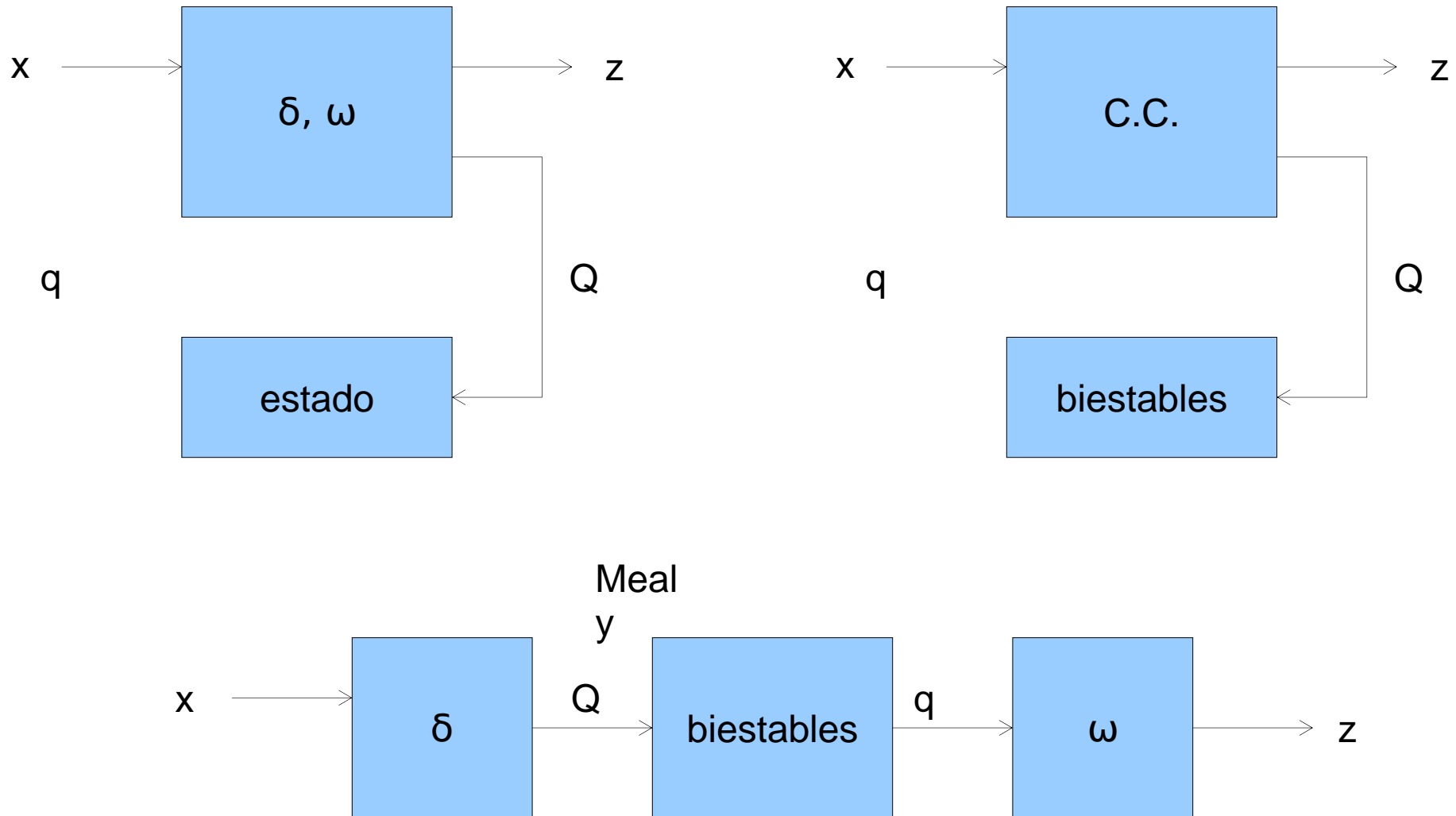
Concepto de máquinas de estados



Circuitos secuenciales síncronos

- Las máquinas de estados finitos son un buen instrumento para modelar circuitos digitales con memoria.
- Los circuitos digitales con memoria son una tecnología adecuada para implementar máquinas de estados finitos.
 - Entradas/salidas: señales digitales de 1 o más bits.
 - Estado: valor almacenado en los biestables
 - Función de próximo estado: funciones combinacionales que actúan sobre las entradas de los biestables
 - Función de salida: función combinacional
- Los circuitos secuenciales síncronos implementan máquinas de estados finitos empleando funciones combinacionales y biestables.
- El cambio de estado se controla mediante una señal de reloj. Ej: biestables disparados por flanco.

Circuitos secuenciales síncronos



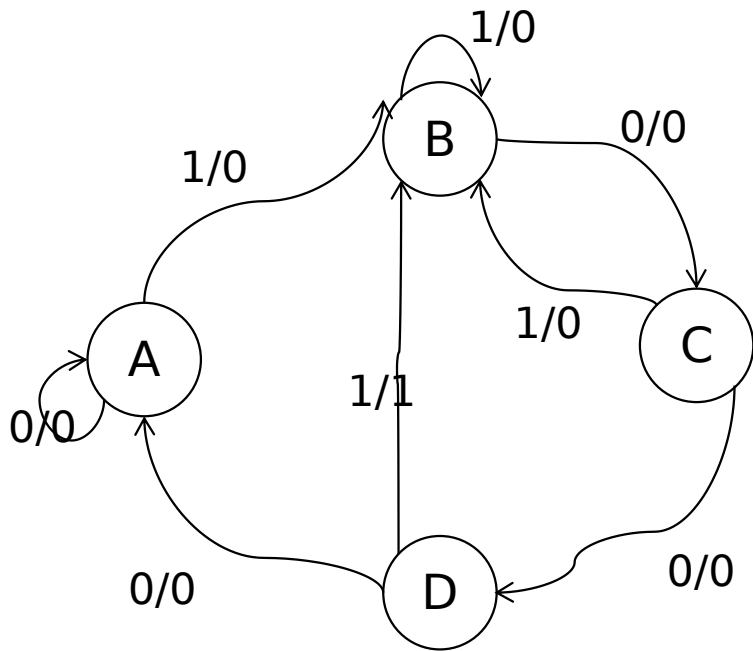
Representaciones formales

- Diagramas de estados
- Tabla de estados

Diagrama de estados. Mealy

- Nodos

- Representan los estados. Se nombran de forma más o menos indentificativa. Ej. {A, B, C, ...}, {S0, S1, S2, ...}, {espera, comienzo, recibiendo, ...}



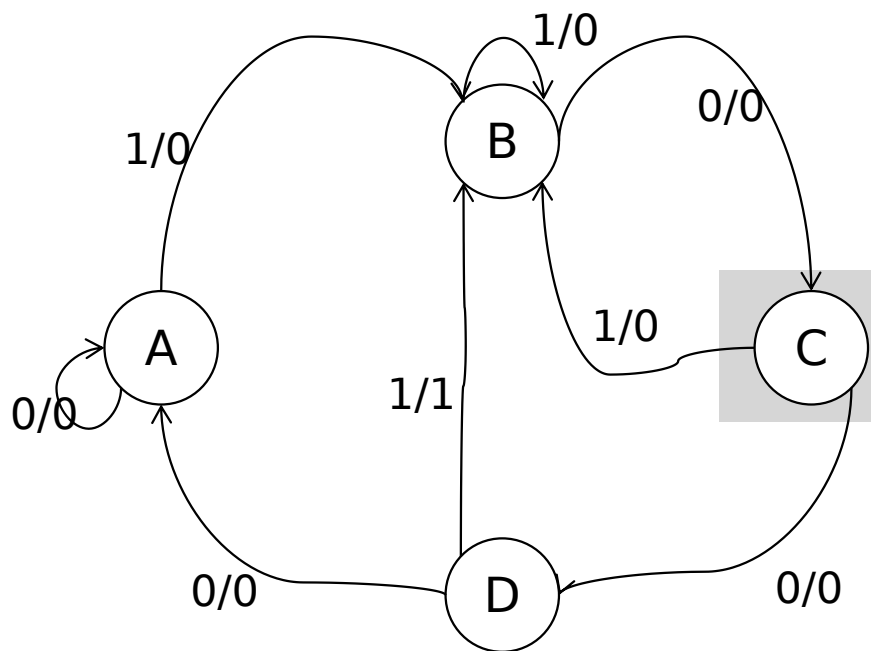
- Arcos

- Indican las posibles transiciones desde cada estado (S).
- Se nombran con x/z:
 - x: valor de entrada que provoca la transición desde el estado S.
 - z: valor de salida generado en el estado S cuando la entrada vale x.

Tabla de estados. Mealy

- Información equivalente al diagrama de estados en forma de tabla de doble entrada (filas y columnas)
 - Posibles estados en filas
 - Posibles valores de entradas en columnas
 - Próximo estado y salida en cada celda
- Cada nodo del diagrama y los arcos que salen de él se corresponden a una fila de la tabla de estados.
- Pasar del diagrama de estados a la tabla de estados y viceversa es inmediato.

Tabla de estados. Mealy

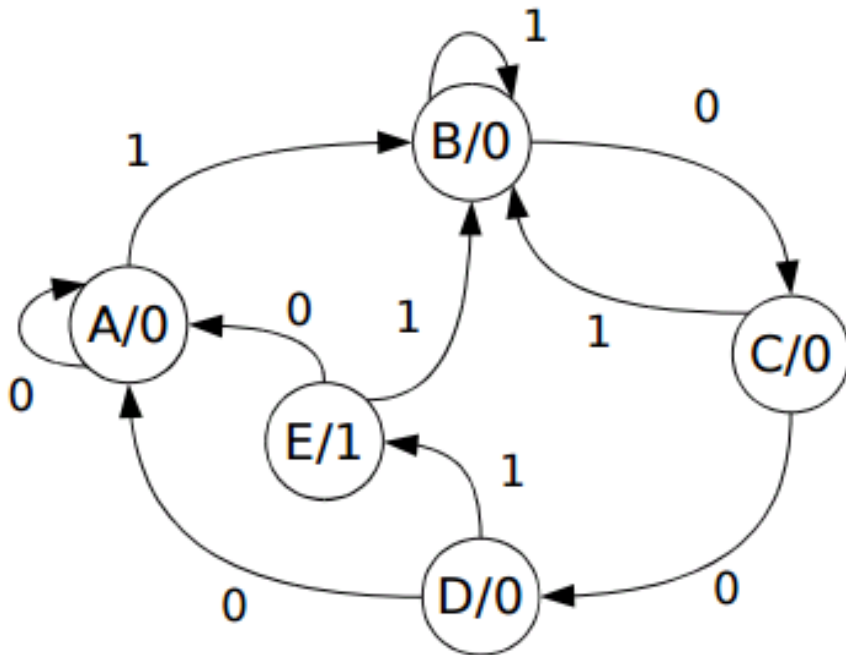


		x	
		0	1
s	A	A,0	B,0
	B	C,0	B,0
	C	D,0	B,0
	D	A,0	B,1
		NS,z	

Diagrama de estados. Moore

• Nodos

- Representan los estados. Se nombran de forma más o menos indentificativa. Ej. {A, B, C, ...}, {S0, S1, S2, ...}, {espera, comienzo, recibiendo, ...}
- Cada estado lleva asociado un valor de salida correspondiente.



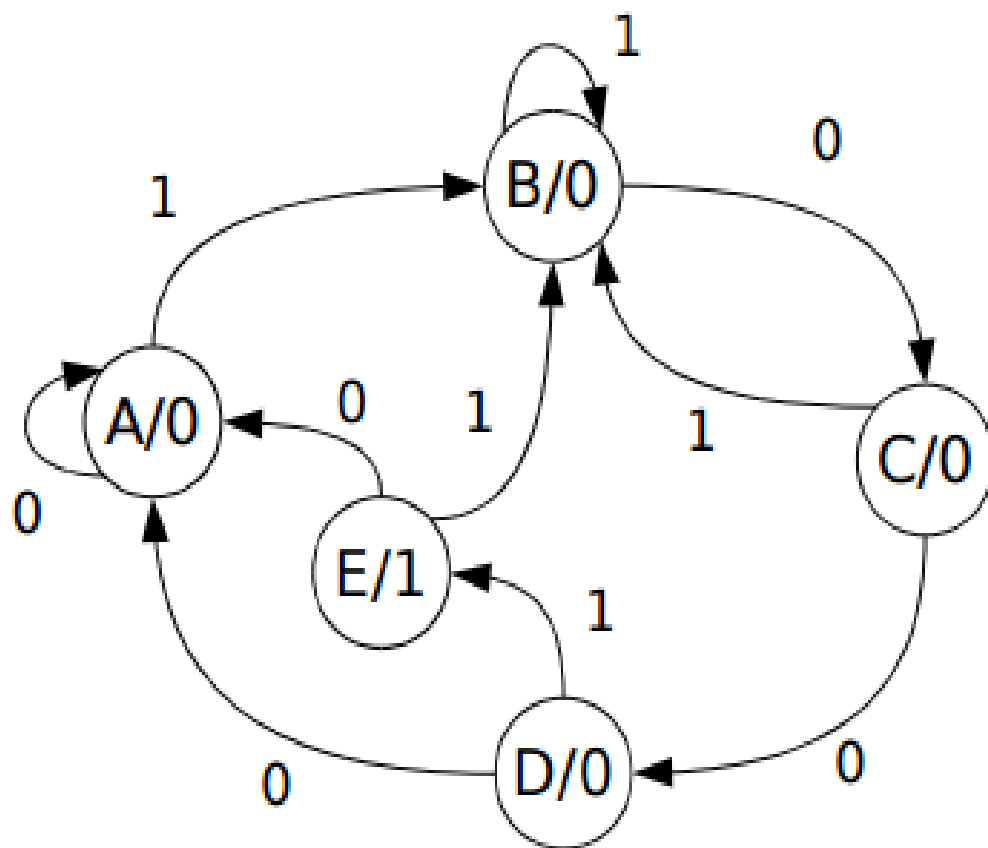
Arcos

- Indican las posibles transiciones desde cada estado (S).
- Se nombran con x: valor de entrada que provoca la transición desde el estado S.

Tabla de estados. Moore

- Información equivalente al diagrama de estados en forma de tabla de doble entrada (filas y columnas)
 - Posibles estados en filas
 - Posibles valores de entradas en columnas
 - Salida asociada al estado en la última columna (opcionalmente misma salida para cada entrada al estilo Mealy)
- Cada nodo del diagrama y los arcos que salen de él se corresponden a una fila de la tabla de estados.
- Pasar del diagrama de estados a la tabla de estados y viceversa es inmediato.

Tabla de estados. Moore



X \ S		0	1	z
A	A	B	0	
B	C	B	0	
C	D	B	0	
D	A	E	0	
E	A	B	1	
NS				

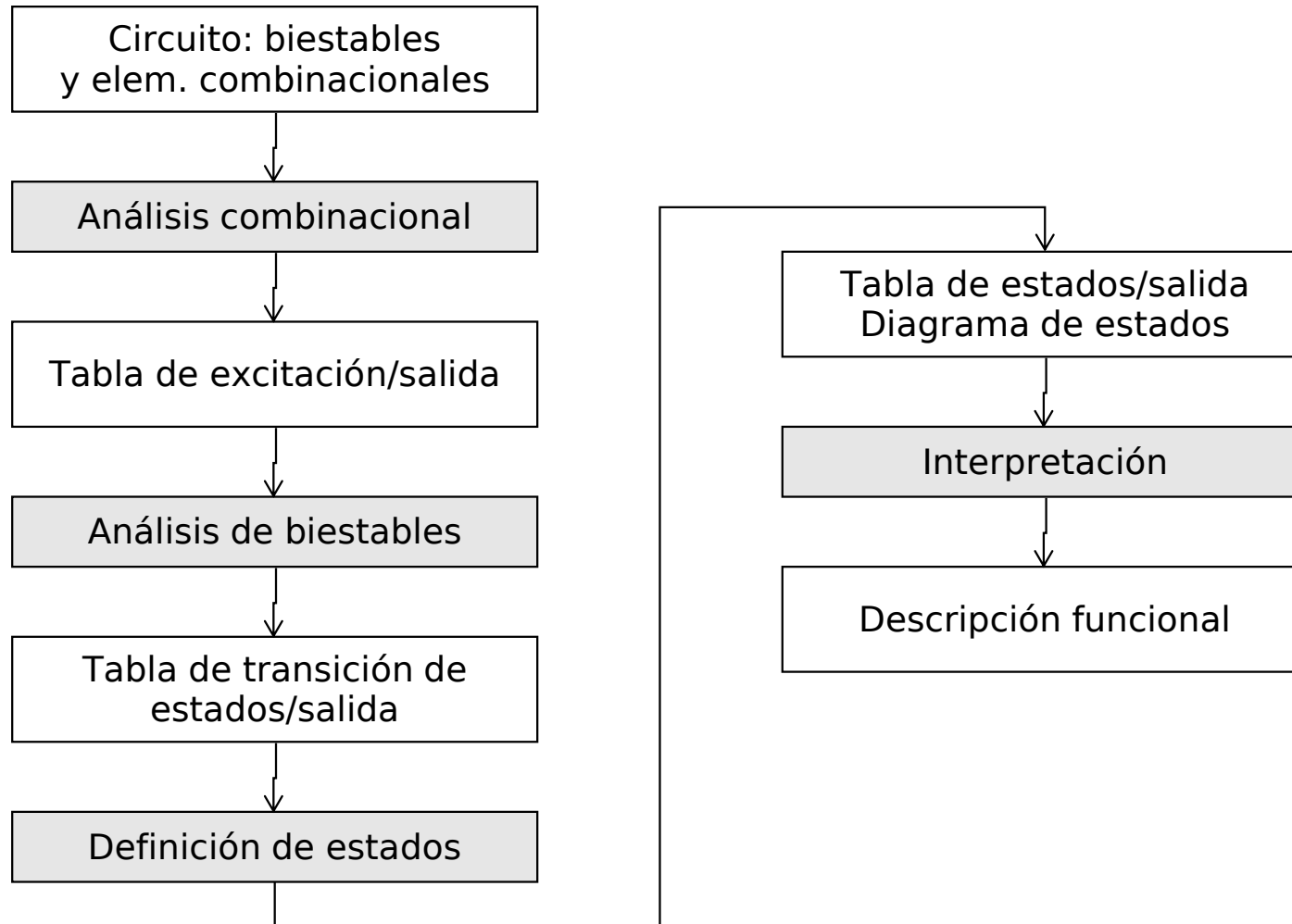
Aplicaciones de los circuitos secuenciales síncronos

- Detectores de secuencia
 - La salida se activa sólo en caso de que aparezca una determinada secuencia a la entrada.
- Generadores de secuencia
 - La salida genera una secuencia fija o variable en función de la entrada.
- Unidades de control
 - Las entradas modifican el estado y el estado define la actuación sobre un sistema externo (control de una barrera, control de temperatura, control de presencia, control de nivel de líquidos, etc.)
- Procesamiento secuencial
 - La secuencia de salida es el resultado de aplicar alguna operación a la secuencia de entrada (cálculo de la paridad, suma de una constante, producto por una constante, codificación/decodificación secuencial en general).

Análisis de CSS

- Introducción
- Biestables
- Máquinas de estados finitos y circuitos secuenciales síncronos (CSS)
- Análisis de CSS
 - Análisis formal
 - Análisis temporal
- Diseño de CSS

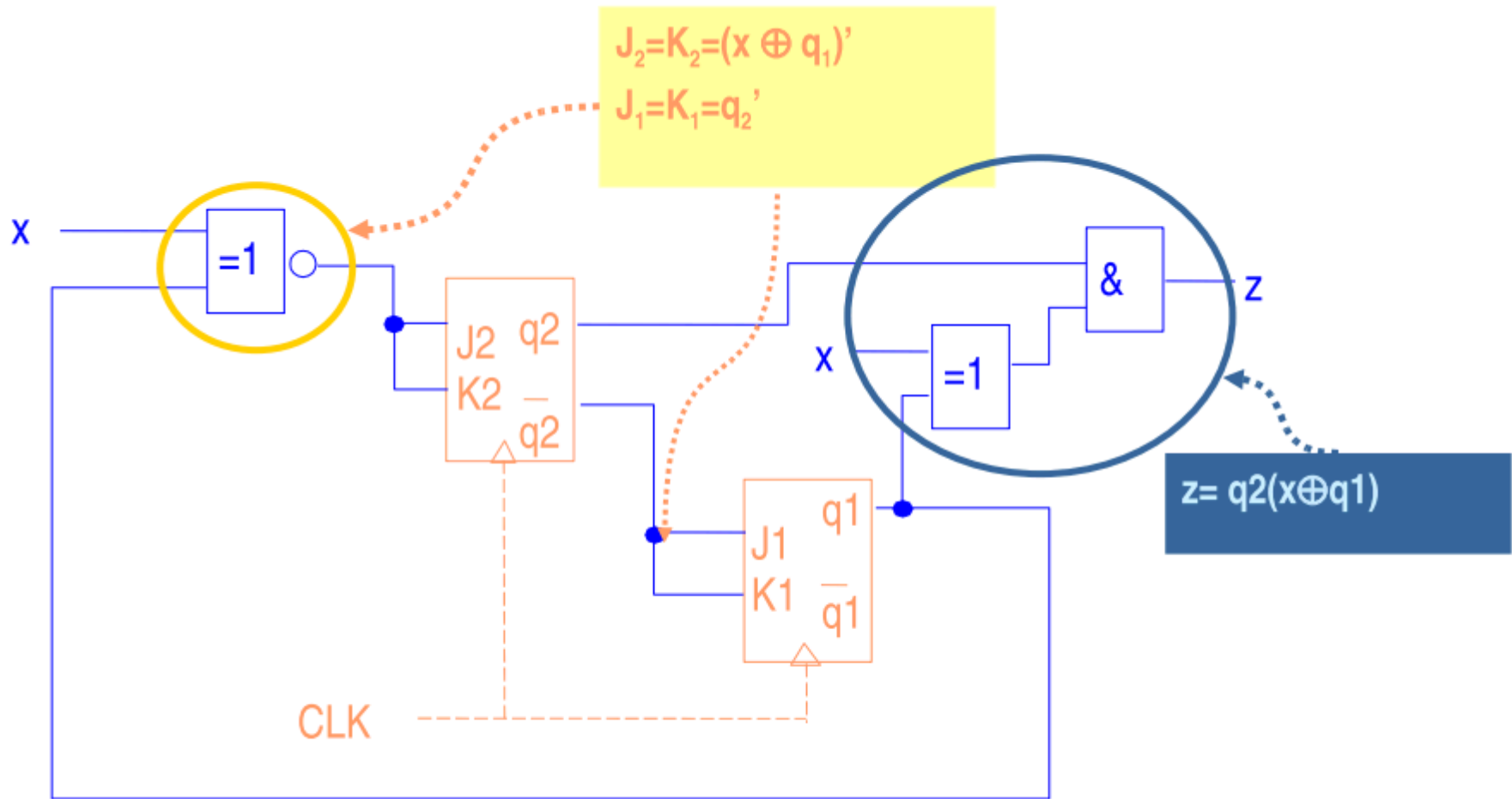
Análisis formal



Análisis formal

- Proceso inverso a la síntesis
- Objetivo:
 - Partiendo del circuito construido (esquema del circuito), obtener el diagrama de estados de la máquina que implementa e interpretar su operación/utilidad.
- El proceso hasta obtener el diagrama de estados es sistemático.
- La interpretación no es sistemática
 - Experiencia
 - Información adicional
 - Etc.

Análisis formal. Ejemplo



Análisis formal. Ejemplo

Análisis lógico de CSS

TABLA DE EXCITACIÓN/SALIDA

TABLA DE TRANSICIÓN/SALIDA

		JK			
		00	01	11	10
q	0	0	0	1	1
	1	1	0	0	1

x	0	1
q ₂ q ₁		
00	11,11,0	00,11,0
01	00,11,0	11,11,0
10	11,00,0	00,00,1
11	00,00,1	11,00,0

J₂K₂,J₁K₁,z

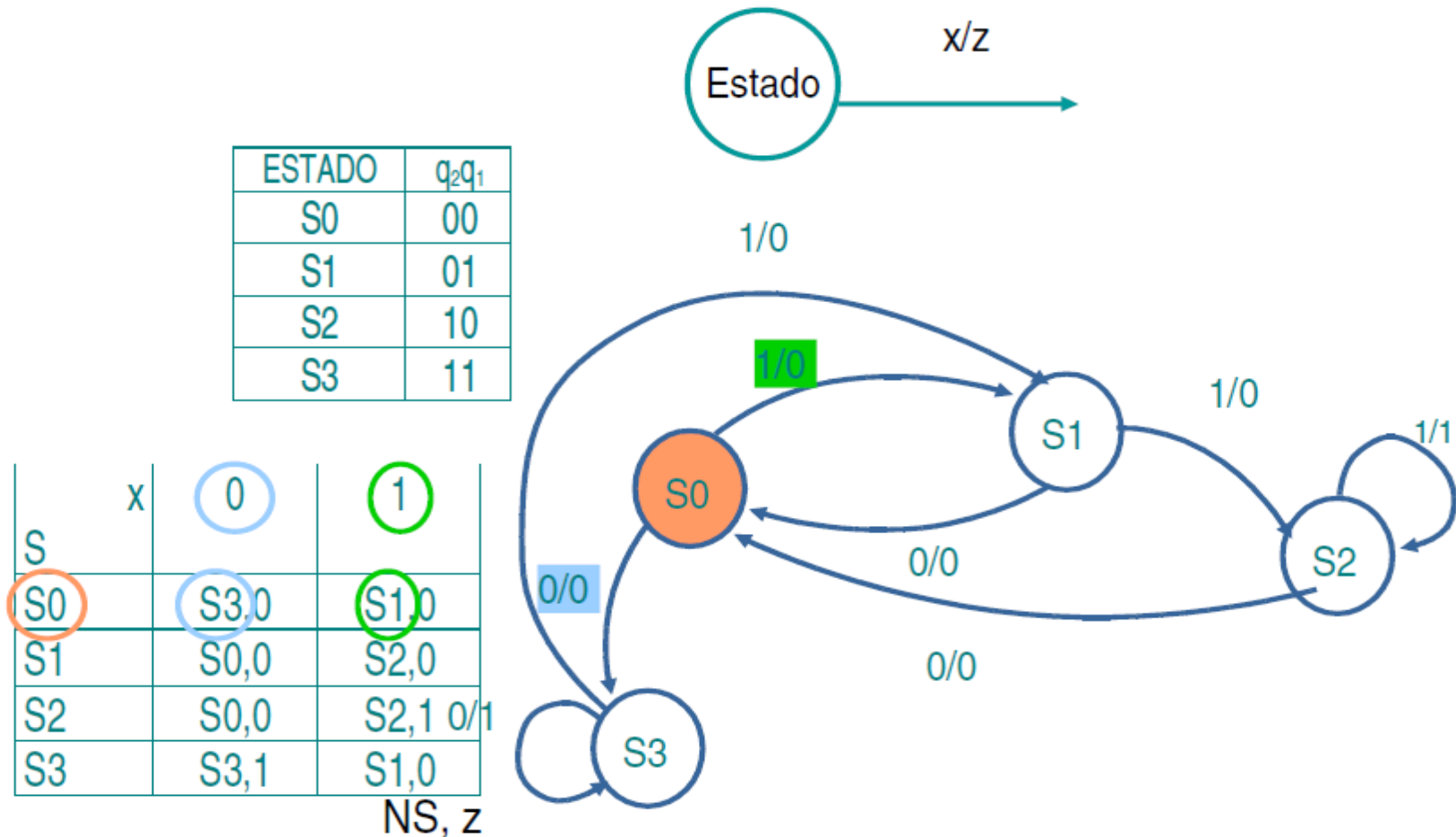
x	0	1
q ₂ q ₁		
00	11,0	01,0
01	00,0	10,0
10	00,0	10,1
11	11,1	01,0

Q₂Q₁,z

Análisis formal. Ejemplo

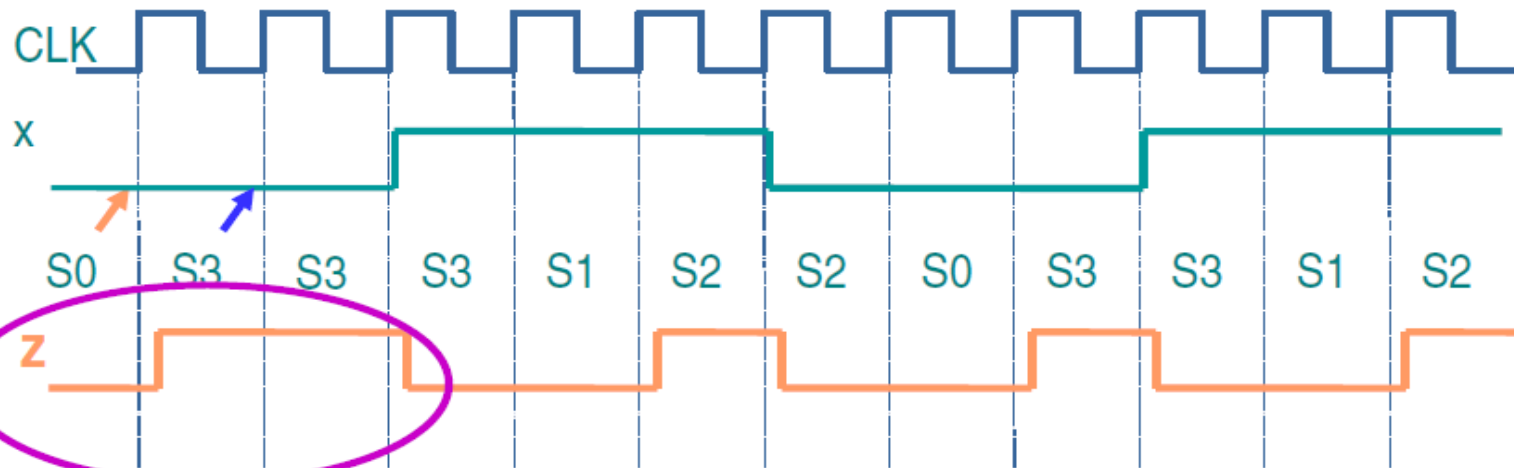
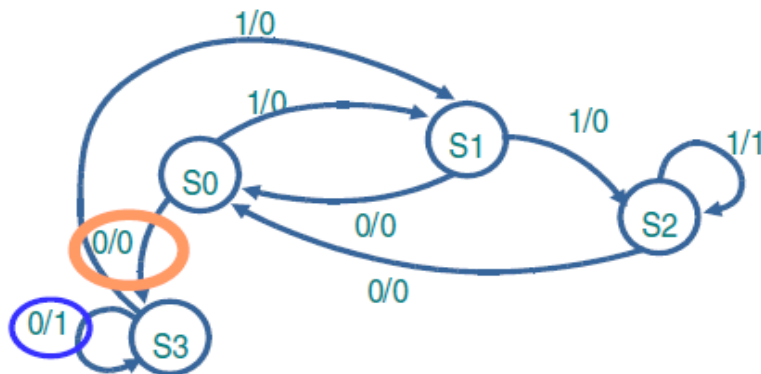
DIAGRAMA DE ESTADO

Análisis lógico de CSS



Análisis formal. Ejemplo

Análisis lógico de CSS



Función: detecta 3 ceros o tres unos consecutivos en la entrada

Análisis temporal

- Objetivo
 - Dado un circuito diseñado (biestables, puertas, etc.), obtener el cronograma de las señales de salida para unas señales de entrada dadas.
- Procedimiento similar al de circuitos combinacionales
 - Parte combinacional: idéntica
 - Biestables (por flanco): observando el flanco activo del reloj y calculando la salida (nuevo estado) a partir de la tabla de estados del biestable
 - La salida cambia con el retraso definido desde el cambio en el reloj hasta el cambio en el estado (t_{ck-q})

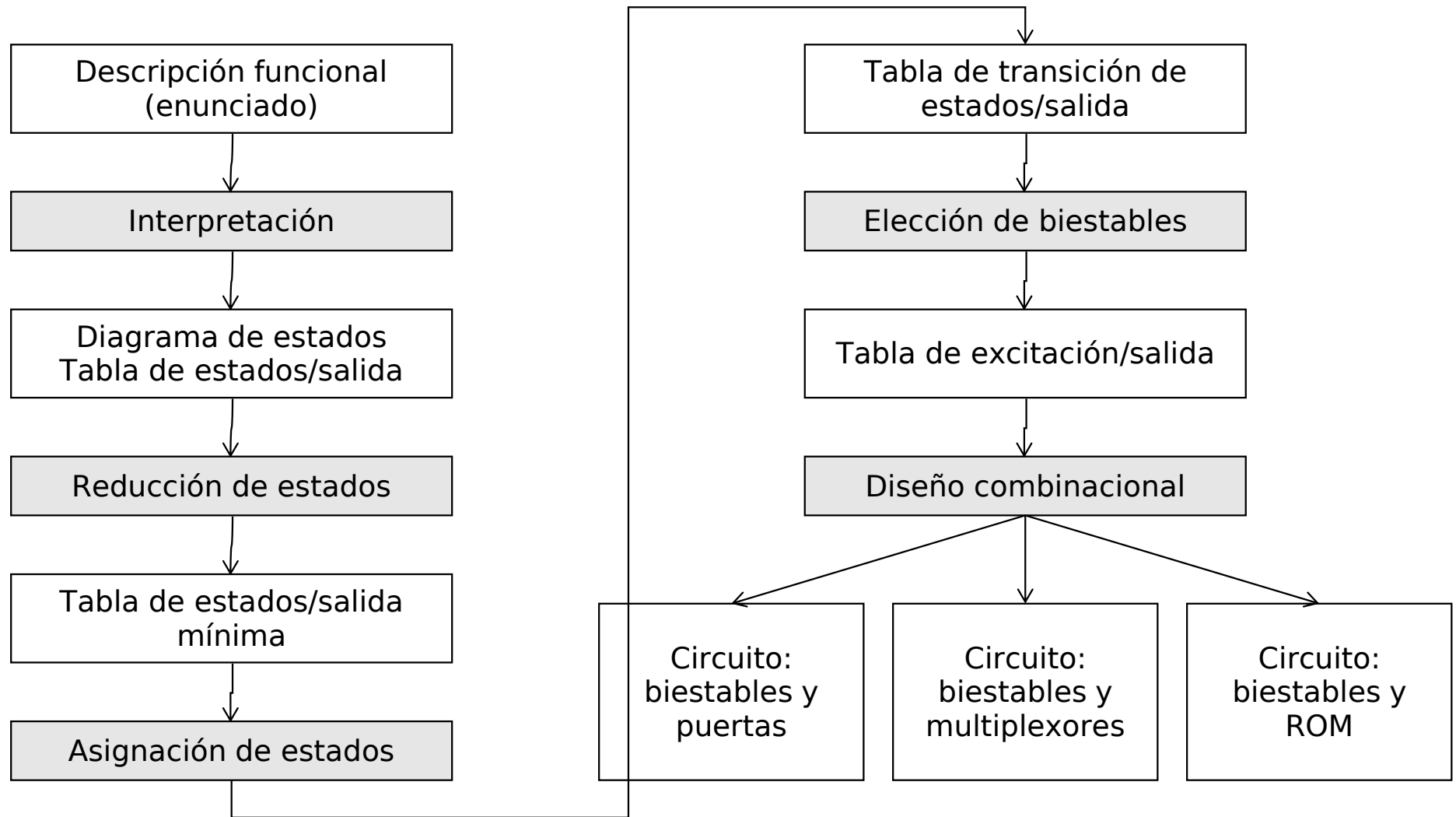
Diseño de CSS

- Introducción
- Biestables
- Máquinas de estados finitos y circuitos secuenciales síncronos (CSS)
- Análisis de CSS
- Diseño de CSS
 - Objetivos y procedimientos
 - Procedimiento de diseño manual
 - Procedimiento con herramientas de diseño

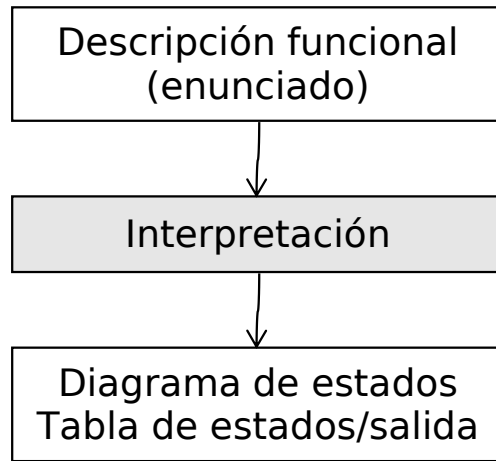
Objetivo

- Objetivo
 - Definir una máquina de estados que resuelva un problema dado.
 - Implementar la máquina de estados mediante un circuito secuencial síncrono.

Procedimiento manual



Interpretación

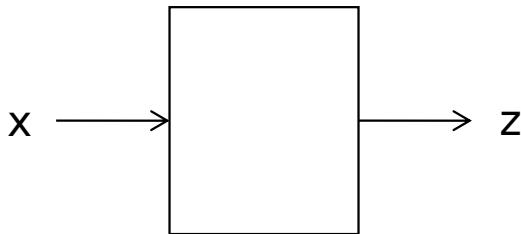


- Es la fase más importante del diseño
- Es la fase menos sistemática
- Procedimiento/consejos
 - Definir claramente entradas y salidas.
 - Elegir Mealy o Moore según características del problema (sincronización de la salida)
 - Identificar y definir los estados adecuados de la forma más general posible
 - Establecer las transiciones y salidas necesarias
 - Capturar todos los detalles del problema en la máquina de estados
 - Comprobar el diagrama con una secuencia de entrada típica

Interpretación

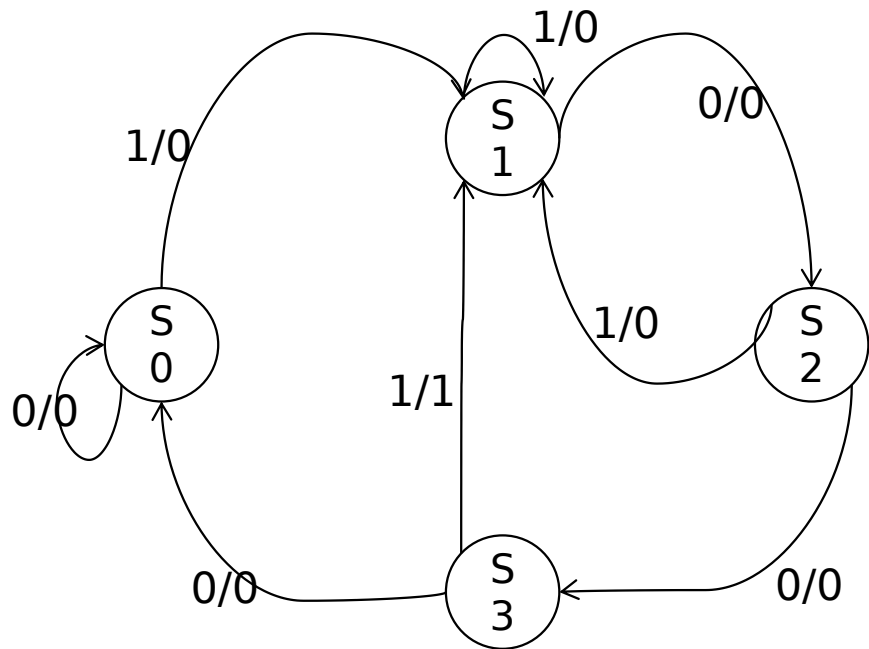
- Ejemplo

- Diseñe un circuito con una entrada x y una salida z que detecte la aparición de la secuencia "1001" en la entrada. Cuando esto ocurre se activará la salida (z=1). El último "1" de una secuencia puede considerarse también el primer "1" de una secuencia posterior (detector **con** solapamiento).



```
x: 00100111000011101001001001010011...  
z: 000001000000000000001001001000010...
```

Interpretación



x S		0	1
S0	S0,0	S1,0	
S1	S2,0	S1,0	
S2	S3,0	S1,0	
S3	S0,0	S1,1	
		NS,z	

S0: esperando primer "1"

S1: "1" recibido, esperando "0"

S2: "10" recibido, esperando "0"

S3: "100" recibido, esperando "1"

Reducción de estados. Ejemplo 2

x \ S		0	1
S0		S0,0	S1,0
S1		S2,0	S1,0
S2		S3,0	S1,0
S3		S0,0	S1,1

NS,z

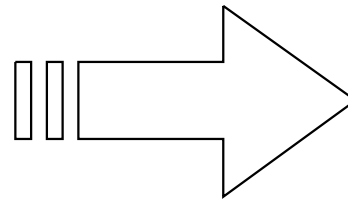
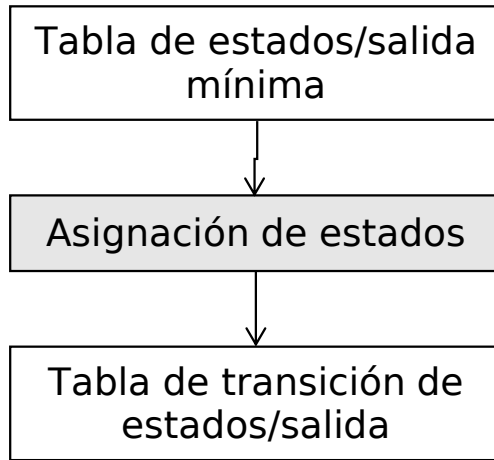


Tabla de estados minima

Asignación de estados



- Objetivo:
 - Asignar valores binarios a los estados (codificación de estados) para su almacenamiento en biestables.
- Elección:
 - Afecta al resultados final: número de componentes, tamaño, velocidad de operación, consumo de energía.
 - Elección diferente según el objetivo (criterio de coste)
- Opciones
 - Algoritmos complejos
 - Asignación arbitraria
 - Un biestable por estado (codificación one-hot)

Asignación de estados

Tabla de estados/salida

x	0	1
S		
S0	S0,0	S1,0
S1	S2,0	S1,0
S3	S0,0	S1,1
S2	S3,0	S1,0

NS,z

Asignación de estados

S	q1q0
S0	00
S1	01
S2	10
S3	11


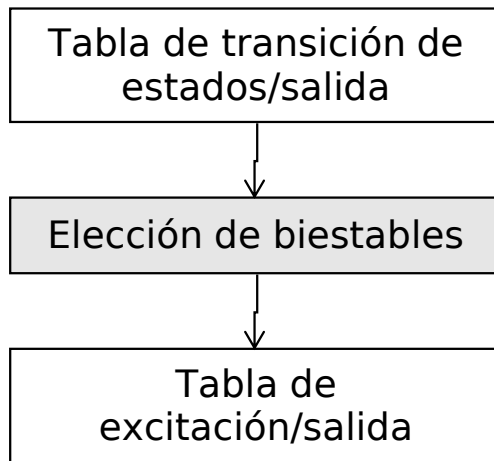


Tabla de transición de estados/salida

x	0	1
q1q0		
00	00,0	01,0
01	10,0	01,0
11	00,0	01,1
10	11,0	01,0

Q1Q0,z

Elección de biestables



- Objetivo
 - Seleccionar qué tipo de biestables almacenarán los bits del estado codificado.
- Opciones
 - JK: reduce el coste de la parte combinacional.
 - RS: más simple que el JK pero menos flexible.
 - D: facilita el diseño, reduce el número de conexiones.
 - T: más conveniente en aplicaciones específicas (contadores)

Elección de biestable. Ej: JK

Tabla de transición de estados/salida

		x	
		0	1
q_1q_0	00	00,0	01,0
	01	10,0	01,0
	11	00,0	01,1
	10	11,0	01,0
		Q_1Q_0,z	

Tabla de excitación

$q \rightarrow Q$	JK
$0 \rightarrow 0$	0x
$0 \rightarrow 1$	1x
$1 \rightarrow 0$	x1
$1 \rightarrow 1$	x0

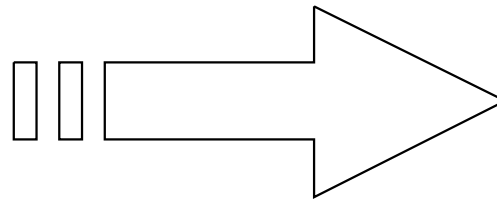


Tabla de excitación/salida

		x	
		0	1
q_1q_2	00	0x,0x,0	0x,1x,0
	01	1x,0x,0	0x,x0,0
	11	x1,x1,0	x1,x0,1
	10	x0,1x,0	x1,1x,0
		J_1K_1,J_0K_0,z	

Ecuaciones de excitación/salida

Ec. de excitación/salida

$q_1q_2 \backslash x$		0	1
00	0	0	
01	1	0	
11	-	-	
10	-	-	

J_1

$q_1q_2 \backslash x$		0	1
00	-	-	
01	-	-	
11	1	1	
10	0	1	

K_1

Ecuaciones de excitación/salida

Ec. de excitación/salida

$q_1q_2 \backslash x$		0	1
00	0	1	
01	0	-	
11	-	-	
10	1	1	

J_0

$q_1q_2 \backslash x$		0	1
00	-	-	
01	-	0	
11	1	0	
10	-	-	

K_0

Ecuaciones de excitación/salida

Ec. de excitación/salida

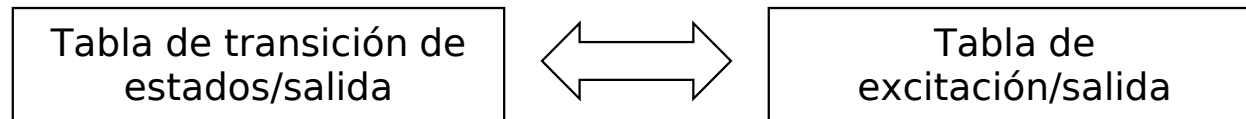
$q_1q_2 \backslash x$		0	1
00	0	0	
01	0	0	
11	0	1	
10	0	0	

z

Elección de biestable. Ej: D

- En el biestable D:

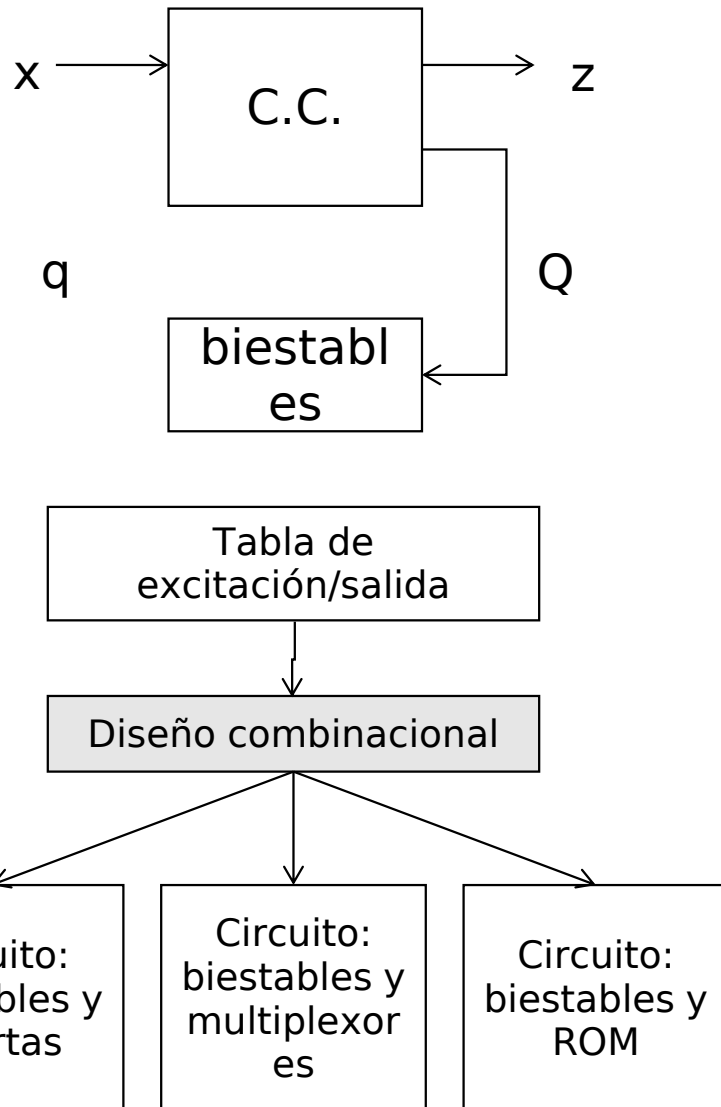
- $Q = D$
- $D = Q$



q_1q_2	x	
	0	1
00	00,0	01,0
01	11,0	00,0
11	10,0	01,0
10	00,0	01,1

Q,z
 D,z

Diseño de la parte combinacional



- La tabla de excitación/salida es una especificación de la parte combinacional.
- La implementación se realiza mediante cualquiera de las técnicas de diseño de C.C.
 - Dos niveles de puertas
 - Subsistemas: multiplexores, decodificadores, etc.
 - Etc.

Parte combinacional. Ejemplo

		x	
		0	1
q_1q_2	00	0x,0x,0	0x,1x,0
	01	1x,x0,0	0x,0x,0
	11	x0,0x,0	0x,x0,0
	10	0x,0x,0	0x,1x,1

J_1K_1, J_2K_2, z

q_1q_2		x	
		0	1
	00	0	0
	01	1	0
	11	x	0
	10	0	0

J_1

q_1q_2		x	
		0	1
	00	x	x
	01	x	x
	11	0	x
	10	x	x

K_1

q_1q_2		x	
		0	1
	00	0	0
	01	0	0
	11	0	0
	10	0	1

z

q_1q_2		x	
		0	1
	00	0	1
	01	x	0
	11	0	x
	10	0	1

J_2

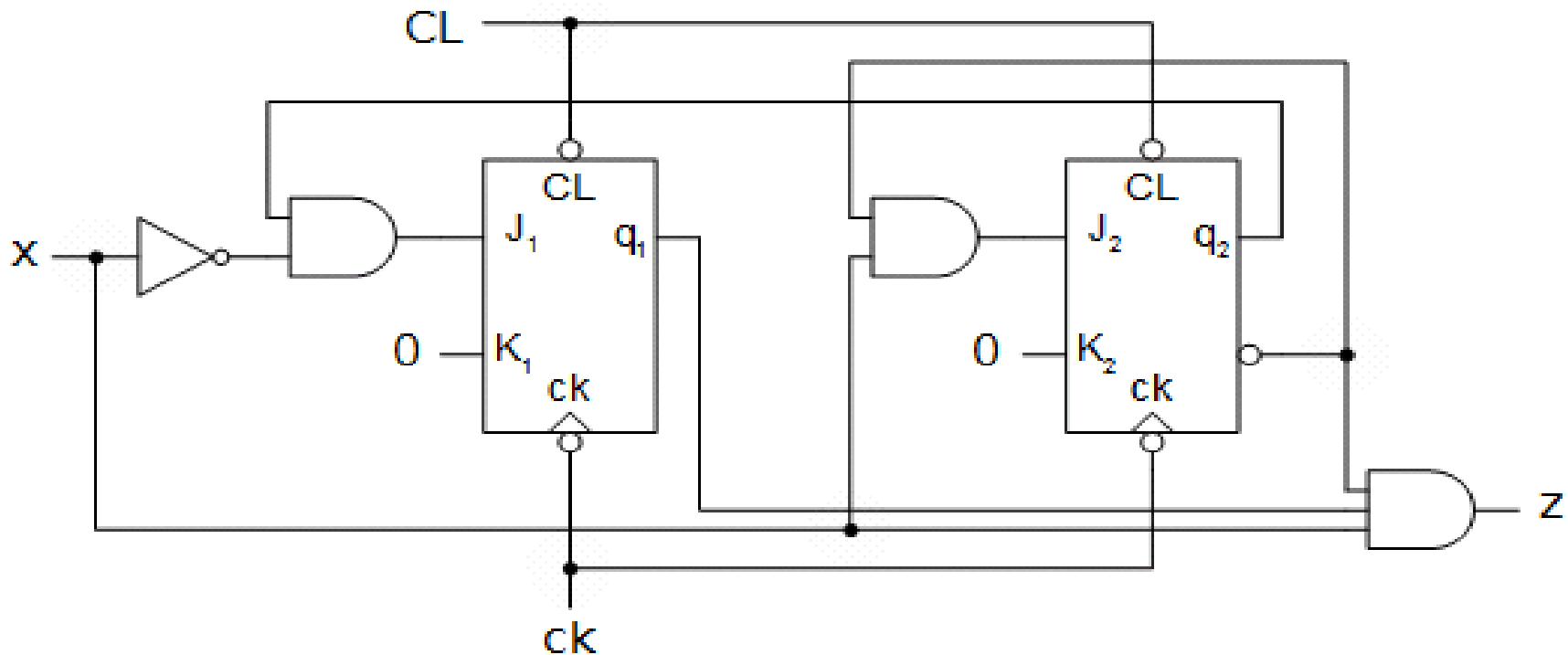
q_1q_2		x	
		0	1
	00	x	x
	01	0	x
	11	x	0
	10	x	x

K_2

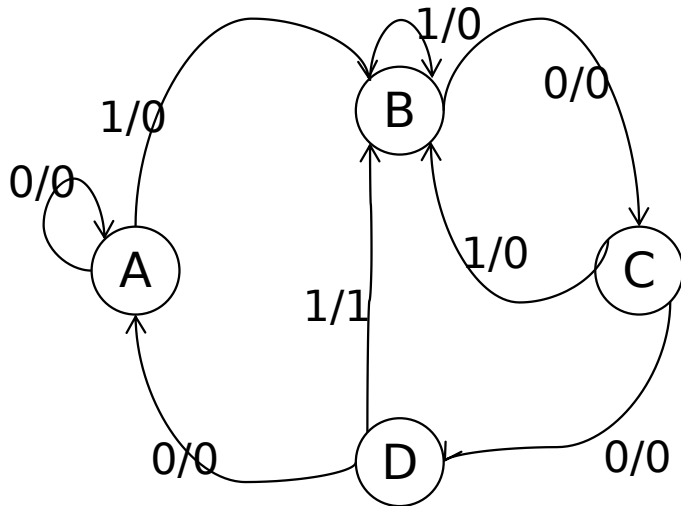
$$\begin{aligned}
 J_1 &= xq_2 \\
 K_1 &= 0 \\
 J_2 &= xq_2 \\
 K_2 &= 0 \\
 z &= xq_1q_2
 \end{aligned}$$

Circuito. Ejemplo

$$\begin{aligned}J_1 &= xq_2 \\K_1 &= 0 \\J_2 &= xq_2 \\K_2 &= 0 \\z &= xq_1q_2\end{aligned}$$



Ejemplo. Resumen



		x	
		0	1
S	A	A,0	B,0
	B	C,0	A,0
	C	D,0	B,0
	D	A,0	B,1
		Q,z	

		x	
		0	1
q ₁ q ₂	00	00,0	01,0
	01	11,0	00,0
	11	10,0	01,0
	10	00,0	01,1
		Q,z	

		x	
		0	1
q ₁ q ₂	00	0x,0x,0	0x,1x,0
	01	1x,x0,0	0x,0x,0
	11	x0,0x,0	0x,x0,0
	10	0x,0x,0	0x,1x,1
		J ₁ K ₁ ,J ₂ K ₂ ,z	

$$\begin{aligned}
 J_1 &= xq_2 \\
 K_1 &= 0 \\
 J_2 &= xq_2 \\
 K_2 &= 0 \\
 z &= xq_1q_2
 \end{aligned}$$

