

Soluciones Ejercicios Tema 4-5

- **Pregunta 1:** De acuerdo con el mapa de memoria proporcionado para nuestro sistema, la dirección de memoria a la que deben apuntar los SP de los modos indicados es:
 - Pila de programa (SVC): 0x8000000
 - Pila de IRQ: 0x8000
 - Pila de FIQ: 0x4000
- **Pregunta 2:** El offset para el acceso a la tabla de vectores de interrupción/excepción en nuestro ARM es para la excepción indicada:
 - IRQ: 0x18
 - Reset: 0x00
 - FIQ: 0x1C
- **Pregunta 3:** Para inicializar la entrada correspondiente a una cierta excepción en la tabla de vectores de interrupción de nuestro procesador ARM hay que escribir en ella:
 - b. Una instrucción de salto incondicional a la dirección de la rutina manejadora que queremos utilizar para atenderla.
- **Pregunta 4:** Cuando empiezan a ejecutarse los programas propuestos en el tema 4, el procesador de nuestra RPI 2 se encuentra en el siguiente modo:
 - SVC. En el caso de las RPI 3, esto no ocurre y por eso hay que añadir una serie de instrucciones al principio de nuestros programas para poder pasar al modo SVC.
- **Pregunta 5:** Durante la ejecución de los programas propuestos en el tema 4, el procesador de nuestra RPI 2 sólo podrá encontrarse en alguno de los siguientes modos:
 - Abort. Incorrecto. A este modo se pasa cuando hay una excepción de acceso a memoria. No debería de ocurrir ya que es un error en nuestro código manejando las direcciones de memoria.
 - Undef. Incorrecto. A este modo se pasa cuando hay una instrucción indefinida en nuestro código. Esto no debería de ocurrir.
 - FIQ. Correcto, durante el manejo de interrupciones FIQ.
 - SVC. Correcto, modo normal de ejecución de nuestros programas.
 - User Mode. Incorrecto, en este modo no podemos realizar determinadas acciones, como usar el Timer. Por lo tanto, tenemos que usar el modo SVC.
 - IRQ. Correcto, durante el manejo de interrupciones IRQ.
- **Pregunta 6:** Para poder atender a una interrupción en nuestro ARM, ¿cuál de las siguientes acciones es responsabilidad del código del programa principal?
 - Inicializar la tabla de vectores. Correcto.
 - Salvaguardar/restaurar en/de pila los registros de propósito general que va a modificar la RTI. Incorrecto, esto se realiza en el manejador de la interrupción.

- Dejar a PC apuntando a la tabla de vectores. Incorrecto, nuestro código no maneja esto, lo realiza la CPU.
 - Notificar que la interrupción ha sido servida. Incorrecto, esto se realiza en el manejador de la interrupción.
 - Inicializar la/s pila/s para los modos que vayan a utilizarla. Correcto.
- **Pregunta 7:** Cuándo se produce una interrupción en el ARM, ¿qué parte del mecanismo de atención a la misma es responsabilidad del código del manejador de la interrupción (RTI)?
 - Notificar que el evento (interrupción) ya ha sido servido. Correcto.
 - Salvarguardar/restaurar en/de pila los registros de propósito general que va a modificar la RTI. Correcto.
 - Restaurar CPSR y hacer PC=LR-4. Correcto.
 - Inicializar la tabla de vectores. Incorrecto, esto se realiza en el programa principal.
 - Inicializar la/s pila/s para los modos que vayan a utilizarla. Incorrecto, esto se realiza en el programa principal.
- **Pregunta 8:** Para la habilitación/deshabilitación global de las IRQ y FIQ en el ARM hay que escribir en los bits I y F que se localizan en su registro de estado.
 - Verdadero. Hay que escribir un 0 en los bits correspondientes.
- **Pregunta 9:** Cuándo se produce una interrupción en el ARM, ¿qué parte del mecanismo de atención a la misma es responsabilidad del HW (CPU)?
 - Dejar a PC apuntando a la posición adecuada de la tabla de vectores. Correcto.
 - Inicializar la/s pila/s para los modos que vayan a utilizarla. Incorrecto, lo realiza el programa principal.
 - Salvarguardar el estado del procesador, es decir, los valores en CPSR y LR. Correcto.
 - Inicializar la tabla de vectores. Incorrecto, lo realiza el programa principal.
 - Salvarguardar/restaurar en/de pila los registros de propósito general que va a modificar la RTI. Incorrecto, lo realiza el manejador de la interrupción.
- **Pregunta 10:** Empareja la acción especificada con el puerto/registro que hay que acceder para ello:
 - Determinar si la interrupción la ha causado el canal 1 o 3 del timer. Leer el STCS y chequear el bit 1 o 3.
 - Configurar la interrupción del canal 1 o 3 del timer. Escritura del valor final de cuenta que provocará la interrupción en el STC1 o STC3.
 - Modificar el modo de trabajo del procesador. Escribir en los 5 bits menos significativos del registro de estado (CPSR).
 - Determinar si la interrupción la ha causado el GPIO 2 o 3 (pulsadores). Leer el GPEDS0 y chequear las posiciones 2 o 3.
 - Hacer el Clear Event de la interrupción del canal 1 o 3 del timer. Escribir un 1 en el bit 1 o 3 del STCS.
 - Habilitar localmente la interrupción de tipo IRQ del canal 1 o 3 del timer. Escritura de un 1 en el bit 1 o 3 del INTENIRQ1.

- Habilitar localmente la interrupción de tipo IRQ de cualquier GPIO (i.e. pulsadores). Escribir un 1 en la posición 20 del INTENIRQ2.
- Habilitar globalmente las interrupciones de tipo IRQ. Escribir un 0 en el bit I del registro de estado (CPSR).
- Configurar la interrupción con el flanco de bajada del GPIO 2 o 3 (pulsadores). Escribir un 1 en el bit 2 o 3 del GPFEN0.
- Hacer el Clear Event de la interrupción del GPIO 2 o 3 (pulsadores). Escribir un 1 en las posiciones 2 o 3 del GPEDS0.