# 1. 实验目的与背景

## 1.1 课程目标与实验意义

本实验旨在通过设计并实现一个简易的五级流水线CPU，并通过64个测试点，帮助深入理解流水线技术及其在提升CPU性能中的应用。通过使用硬件描述语言（Verilog），掌握如何实现指令的逐级处理，解决流水线中的数据冒险和控制冒险等问题。实验不仅增强了我们对计算机体系结构的理解，还提高了硬件设计和调试能力，为进一步学习复杂的计算机系统设计打下了基础。

## 1.2 实验相关技术背景

流水线技术是现代CPU设计中的核心优化方法，它将指令执行过程分解为多个阶段（如取指、解码、执行、内存访问、写回），使得多个指令能够并行处理，从而提高CPU的吞吐量。五级流水线结构是经典的RISC处理器设计，通过将复杂操作分解为简单阶段，有效减少了处理时间。流水线设计虽然提升了性能，但也带来了如数据冒险、控制冒险等问题，这些问题需要通过转发、插入气泡等技术手段来解决。

# 2. 实验任务与分工

## 2.1 实验任务概述

本实验聚焦于计算机系统中 CPU 流水线的设计与实现，旨在深入理解计算机系统的硬件运行机制，掌握流水线技术在提高 CPU 性能方面的原理和应用。通过构建一个包含五级流水线（取指 IF、译码 ID、执行 EX、访存 MEM、写回 WB）的 CPU 模型，并添加多种指令（如算术运算、数据移动、逻辑、跳转、访存指令等）以及特殊功能（如 hilo 寄存器处理乘法除法结果、stall 机制解决数据冲突），实现了一个具备基本功能的 CPU 流水线系统。

## 2.2 小组成员分工详情

# 3. 实验设计与实现

## 3.1 CPU 总体架构设计

## 3.2 指令系统设计

## 3.3 流水线各阶段详细设计

### 3.3.1 IF（取指令）阶段

### 3.3.2 ID（指令译码）阶段

### 3.3.3 EX（执行）阶段

### 3.3.4 MEM（访存）阶段

### 3.3.5 WB（写回）阶段

## 3.4 关键模块实现细节

### 3.4.1 HILO 寄存器模块

### 3.4.2 CTRL 模块

# 4. 实验测试与结果分析

## 4.1 测试环境与方法

## 4.2 测试结果展示

## 4.3 结果分析与讨论

# 5. 实验总结与展望

## 5.1 实验成果总结

## 5.2 实验不足与改进方向

## 5.3 未来展望