

Ταχεία Πρωτοτυποποίηση Ψηφιακών Συστημάτων

Workshop #1 – Συνδυαστικά Κυκλώματα & Γνωριμία με τη Verilog

Α.Ο. Φαρμάκης

In association with the



ACM Student Chapter
University of Patras

This page intentionally left blank

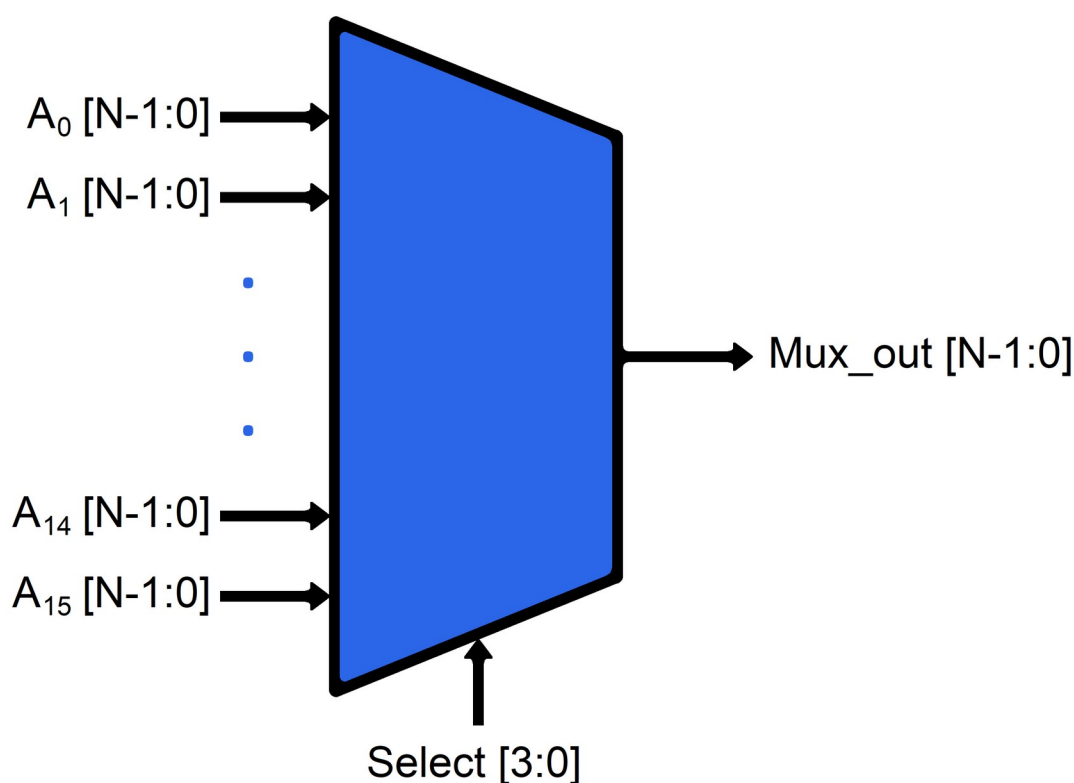
Περιεχόμενα

Κύκλωμα 1: Πολυπλέκτης 16-σε-1	σελίδα 4
Κύκλωμα 2: Ολισθητής “Βαρελιού”	σελίδα 5
Κύκλωμα 3: Αριθμητική/Λογική Μονάδα	σελίδα 6
Βιβλιογραφία	σελίδα 8

Κύκλωμα 1: 16-σε-1 Πολυπλέκτης

Για να εξοικειωθείτε παραπάνω με την ιεραρχική σχεδίαση ενός κυκλώματος, σας ζητείται να υλοποιήσετε ένα πολυπλέκτη 16-σε-1 μήκους εισόδων/εξόδων των N-bit, χρησιμοποιώντας πολυπλέκτες 4-σε-1 με ίδιο μήκος εισόδων/εξόδων.

Ο κώδικας για το πολυπλέκτη 4-σε-1 σας δίνεται στο αρχείο [multiplexer_4_to_1.v](#), το οποίο θα βρείτε στο σχετικό φάκελο του εργαστηρίου.



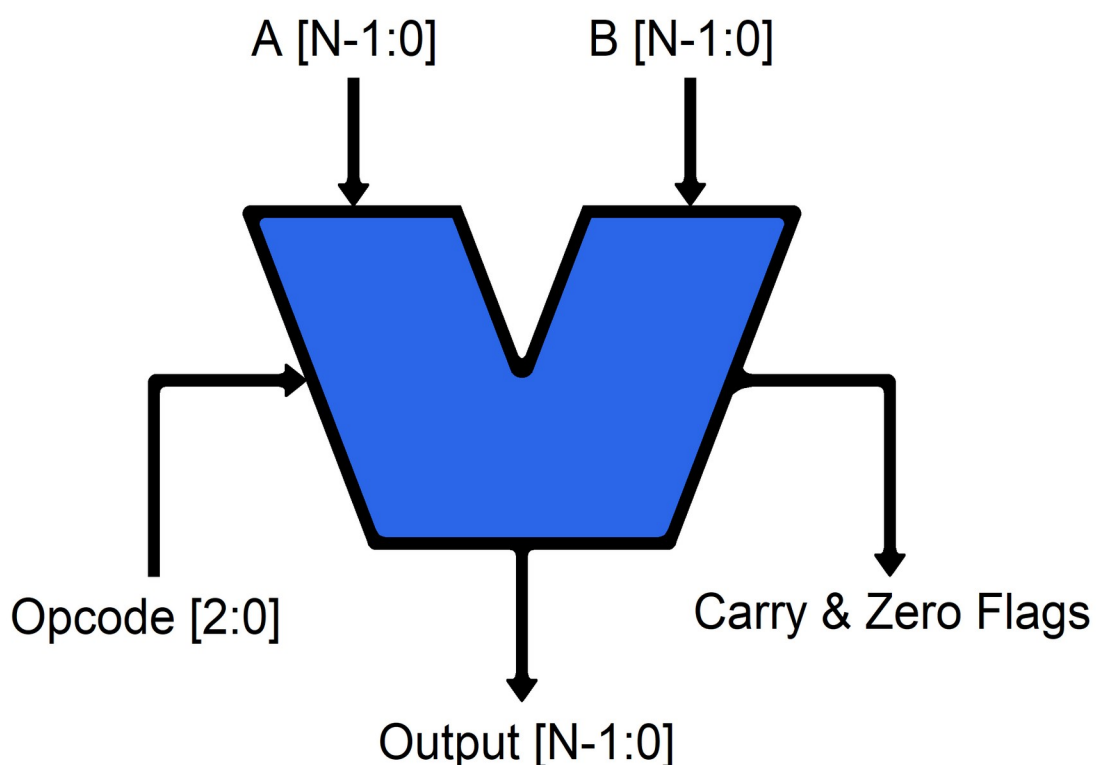
Κύκλωμα 2: Ολισθητής “Βαρελιού”

Ο ολισθητής “βαρελιού” (barrel shifter) είναι ένας κυκλικός ολισθητής που εκτελεί τη πράξη της ολίσθησης κατά κάποιο προκαθορισμένο ποσό bit χωρίς τη χρήση κάποιας ακολουθιακής λογικής. Οι ταχύτεροι αυτών υλοποιούν κάθε δυνατή ολίσθηση παράλληλα και επιλέγεται ποια από αυτές θέλουμε, με καθυστέρηση του κρίσιμου μονοπατιού να είναι μόνο μία (1) πύλη. Ωστόσο, απαιτούν N^2 πύλες για ολισθήσεις των N -bit. Λόγω αυτού, συχνά υλοποιείται ως ακολουθία πολλαπλών παράλληλων πολυπλεκτών 2-σε-1, όπου ο ρυθμός αύξησης των πυλών ανά λέξη των N -bit να είναι $N \cdot \log_2(N)$, με τη καθυστέρηση διάδοσης να αυξάνεται κατά $\log_2(N)$ αντί να είναι σταθερή στο 1.

Βάσει όλων αυτών, καλείστε να υλοποιήσετε έναν τέτοιο ολισθητή “βαρελιού” με μήκος λέξης 8-bit. Δηλαδή, για τη συγκεκριμένη αρχιτεκτονική θα κάνετε χρήση συνολικά $8 \cdot \log_2(8) = 8 \cdot 3 = 24$ πολυπλεκτών 2-σε-1.

Κύκλωμα 3: Αριθμητική/Λογική Μονάδα

Η Αριθμητική/Λογική Μονάδα (ΑΛΜ) είναι το θεμελιώδες δομικό στοιχείο οποιουδήποτε επεξεργαστικού πυρήνα, αφού εκτελεί όλες τις αριθμητικές και λογικές πράξεις που χρειάζονται να γίνουν, είτε είναι ένας επεξεργαστής γενικής χρήσης είτε κάτι πιο εξειδικευμένο, όπως μια κάρτα γραφικών, η οποία περιέχει έναν ειδικό επεξεργαστή για τέτοιου είδους δεδομένα. Επιπλέον, κάθε ΑΛΜ έχει ως έξοδο μερικά επιπλέον σήματα τα οποία δίνουν πληροφορίες για συγκεκριμένα συμβάντα.



Κύκλωμα 3: Αριθμητική/Λογική Μονάδα

Η ΑΛΜ που καλείστε να σχεδιάσετε θα λαμβάνει δύο (2) ακέραιες εισόδους A και B των N-bit η καθεμία, και θα βγάζει έξοδο επίσης μήκους N-bit, προσημασμένοι όπου βγάζει νόημα. Ακόμη, να υλοποιήσετε την απαραίτητη λογική για την παραγωγή των σημαιών C και Z.

C (Carry): Το κρατούμενο από τις πράξεις πρόσθεσης, αφαίρεσης και ολίσθησης.

Z (Zero): Το αποτέλεσμα της πράξης παρήγαγε μηδέν. Οι πράξεις με βάση το εισαγόμενο opcode είναι:

Opcode	Λειτουργία
000	$A + B$
001	$A - B$
010	$A \& B$
011	$\sim(A \mid B)$
100	$A \oplus B$
101	Κυκλική ολίσθηση του A κατά B θέσεις
110	Πλήθος των 1 μέσα στο A και στο B
111	Απόλυτη τιμή του B

Βιβλιογραφία

- Digital Design: Principles and Practices, John F. Wakerly, 5th Edition
- CMOS VLSI Design: A Circuits and Systems Perspective, Neil H. E. Weste, David M. Harris, 4th Edition
- FPGA Prototyping by Verilog Examples: Xilinx Spartan-3 Version, Pong P. Chu
- Σχεδίαση Συστημάτων με Χρήση Υπολογιστών (E-CAD), Πανεπιστήμιο Πατρών, Χαρίδημος Βέργος
- Introduction to Verilog HDL, Synopsys Courseware, Jorge Ramírez