

1 目的

コンピュータをはじめ, NC 工作機械, 家電製品等にはデジタル回路が多用されている. そこで, 実際に広く用いられているデジタル用 IC を用いて, 論理回路の基礎的事項について実験し, デジタル回路の使い方, デジタル回路の動作, デジタル回路の設計法を学ぶ.

2 実験方法

実験にはサンハヤト社製の IC 実験・応用セット IC トレーナー (MODELCT-311S), AC アダプタ, および CT-311S 用実習セット (MODEL CT-311S-P01) から構成される実験装置を用いた. この装置のブレッドボード上に IC, 抵抗, コンデンサなどの回路素子を固定してリード線で結線し, 以下の 7 個の回路を作成し, 動作を実際に確認した.

- 2 入力 EX-OR 回路
- 2 入力 4 出力デコーダ (解読器)
- ハーフ・アダー (全加算器)
- D ラッチ回路
- J-K フリップフロップ
- D フリップフロップを用いた 1/2 分周器
- 非同期 16 進カウンタ

3 実験項目

3.1 ゲート回路のまとめ (基本素子 6 種類)

レポート末尾に一覧表を添付した.

3.2 2 入力 EX-OR ゲート

3.2.1 2 入力 EX-OR ゲート

作成した 2 入力 EX-OR ゲートの回路図を図 1 に示す. また, 実験から得られた EX-OR 回路の動作表を表 1 に, EX-OR 機能の真理値表を表 2 に示す. ここで, 図 1 の回路図から 2 入力 EX-OR 回路の論理式を求める. 図 1 の点 3, 11, 6 をそれぞれ C_1, C_2, C_3 とする.

$$C_1 = \overline{A \cdot B} \quad (1)$$

$$C_2 = \overline{(\overline{A \cdot B}) \cdot B} = (A \cdot B) + \overline{B} \quad (2)$$

$$C_3 = \overline{(\overline{A \cdot B}) \cdot A} = (A \cdot B) + \overline{A} \quad (3)$$

$$Y = \overline{C_2 \cdot C_3} = \overline{(\overline{A \cdot B}) \cdot B + (\overline{A \cdot B}) \cdot A} = \overline{(\overline{A} + \overline{B}) \cdot B + (\overline{A} + \overline{B}) \cdot A} \quad (4)$$

$$= \overline{(\overline{A} + \overline{B}) \cdot (A + B)} = A \cdot \overline{B} + \overline{A} \cdot B \quad (5)$$

$$= A \oplus B \quad (6)$$

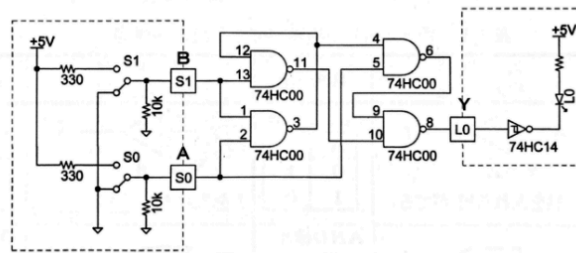


図1 NAND 素子 4 個を用いた EX-OR 機能の回路図

表 1 EX-OR 回路の動作表

	入力		出力
接続端子	S0	S1	L0
端子名	A	B	Y
電圧	L	L	L
	L	H	H
	H	L	H
	H	H	L

表 2 EX-OR 機能の真理値表

	入力		出力
端子名	A	B	Y
真理値	0	0	0
	0	1	1
	1	0	1
	1	1	0

実験より, S0, S1 の入力不一致の時にのみ L0 の LED が点灯し, H を出力するのを確認することができた. また, 2 入力が一致しているときは LED がつかないことも確認し, EX-OR 機能について理解することができた.

3.2.2 課題:実験で作成した 2 入力 EX-OR 回路を正論理/負論理の NAND 素子を使って書き換える

実験では NAND 素子を 4 個使用して 2 入力 EX-OR 回路を作成したが, ここでは正論理/負論理の NAND 素子を使用する. すると, 以下の図 2 のような回路によって書き換えられる.

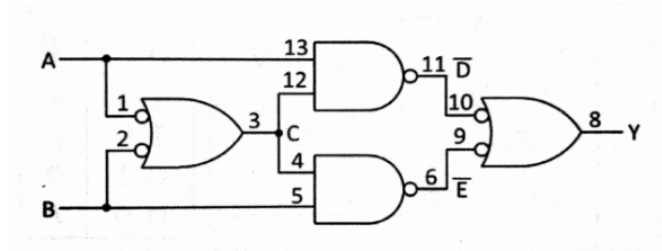


図 2 正論理/負論理の NAND 素子を用いた EX-OR 機能の回路図

この回路の C , \overline{D} , \overline{E} における論理式は以下ようになる.

$$C = \overline{A} + \overline{B} \quad (7)$$

$$\overline{D} = A \cdot (\overline{A} + \overline{B}) = A \cdot \overline{A} + A \cdot \overline{B} = A \cdot \overline{B} \quad (8)$$

$$\overline{E} = B \cdot C = B \cdot (\overline{A} + \overline{B}) \quad (9)$$

$$= \overline{A} \cdot B \quad (10)$$

よって, この回路の出力 Y の論理式は, 次のようになる.

$$Y = \overline{D} + \overline{E} = A \cdot \overline{B} + \overline{A} \cdot B \quad (11)$$

$$= A \oplus B \quad (12)$$

以上より, 図 2 に示す回路は 2 入力 EX-OR 回路の機能を持つことがわかる.

3.3 デコーダとエンコーダ

3.3.1 デコーダ

デコーダ回路は, 2 桁の 2 進数をスイッチ ($S1$, $S0$) を使って入力し, 10 進数の 0 から 3 を表す LED ($L0 \sim L3$) に "1(H)" を出力する, すなわち対応する LED が点灯する回路である.

実験により作成した 2 入力 4 出力デコーダを図 3 に示す. また, 実験から得られたデコーダの動作表を表 3 に, EX-OR 機能の真理値表を表 4 に示す.

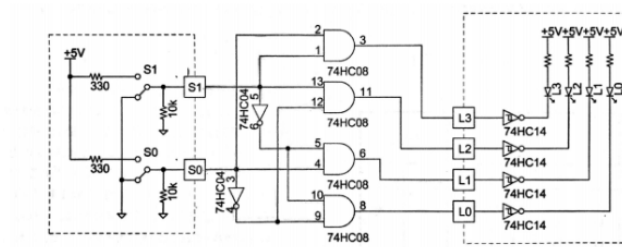


図 3 2 入力 4 出力デコーダの回路図

表 3 デコーダの動作表

	入力		出力			
端子名	S1	S0	L0	L1	L2	L3
電圧	L	L	H	L	L	L
	L	H	L	H	L	L
	H	L	L	L	H	L
	H	H	L	L	L	H

表 4 デコーダの真理値表

	入力		出力			
端子名	S1	S0	L0	L1	L2	L3
真理値	0	0	1	0	0	0
	0	1	0	1	0	0
	1	0	0	0	1	0
	1	1	0	0	0	1

表 4 の真理値表からデコーダの論理式は以下のようになる。

$$L0 = \overline{S0} \cdot \overline{S1} \quad (13)$$

$$L1 = S0 \cdot \overline{S1} \quad (14)$$

$$L2 = \overline{S0} \cdot S1 \quad (15)$$

$$L3 = S0 \cdot S1 \quad (16)$$

このデコーダ回路は、2 桁の 2 進数を入力すると、それに対応する 10 進数を入力する回路である。具体的には、S1 が 2 進数の上位ビット、S0 が 2 進数の下位ビットを表し、L0～L3 はそれぞれ 10 進数の 0～3 を表す。確かに $(S1, S0) = (0, 0), (0, 1), (1, 0), (1, 1)$ はそれぞれ L0～L3(0～3) に対応していることが真理値表から分かる。つまり 2 桁 2 進数で入力されたものをデコーダ回路が解読して 10 進数に変換して出力していることが確認できる。

3.3.2 課題:4 入力 2 出力エンコーダ回路の設計

エンコーダ (符号変換器) は、10 進数を 2 進数に変換する回路である。今回の課題では、10 進数 0 から 3 をそれぞれに対応する 4 つのスイッチ (S0, S1, S2, S3) を用いて入力し、2 つの LED(L1, L0) を用いて 2 ビットの 2 進数を入力するエンコーダ回路を設計し、作成した。

4 入力 2 出力エンコーダの真理値表を表 5 に示す。

表 5 エンコーダの真理値表

	入力				出力	
端子名	S0	S1	S2	S3	L1	L0
真理値	1	0	0	0	0	0
	0	1	0	0	0	1
	0	0	1	0	1	0
	0	0	0	1	1	1

表 5 の真理値表からエンコーダの論理式は以下のようになる.

$$L0 = S1 + S3 \quad (17)$$

$$L1 = S2 + S3 \quad (18)$$

論理式から回路を設計すると以下の回路図 (図 4) のようになった.

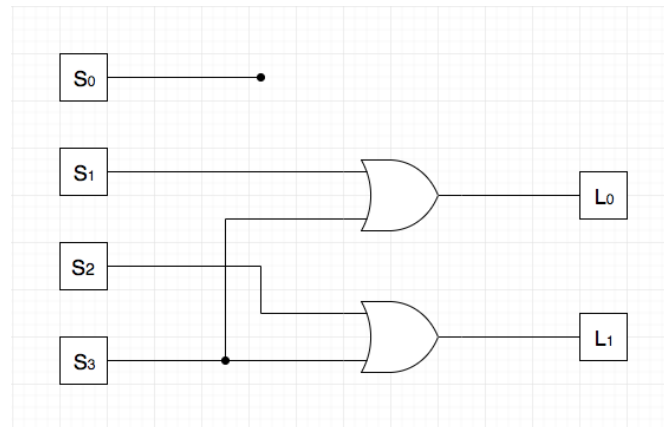


図 4 4 入力 2 出力エンコーダの回路図

3.4 加算回路

3.4.1 ハーフ・アダー

ハーフ・アダー (半加算器) は, 2 進数の足し算, 具体的には 2 つの入力 A と B を加算し, その和 S(Sum) と桁上げ C(Carry) を出力する.

ハーフアダーの真理値表は次の表 6 の通りである.

表 6 ハーフ・アダーの真理値表

	入力		出力	
			和	桁上げ
端子名	A	B	S	C
真理値	0	0	0	0
	0	1	1	0
	1	0	1	0
	1	1	0	1

真理値表から論理式を導くと以下のようになる.

$$S = \bar{A} \cdot B + A \cdot \bar{B} \quad (19)$$

$$= A \oplus B \quad (20)$$

$$C = A \cdot B \quad (21)$$

また, ハーフ・アダーの回路図を以下の図 5 に示す.

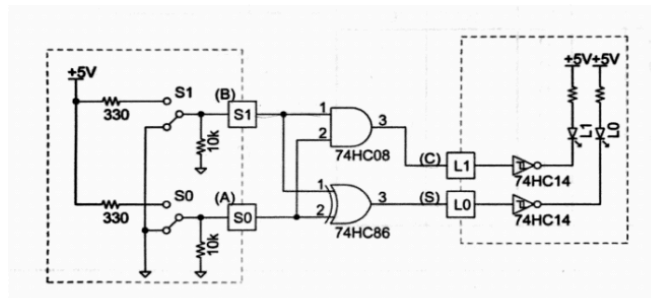


図 5 ハーフ・アダーの回路図

ハーフ・アダー回路を実際に作成し, 動作確認をすると, 次の動作表 (表 7) が得られた.

表 7 ハーフ・アダーの動作表

	入力		出力	
			和	桁上げ
接続端子	S0	S1	L0	L1
端子名	A	B	S	C
電圧	L	L	L	L
	L	H	H	L
	H	L	H	L
	H	H	L	H

真理値表と動作表を比較すると, H と 1, L と 0 が全て対応しているため, 今回作成したハーフ・アダーが正常に機能していることが確認できた. また, 真理値表及び論理式から, 1 桁同士の 2 進数の加算の和は

EX-OR 機能で表現でき, 桁上げは AND 機能で表現できることが分かった.

3.4.2 課題 1:フル・アダー

フル・アダー回路は 2 進数の足し算に加え (A, B), 桁上げによる入力 (C_{in}) の 3 入力を加算し, その和 S と桁上げ C_{out} を出力する.

フル・アダー回路の真理値表を以下の表 8 に示す.

表 8 フル・アダーの真理値表

	入力			出力	
				和	桁上げ
端子名	A	B	C _{in}	S	C _{out}
真理値	0	0	0	0	0
	0	1	0	1	0
	1	0	0	1	0
	1	1	0	0	1
	0	0	1	1	0
	0	1	1	0	1
	1	0	1	0	1
	1	1	1	1	1

真理値表から論理式を導くと次のようになる.

$$S = (\bar{A} \cdot \bar{B} \cdot C_{in}) + (\bar{A} \cdot B \cdot \bar{C}_{in}) + (A \cdot \bar{B} \cdot \bar{C}_{in}) + (A \cdot B \cdot C_{in}) \quad (22)$$

$$= (\bar{A} \cdot \bar{B} + A \cdot B) \cdot C_{in} + (\bar{A} \cdot B + A \cdot \bar{B}) \cdot \bar{C}_{in} \quad (23)$$

$$= (\bar{A} \cdot B + A \cdot \bar{B}) \cdot C_{in} + (\bar{A} \cdot B + A \cdot \bar{B}) \cdot \bar{C}_{in} \quad (24)$$

$$= (A \oplus B) \oplus C_{in} \quad (25)$$

$$C_{out} = (A \cdot B \cdot \bar{C}_{in}) + (\bar{A} \cdot B \cdot C_{in}) + (A \cdot \bar{B} \cdot C_{in}) + (A \cdot B \cdot C_{in}) \quad (26)$$

$$= (A \cdot B) \cdot (C_{in} + \bar{C}_{in}) + (\bar{A} \cdot B + A \cdot \bar{B}) \cdot C_{in} \quad (27)$$

$$= A \cdot B + (A \oplus B) \cdot C_{in} \quad (28)$$

またフル・アダーの回路図を以下の図 6 に示す.

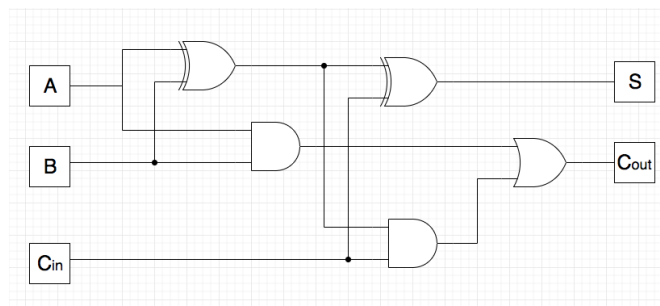


図 6 フル・アダーの回路図

3.4.3 課題 2:2 桁の 2 進数の加算回路

2 桁の 2 進数同士の加算を可能にする加算回路をする．具体的な手順としては 1 桁目の加算を行い，桁上げと和を出力する．次に桁上げされた入力と 2 桁目を加算し，桁上げと和を出力する．1 桁目の加算ではハーフ・アダー回路を用い，2 桁目の加算ではフル・アダー回路を用いることで 2 桁の 2 進数の加算回路が実現される．

2 桁の 2 進数の加算回路の真理値表を表 9 に示す．3.4.1,3.4.2 節で求めた論理式を用いると，2 桁の 2 進数の加算回路の論理式は以下のようになる．

$$S0 = A0 \oplus B0 \quad (29)$$

$$C1 = A0 \cdot B0 \quad (30)$$

$$S1 = (A1 \oplus B1) \oplus C1 \quad (31)$$

$$= (A1 \oplus B1) \oplus (A0 \cdot B0) \quad (32)$$

$$C2 = A1 \cdot B1 + (A1 \oplus B1) \cdot C1 \quad (33)$$

$$= (A1 \cdot B1) + (A1 \oplus B1) \cdot (A0 \cdot B0) \quad (34)$$

$$(35)$$

表 9 2 桁の 2 進数の加算回路の真理値表

	入力				出力		
					3 桁目	2 桁目	1 桁目
端子名	A1	A0	B1	B0	C2	C1	C0
真理値	0	0	0	0	0	0	0
	0	1	0	0	0	0	1
	1	0	0	0	0	1	0
	1	1	0	0	0	1	1
	0	0	0	1	0	0	1
	0	1	0	1	0	1	0
	1	0	0	1	0	1	1
	1	1	0	1	1	0	0
	0	0	1	0	0	1	0
	0	1	1	0	0	1	1
	1	0	1	0	1	0	0
	1	1	1	0	1	0	1
	0	0	1	1	0	1	1
	0	1	1	1	1	0	0
	1	0	1	1	1	0	1
	1	1	1	1	1	1	0

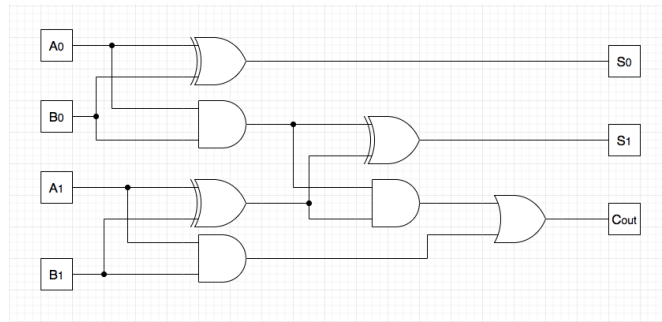


図 7 2 桁の 2 進数の加算回路図

3.5 D ラッチ回路

D ラッチ回路の回路図を以下の図 8 に示す.

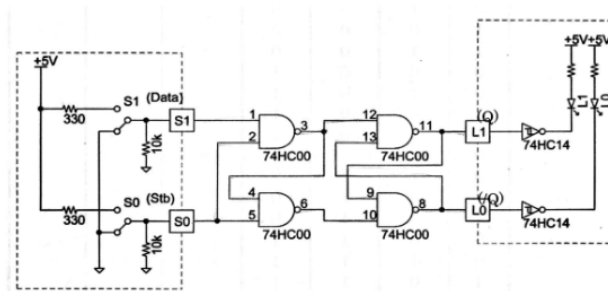


図 8 D ラッチの回路図

また, 実験によって確認した D ラッチの動作表 (表 10) と D ラッチのタイムチャート (図 9) を以下に示す.

表 10 D ラッチの動作表

	入力		出力	
接続端子	S1	S0	L1	L0
端子名	Data	$\overline{\text{Std}}$	Q	\overline{Q}
電圧	L	L	Q0	$\overline{Q0}$
	H	L	Q0	$\overline{Q0}$
	L	H	L	H
	H	H	H	L

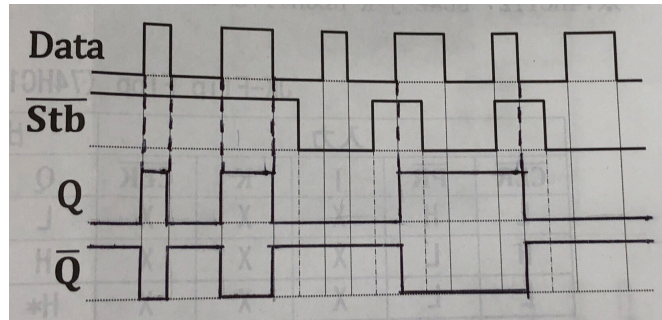


図9 D ラッチのタイムチャート

D ラッチの動作表から D ラッチ回路の機能を考察する. ストローブ信号が H の時, 出力 Q は Data が L なら L を出力し, H なら H を出力する, つまり入力された Data と同じ信号を出力している. ストローブ信号が L の時には, 出力 Q は Q0, つまり直前の出力 Q の信号を出力する.

次に, これらの機能をタイムチャートを参照しながら確かめる. 最初はストローブ信号が H であり, Data と Q の信号が一致している. Data, Q がともに L の状態でストローブ信号を L にしたのち, Data を L → H → L と入力しても Q は L のままであった. 再びストローブを H に戻し, Data に H を入力すると Q も H を出力した.

以上の動きから, ストローブ信号の機能は H であるときには入力信号をそのまま出力し, L にしたときには直前の出力を保持する機能であることがわかった. また, ラッチ機能とはある時点での出力を保持し続け, 記憶しておく機能のことである.

3.6 フリップフロップ回路

3.6.1 J-K フリップフロップ

J-K フリップフロップの回路図を以下の図 10 に示す.

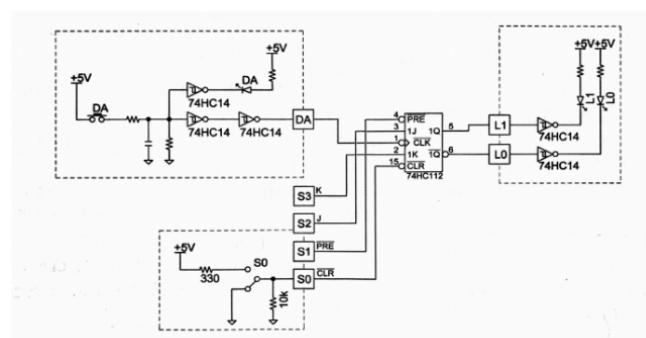


図10 J-K フリップフロップの回路図

また, 実験によって確認した J-K フリップフロップの動作表 (表 11) とタイムチャート (図 11) を以下に示す.

表 11 J-K フリップフロップの動作表

入力					出力		機能	
S0	S1	S2	S3	DA	L1	L0		
$\overline{\text{CLR}}$	$\overline{\text{PR}}$	J	K	$\overline{\text{CLK}}$	Q	\overline{Q}		
L	H	X	X	X	L	H	クリア ($Q \rightarrow L$)	
H	L	X	X	X	H	L	プリセット ($Q \rightarrow H$)	
L	L	X	X	X	H	H	不定	
H	H	L	L	\downarrow	Q_0	$\overline{Q_0}$	t_0 の状態を保持	
H	H	L	H	\downarrow	L	H	ラッチ	J \rightarrow Q
H	H	H	L	\downarrow	H	L		K \rightarrow Q
H	H	H	H	\downarrow	$\overline{Q_0}$	Q_0	トグル	
H	H	X	X	H	Q_0	$\overline{Q_0}$	t_0 の状態を保持	

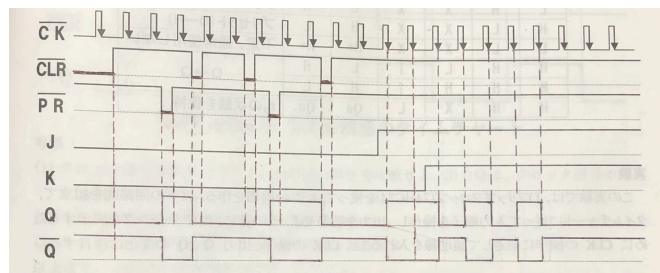


図 11 J-K フリップフロップのタイムチャート

まずタイムチャートの前半部分から、 $\overline{\text{CLK}}$, $\overline{\text{PR}}$ の操作と出力 Q の変化に注目して考察する。 $\overline{\text{CLR}}$ を L から H にしても変化はなく、 $\overline{\text{PR}}$ が H から L になった時点で Q が L から H に変化している。に、 $\overline{\text{PR}}$ を L から H にしても変化はなく、 $\overline{\text{CLR}}$ が H から L になった時点で Q が H から L に変化している。しかしながら、Q が L の状態で $\overline{\text{CLR}}$ を H から L にしても Q は L のままであった。これらの信号の変化から、 $\overline{\text{CLR}}$ と $\overline{\text{PR}}$ はクロック信号とは関係なく動作し、 $\overline{\text{CLR}}$ に L を入力すると Q を L に変化させ、 $\overline{\text{PR}}$ に L を入力すると、Q を H に変化させる働きがあることがわかった。

次にタイムチャートの後半部分から、J, K の状態と $\overline{\text{CLK}}$ の操作と出力 Q の変化を考察する。 J が H, K が L, Q が L の状態の時、 $\overline{\text{CLK}}$ が立ち下がった瞬間に Q が H に変化している。また、J, K が共に H の状態の時 $\overline{\text{CLK}}$ が立ち下がるたびに Q は H から L に、また L から H に変化している。以上のことから、J が H, K が L の時には $\overline{\text{CLK}}$ が立ち下がる時に Q を H に変化させ、J, K が共に H の時には直前の Q を反転させる、つまり $\overline{Q_0}$ を出力するトグル機能をもつことがわかる。また、動作表を確認すると、J が L, K が H の時には $\overline{\text{CLK}}$ が立ち下がった時に Q を L に変化させることがわかる。

3.6.2 D フリップフロップを用いた分周器

D-FF を用いた 1/2 分周器の回路図を以下の図 12 に示す。

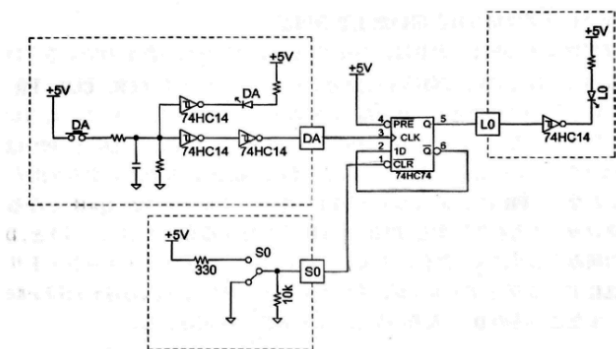


図 12 D-FF を用いた 1/2 分周器の回路図

また、実験によって確認した J-K フリップフロップの動作表 (表 12) とタイムチャート (図 13) を以下に示す.

表 12 D-FF を用いた 1/2 分周器の動作表

	入力		出力
接続端子	S0	DA	L0
端子名	$\overline{\text{CLR}}$	CLK	Q
クリア	L	×	L
分周機能	H	0L	L
	H	1 ↑	H
	H	2 ↑	L
	H	3 ↑	H
	H	4 ↑	L
	H	5 ↑	H
	H	6 ↑	L

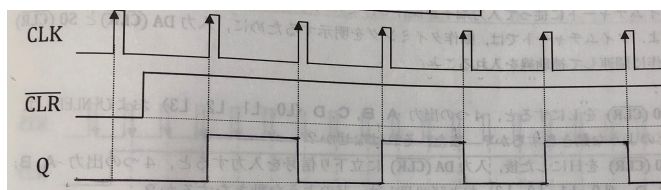


図 13 D-FF を用いた 1/2 分周器のタイムチャート

タイムチャートから分周器の機能を考察する. $\overline{\text{CLR}}$ が L の状態では CLK が立ち上がっても Q に変化はない. $\overline{\text{CLR}}$ が H の状態では CLK が立ち上がるたびに Q が H から L に, L から H に変化させるトグル機

能であることがわかる。Q が L から再び L に戻るまでに CLK が 2 回立ち上がっていることがわかる、つまり CLK の周期を T とすると Q の周期は $2T$ となる。そのため、周波数は CLK の周波数は $f_{\text{CLK}} = 1/T$ であり、Q の周波数は $f_Q = 1/2T = f_{\text{CLK}}/2$ となる。つまり、分周器の分周機能とは、入力された信号の周波数を落として出力する (今回は $1/2$ 倍にした) 機能である。

3.7 カウンタ回路

非同期 16 進カウンタの回路図を以下の図 14 に示す.

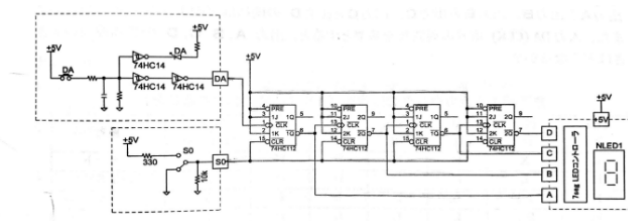


図 14 非同期 16 進数カウンタの回路図

また、実験によって確認した非同期 16 進カウンタの動作表 (表 13) とタイムチャート (図 15) を以下に示す。

表 13 非同期 16 進カウンタの動作表

$\overline{\text{CLR}}$ S0	$\overline{\text{CLK}}$ DA	D L3	C L2	B L1	A L0	NLED1 7seg 表示	備考
L	X	H	H	H	H	F	リセット
H	L	H	H	H	H	F	(15)
H	1 ↓	L	L	L	L	0	
H	2 ↓	L	L	L	H	1	
H	3 ↓	L	L	H	L	2	
H	4 ↓	L	L	H	H	3	
H	5 ↓	L	H	L	L	4	
H	6 ↓	L	H	L	H	5	
H	7 ↓	L	H	H	L	6	
H	8 ↓	L	H	H	H	7	
H	9 ↓	H	L	L	L	8	
H	10 ↓	H	L	L	H	9	
H	11 ↓	H	L	H	L	A	
H	12 ↓	H	L	H	H	b	
H	13 ↓	H	H	L	L	C	
H	14 ↓	H	H	L	H	d	
H	15 ↓	H	H	H	L	E	
H	16 ↓	H	H	H	H	F	
H	17 ↓	L	L	L	L	0	

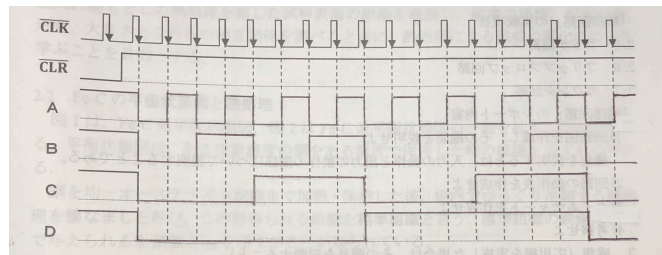


図 15 非同期 16 進カウンタのタイムチャート

$\overline{\text{CLR}}$ を L にすると 4 つの出力 (ABCD) は H となり, NLED1 には F と表示された. これは $\overline{\text{CLR}}$ を L にした時, 以前の状態に関わらず ABCD を H にリセットするという役割があるためである. 次に, $\overline{\text{CLR}}$ を H にし, $\overline{\text{CLK}}$ に 立ち下がりを入力すると ABCD が L に変化し, NLED1 には 0 が表示された再び $\overline{\text{CLK}}$ に立ち下がりを入力すると A のみが H に変化し, NLED1 には 1 が表示された. その後, 何度も立ち下がりを入力していくと, A は L, H を交互に繰り返す, B は L, L, H, H と 2 回ごとに, C は 4 回ごとに, D は 8 回ごとに L と H を入れ替えた. NLED1 は 2, 3, 4, ..., 9, A, b, C, ..., F と増加していき, 再び 0 に戻った. DCBA と並び替え, H を 1 に, L を 0 に対応させると, (0, 0, 0, 0), (0, 0, 0, 1), (0, 0, 1, 0), ..., (1, 1, 1, 0), (1, 1, 1, 1) のように増加している. つまり DCBA は 4 桁の 2 進数を表しており, ABCD はそれぞれ

16 進数の 1, 2, 3, 4 桁目, つまりそれぞれ $2^0, 2^1, 2^2, 2^3$ を表しており, $D \times 2^3 + C \times 2^2 + B \times 2^1 + A \times 2^0$ を計算すると 10 進数表示することができる.

続いて周期と周波数に着目する. $\overline{\text{CLK}}$ の周期を T とすると, A の周期は $2T$ となっている. また, B の周期を T_B とすると, C の周期は $2T_B$, C の周期を T_C とすると, D の周期は $2T_C$ とそれぞれ 2 倍になっている. よって ABCD の周期は $\overline{\text{CLK}}$ の周期を用いて, $2T, 4T, 8T, 16T$ となっている. 周波数も同様にして考えると, A の周波数は T の $1/2$ 倍, B の周波数は A の $1/2$ 倍, C の周波数は B の $1/2$ 倍, D の周波数は C の $1/2$ 倍である. したがって, $\overline{\text{CLK}}$ の周波数を f とすると ABCD の周期はそれぞれ $1/2f, 1/4f, 1/8f, 1/16f$ となっている. つまり, 分周器の機能を用いて周期を遅らせることで, 進数の周期の遅れを表現し, 進数カウンタとして応用していることがわかった.

4 感想

以前, 基本情報技術者を受験した際にも今回の実験で取り扱った論理回路の分野を勉強したが, その際の学習では理論と回路図をなんとなくしに覚えた程度で, 論理回路の表層しか捉えられていなかったことを痛感させられる実験であった. 特に印象に残ったのは $1/2$ 分周器と 16 進カウンタの実験で, 16 進数を周期を遅らせることで表現するという, 一見簡単には実装できないようなことを発想の転換から実現しており, 理論構築や回路設計の醍醐味を感じることができた.