



## Ψηφιακά Συστήματα VLSI

### 5η Εργαστηριακή Άσκηση

*“Υλοποίηση Debayering Φίλτρου με AXI διεπαφή σε Zynq SoC FPGA”*

#### **ΠΡΟΓΡΑΜΜΑΤΙΣΜΟΣ SoC FPGA**

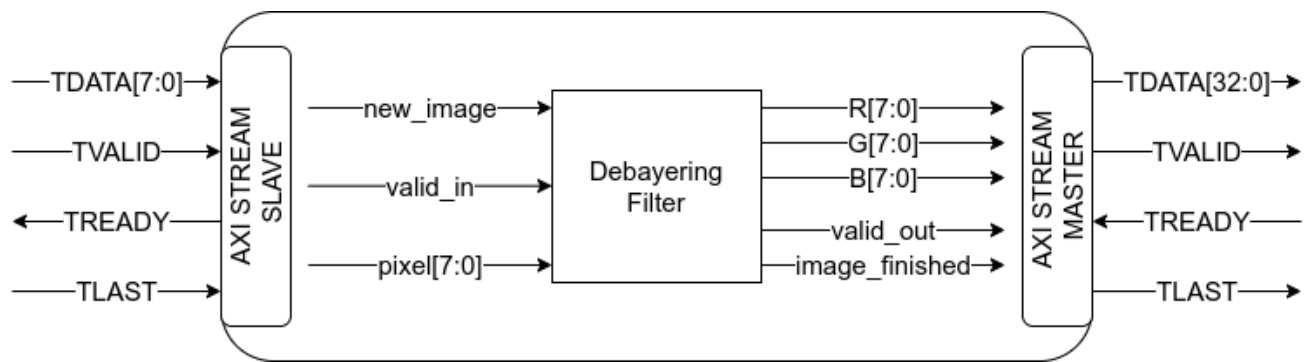
Στα πλαίσια αυτή της εργαστηριακής άσκησης καλείστε να προγραμματίσετε την αναπτυξιακή πλακέτα ZYBO, ώστε να υλοποιεί ένα Debayering φίλτρο, στο οποίο τα δεδομένα εισόδου θα αποστέλλονται από τον ενσωματωμένο επεξεργαστή (ARM) προς το FPGA για επεξεργασία, και αντίστροφα για τα αντίστοιχα αποτελέσματα. Η επικοινωνία επεξεργαστή-FPGA θα βασίζεται στο πρωτοκόλλο AXI. Η υλοποίηση του συστήματος χωρίζεται στα παρακάτω βήματα:

- 1) Εισαγωγή του ZYNQ Processing System (PS).
- 2) Εισαγωγή της **AXI4-Stream** διεπαφής στο FPGA (PL) για την πραγματοποίηση της επικοινωνίας ARM-FPGA.
- 3) Διασύνδεση του PS με PL.
- 4) Σύνθεση και υλοποίηση του συστήματος και παραγωγή του bitstream αρχείου.
- 5) Εξαγωγή της περιγραφής του συστήματος και δημιουργία της εφαρμογής.
- 6) Προγραμματισμός του ZYNQ SoC FPGA και εκτέλεση της εφαρμογής.

#### **ΕΦΑΡΜΟΓΗ**

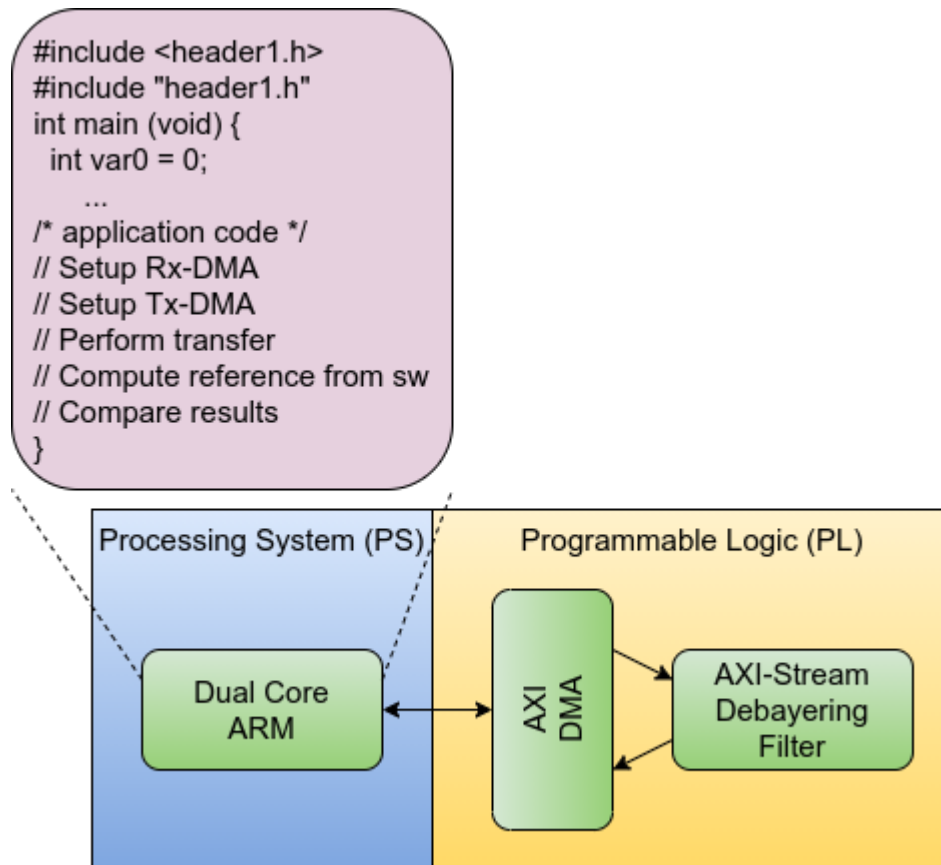
Σε αυτή την άσκηση καλείστε να συνδέσετε το Debayering φίλτρο που έχετε ήδη υλοποιήσει (Εργ. Άσκηση 4) με AXI4-Stream διεπαφές (AXI4-Stream Slave/Master Interface). Η διασύνδεση των σημάτων εισόδου και εξόδου του φίλτρου με την AXI διεπαφή να υλοποιηθεί όπως φαίνεται στην Εικόνα 1. Συγκεκριμένα :

- Slave\_TDATA[7:0] = pixel[7:0]
- Slave\_TVALID = valid\_in
- Master\_TDATA[32:0] = "00000000" & R[7:0] & G[7:0] & B[7:0]
- Master\_TVALID = valid\_out
- Master\_TLAST = image\_finished



**Σχήμα 1:** Αρχιτεκτονική Debayering φίλτρου με διεπαφή AXI4-Stream.

Επιπλέον να αναπτύξετε την ανάλογη εφαρμογή λογισμικού για την αποστολή των σημάτων εισόδου και την λήψη των σημάτων εξόδου του φίλτρου από τον ενσωματωμένο επεξεργαστή. Η επικοινωνία μεταξύ PS-PL θα υλοποιείται μέσω Direct-Memory Access (DMA) λογικής. Η εφαρμογή λογισμικού θα είναι υπεύθυνη για την προετοιμασία του DMA ώστε να στέλνει τα pixel προς το φίλτρο και να δέχεται τα αποτελέσματα. Επίσης, η εφαρμογή λογισμικού θα υλοποιεί και reference software το οποίο θα υπολογίζει και αυτό τα αποτελέσματα του Debayering φίλτρο και θα τα συγκρίνει με τα αποτελέσματα που θα λαμβάνονται από το FPGA. Η τελική αρχιτεκτονική του συνολικού συστήματος που καλείστε να παραδώσετε παρουσιάζεται στην Εικόνα 2.



**Σχήμα 1:** Συνολική αρχιτεκτονική συστήματος.

## **ΖΗΤΟΥΜΕΝΑ ΕΡΓΑΣΤΗΡΙΑΚΗΣ ΑΣΚΗΣΗΣ**

- 1) Να υλοποιήσετε και να επιδείξετε στο ZYBO την παραπάνω εφαρμογή λαμβάνοντας υπόψη όλες τις λειτουργίες όπως αυτές είχαν καθοριστεί στην Εργαστηριακή Άσκηση 4 και για **εικόνα 1024x1024 pixels**.

### **Παρατηρήσεις:**

1. Η Εργαστηριακή Άσκηση θα παρουσιαστεί την Τετάρτη 19 Μαΐου 2021. Παρακαλείστε να την έχετε μελετήσει μέχρι τότε, καθώς και να έχετε συγκεντρώσει τυχόν απορίες.
2. Για διευκόλυνση των φοιτητών στην προετοιμασία της εργαστηριακής άσκησης παρέχετε αυτοματοποιημένους τρόπους δημιουργίας project στο Vivado 2018.2.1. Για να το χρησιμοποιήσετε ακολουθήστε τα παρακάτω βήματα:
  - a. Κατεβάζετε και κάνετε export τα αρχεία του dvlsi2021\_lab5.zip
  - b. Εκτέλεση του Vivado.
  - c. Στο αρχικό παράθυρο επιλέγετε: Tools > Run Tcl Script ...
  - d. Στο παράθυρο που θα ανοίξει πηγαίνετε στο φάκελο που έχετε κάνει export και μέσα στο φάκελο scripts (πχ. /Desktop/dvlsi2021\_lab5/scripts) επιλέγετε το αρχείο dvlsi2021\_lab5\_prj.tcl. Πατάτε OK. Το Vivado αυτόματα θα δημιουργήσει ένα καινούργιο project για να υλοποιήσετε την 5η εργαστηριακή άσκηση.
  - e. Από αυτό το σημείο και μετά μπορείτε να προσθέσετε τα δικά σας αρχεία.

### **Επικοινωνία:**

Γιάννης Στρατάκος [istratak@microlab.ntua.gr](mailto:istratak@microlab.ntua.gr)  
Βασίλης Λέων [vleon@microlab.ntua.gr](mailto:vleon@microlab.ntua.gr)  
Γρηγόρης Προίσκος [gproiskos@microlab.ntua.gr](mailto:gproiskos@microlab.ntua.gr)