

Handbook Data Centers

Efficient Hardware-Supported Synchronization Mechanisms for Manycores

Estudiante(s): Pedro J. Vargas Barrios

Universidad Distrital Francisco José de Caldas

7 de junio de 2016

"Hardware eficiente apoyado en mecanismos de sincronización para Manycores"

Índice

- 1 Introducción
- 2 Lineas de tecnología G
 - Procesadores
 - Arquitectura CBarrier
 - Arquitectura CBarrier
 - Arquitectura TBarrier
 - Arquitectura TBarrier
 - Arquitectura GBarrier
 - Arquitectura GBarrier
 - Descripción de tecnologías G
- 3 Hardware de Sincronización Barrier
 - Sincronización Barrier
 - Mecanismo de Sincronización GBarrier
- 4 Implementación de Tecnologías
 - Implementación de Tecnologías
- 5 Bibliografía

Introducción

Introducción

Los Centros de Datos están evolucionando debido a la necesidad de acoger aplicaciones distribuidas y en paralelo en ellos, tales como: servicios de computación en nube, transmisión de vídeo o redes sociales.



Figura : CECAD UDistrital

Las arquitecturas Manycore surgen como respuesta a los mayores requerimientos de cómputo; estos son sistemas especialmente adaptados a la explotación de rendimiento masivo.

Lineas de tecnología G

Lineas de tecnología G

Tecnologías G

Procesadores

Procesador multi-core: Combina dos o más procesadores independientes en un solo paquete o circuito integrado (procesadores independientes)

Procesador many-core: Arquitectura que multiples núcleos en un solo paquete de procesamiento único. Pueden ser un procesador de multiples núcleos homogeneos o una arquitectura heterogenea de multiples núcleos.

Arquitectura CBarrier

Arquitectura CBarrier

Los Links son representados con líneas finas negras mientras que sus controladores se representan mediante cajas grises. Hay dos tipos de controladores: maestro (M) y esclavo (S). Este esquema se caracteriza por tener el mínimo número de etapas de sincronización, una propiedad deseable para la aceleración de hardware.

Arquitectura CBarrier

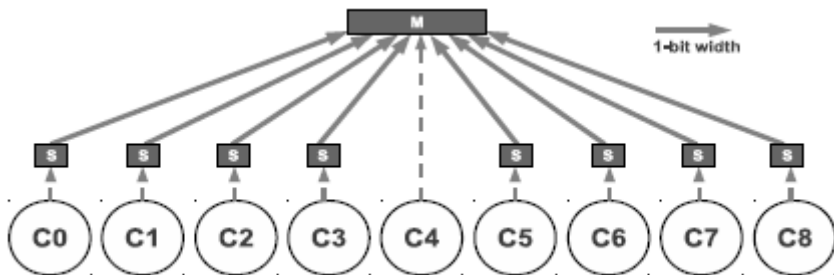


Figura : fase gather para CBarrier

Arquitectura TBarrier

Arquitectura TBarrier

Proporciona la mejor escalabilidad teórica, debido a que necesita el menor número de mensajes intercambiados entre maestro y esclavos. En la imagen se muestran tres tipos de controladores: nodos hoja (L), internos (I) y raíz (R).

El controlador R es responsable de contar el número de participantes. En esta fase, los controladores L envían un mensaje de un bit a su correspondiente controlador I. Cuando I ha recibido todos los mensajes esperados notifica al controlador R. Finalmente, R espera mensajes de todos los controladores I.

Arquitectura TBarrier

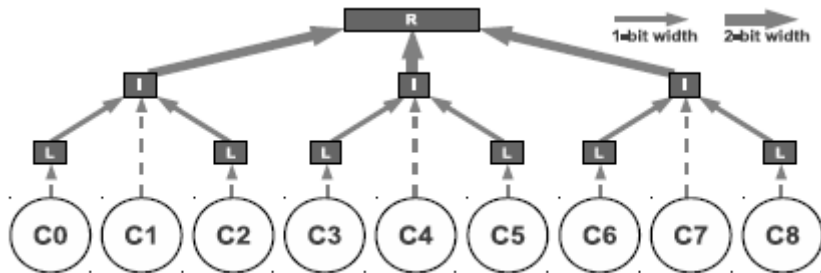


Figura : fase gather para TBarrier

Arquitectura GBarrier

Arquitectura GBarrier

En el ejemplo se puede ver que hay cuatro tipos de controladores: maestros o esclavos horizontales (prefijo h en la figura) o verticales (prefijo v). las G-Lines son compartidas por todos los esclavos conectados a un mismo maestro.

simulamos la técnica S-CSMA utilizada en que permite a un controlador maestro determinar el número de señales desde los esclavos emitidas de manera simultánea sobre una G-Line, programando el maestro para que muestre las señales de todos los enlaces de sus esclavos hasta que todas las señales esperadas sean recibidas.

Arquitectura GBarrier

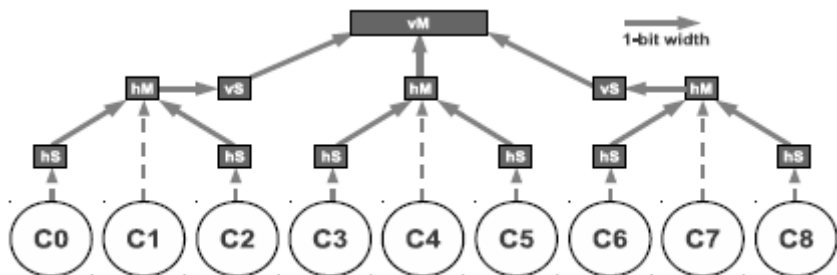


Figura : fase gather para GBarrier

Tecnologías G

Descripción de tecnologías G

Había varias razones que llevaron a utilizar la tecnología G -Lines para desarrollar mecanismos de sincronización de barreras en los servidores manycore.

La conectividad patron utilizada para desplegar la red de GBarrier dedicada es basada en enlaces unidimensionales de 1 bit que se integran perfectamente en el concepto de G -Lines

Hardware de Sincronización Barrier

Hardware de Sincronización Barrier

Sincronización Barrier

Descripción Sincronización Barrier

Un Barrier o Barrera es una primitiva de sincronización que permite que varios procesos o hilos puedan esperar en un punto de ejecución especial, hasta que todos ellos han llegado a este antes de que cualquiera de ellos pueda continuar. Un ejemplo típico de su uso es la utilización de barreras para separar las diferentes fases que se encuentran comúnmente en aplicaciones paralelas.

Mecanismo de Sincronización GBarrier

Descripción Mecanismo de Sincronización GBarrier

Se presenta una propuesta para construir una infraestructura de hardware eficiente para la sincronización de Barrier en el contexto de los servidores manycore. Para ello, se comienza por la descripción de la arquitectura de la red en el chip dedicado.

Implementación de Tecnologías

Implementación de Tecnologías

Implementación de Tecnologías

Se exponen razones que llevaron a utilizar la tecnología G -Lines para desarrollar mecanismos de sincronización de barreras en los servidores manycore.

En el capítulo se muestran análisis y las propuestas para mitigar el problema de la sincronización a nivel de servidor (procesador Manycore) en centros de datos. Se plantean dos estrategias que proporcionan implementaciones de hardware muy eficientes, escalables y ligeras para barreras (barriers) y bloqueos de contenido.

Bibliografía