

ESPERIENZA 7

Elettronica digitale

Appoloni Alberto, Cisamolo Anna

(Dated: April 8, 2025)

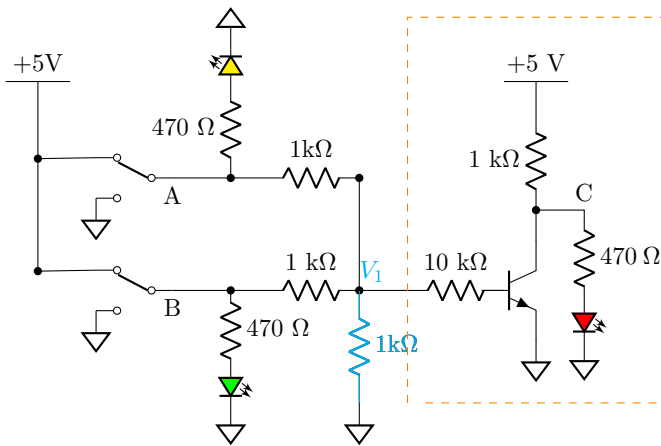
Lo scopo dell'esperienza è studiare il comportamento di alcuni circuiti digitali.

I. SVOLGIMENTO

I.1. Porta logica NOR

I.1.1. Implementazione

Per prima cosa implementiamo tramite un transistor 2N2222 una porta NOR. Montiamo il circuito 1 utilizzando le resistenze, riportate in figura 1, e 3 led: uno giallo per l'entrata A, uno verde per l'entrata B e rosso per l'uscita C. Assumiamo che i led illuminati rappresentino il valore logico 1 mentre i led spenti lo 0. Verifichiamo che il circuito riproduce la tabella di verità dell'operazione booleana *NOR* riportata in tabella I.



Circuit 1: Porta logica NOR

I.1.2. Analisi

Il circuito 1 è composto da due parti.

I segnali in ingresso sono prodotti a partire dagli interruttori A e B. Se si vuole introdurre un 1 logico nel circuito, l'interruttore viene posto a +5 V mentre, nel caso si volesse inserire uno 0 logico, l'interruttore viene messo a massa.

Notiamo che per avere un maggior controllo sul comportamento del circuito viene inserita, prima

del transistor, una resistenza di pull-down, in modo tale da non lasciare mai flottante i valori di ingresso al circuito. Infatti, nel caso che entrambi gli interruttori fossero lasciati senza connessione, la resistenza da 1 k Ω , connessa a terra, fa in modo che in uscita si ottenga uno 1 come se entrambe le entrate fossero poste a ground.

Quando invece una sola delle due uscite viene posta a +5 V, a cavallo della resistenza di pull-down si crea un effetto partitore e la d.d.p in V_1 è quindi diversa da zero. La stessa cosa avviene se entrambe gli interruttori sono collegati a +5 V.

A partire da V_1 il segnale è ulteriormente elaborato da un generatore di segnale digitale TTL, che contorniamo in arancione nella figura 1, e che agisce anche come porta *NOT*. Questa accortezza ci permette di essere sicuri che il segnale in uscita sia di tipo digitale, ovvero che la differenza di potenziale in uscita assuma solamente valori compresi nell'intervallo 0-0.5 V, che indicano lo 0 logico, oppure valori compresi tra 3.5-5, 1 logico, senza rischiare di rimanere nella zona di indeterminazione tra 0.5 e 3.5 V.

Se V_1 è in un intorno di zero, la differenza di potenziale non è tale da riuscire a fornire alla base gli 0.6 V necessari per far scorrere la corrente nella giunzione B-E. Per le proprietà del transistor non passerà corrente nemmeno nel collettore. Otteniamo che $V_{out} = 5V - i_C R_3 = 5V$. Partendo quindi da un valore 0 in V_1 , che significa entrambi gli interruttori connessi a terra, otteniamo in uscita un 1 logico.

Viceversa se V_1 è superiore agli 0.6 V, scorre corrente nella base e quindi nel collettore. Tuttavia in questa configurazione la corrente in B è tale da mandare in saturazione il transistor. Abbiamo quindi che la tensione tra collettore ed emettitore è approssimabile a zero. Segue che $V_{out} = 5V - i_C R_3 = V_{CE} \simeq 0V$. Partendo da almeno uno dei due interruttori collegati ai +5 V e quindi da almeno un 1 logico in ingresso, otteniamo uno zero logico in uscita.

Confrontando tale comportamento con la tabella di verità I relativa all'operazione booleana *NOR* si osserva che il comportamento è esattamente quello atteso.

A	B	C	A	B	C
0	0	1			
0	1	1			
1	0	1			
1	1	0			

TABLE I: Tabella verità NOR

I.2. Porta logica XOR

I.2.1. Implementazione

Sviluppiamo poi una porta logica **XOR** (tabella II) usando un integrato 74xx00, il quale contiene 4 porte logiche NAND, la cui tabella di verità è presentata in Table IV.

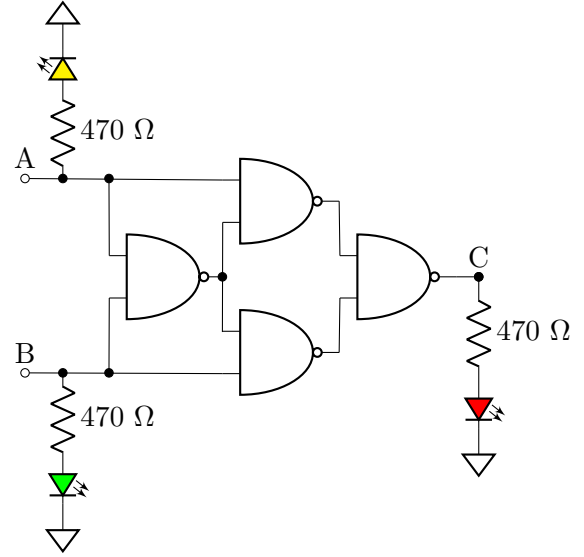
A	B	C	A	B	C
0	0	0			
0	1	1			
1	0	1			
1	1	0			

TABLE II: Tabella verità XOR

A	B	C	A	B	C
0	0	1			
0	1	1			
1	0	1			
1	1	0			

TABLE III: Tabella verità NAND

Dopo aver pensato la possibile configurazione e averla verificata teoricamente, l'abbiamo controllata sperimentalmente montando il circuito in figura 2. Anche in questo caso abbiamo utilizzato 3 led per visualizzare gli input e l'output: giallo per il segnale A, verde per il segnale B e rosso per l'output, opportunamente protetti da resistenze da 470 Ω .



Circuit 2: Porta logica XOR

I.2.2. Analisi

Per verificare teoricamente la validità della scelta del montaggio del circuito notiamo che l'operazione logica XOR è data da

$$XOR = (A + B) \cdot \overline{(A \cdot B)}$$

mentre l'output del nostro circuito è dato da

$$C = \overline{\overline{(A \cdot \overline{(A \cdot B)})} \cdot \overline{(B \cdot \overline{(A \cdot B)})}}$$

Verifichiamo che $C = XOR$

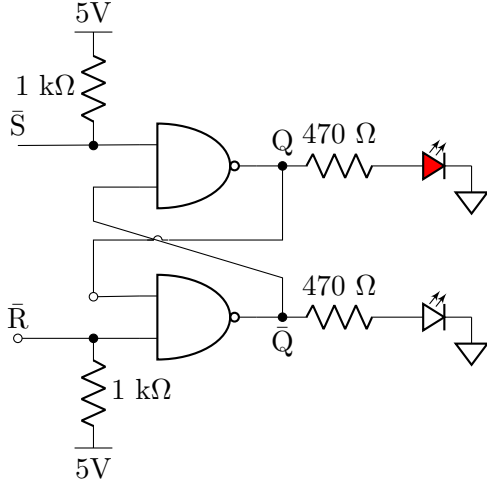
$$\begin{aligned} C &= \overline{\overline{(A \cdot \overline{(A \cdot B)})} \cdot \overline{(B \cdot \overline{(A \cdot B)})}} \\ &= \overline{[A \cdot \overline{(A \cdot B)}] + [B \cdot \overline{(A \cdot B)}]} \\ &= [A \cdot \overline{(A \cdot B)}] + [B \cdot \overline{(A \cdot B)}] \\ &= (A + B) \cdot \overline{(A \cdot B)} = XOR \end{aligned}$$

Tale comportamento è confermato anche dallo studio sperimentale del circuito.

I.3. Flip Flop RS

Nella terza parte dell'esperienza implementiamo il circuito "Flip-Flop RS".

Abbiamo quindi montato il circuito 6. Esso è tale che finché i due input sono tenuti a +5 V, 1 logico, esso è in grado di mantenere gli stati negli output indefinitamente nel tempo. Per realizzare il circuito abbiamo utilizzato l'integrato 74xx00 e 2 led per visualizzare lo stato degli output, opportunamente protetti da 2 resistenze da 470 Ω . Poi



Circuit 3: Flip-Flip RS

abbiamo studiato il comportamento del circuito, verificando che segue la tabella di verità mostrata in Table IV.

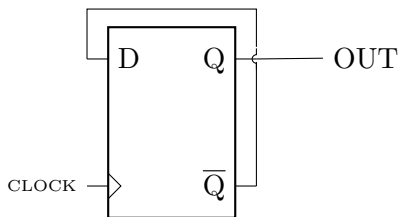
S	R	\bar{S}	\bar{R}	Q	\bar{Q}	S	R	Q	\bar{Q}
0	0	1	1	-	-			/	/
1	0	0	1	0	1				
0	1	1	0	1	0				
1	1	0	0	x	\bar{x}			<div>Lo stato rimane invariato rispetto a quello presente precedentemente</div>	

TABLE IV: Tabella verità FLIP-FLOP

Abbiamo visto inoltre che il caso proibito 1-1, restituisce come output un valore casuale, non prevedibile.

I.4. Divisore di frequenza

Infine abbiamo implementato un divisore di frequenza. Per fare ciò utilizziamo l'integrato 74xx74, il cui schema è mostrato nel Circuito 4.

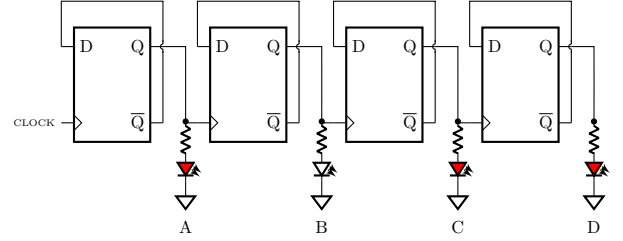


Circuit 4: Divisore per 2 della frequenza

Fornendo come segnale di CLOCK un'onda quadra TTL, di frequenza $f_{CLK} = 1 \text{ kHz}$, ab-

biamo verificato che il segnale in uscita presenta effettivamente una divisione di frequenza. Riportiamo in Appendice la struttura interna dell'integrato 74xx74 e il suo comportamento.

In seguito, inserendo il segnale in uscita del primo integrato nel CLOCK in un secondo integrato 74xx74 abbiamo diviso la frequenza per 4. Iterando le connessioni abbiamo poi ottenuto divisioni per 8 e 16. (Circuito 5)



Circuit 5: Contatore

I segnali che otteniamo è rappresentato in figura 1.

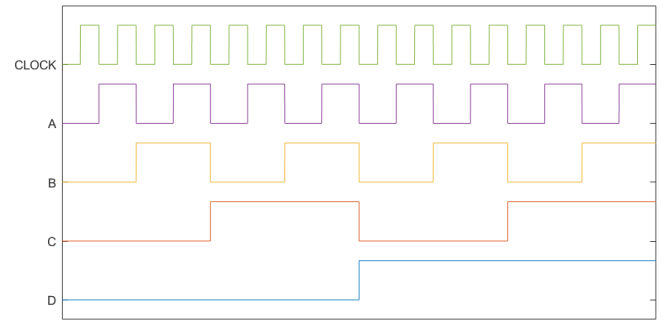


FIG. 1: Divisore di frequenza

Successivamente connettiamo le uscite Q dei quattro integrati presenti nel divisore di frequenza per 16 a 4 led rossi, opportunamente protetti da resistenze da 470 Ω, come rappresentato in figura 5, e diminuiamo il segnale di CLOCK a 1 Hz.

Associando ai led un ordine, corrispondente all'ordine delle cifre di un numero binario, dal più significativo al meno significativo, abbiamo verificato la capacità del circuito di operare come un contatore in linguaggio binario. Se infatti associamo alla presenza del led acceso il valore 1, mentre correliamo il led spento al valore 0 otteniamo il corrispettivo in binario dei numeri da 0 a 15, come mostrato nella tabella V.

La medesima procedura l'abbiamo eseguito con le uscite \bar{Q} , usando dei led verdi, e ci siamo assicurati che il conteggio avvenisse nella direzione opposta.

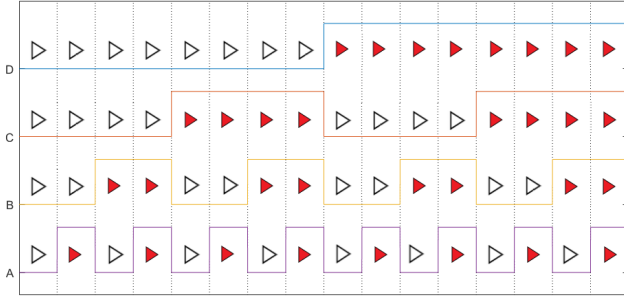


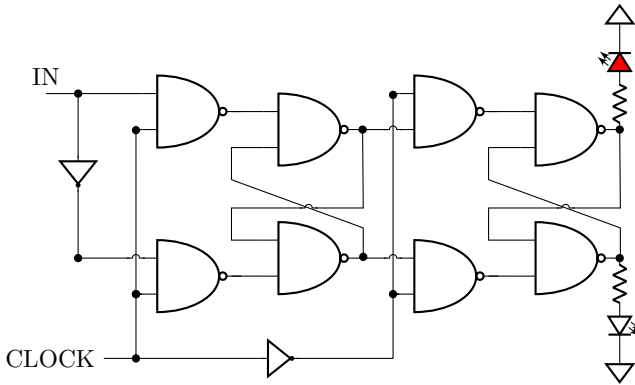
FIG. 2: Contatore

0	0	0	0	0	0	0	0	1	1	1	1	1	1	1	1
0	0	0	0	1	1	1	1	0	0	0	0	1	1	1	1
0	0	1	1	0	0	1	1	0	0	1	1	0	0	1	1
0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1
0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15

TABLE V: Contatore

II. APPENDICE

Riportiamo di seguito la struttura interna dell'integrato 74xx74.



Circuit 6: Integrato 74xx74

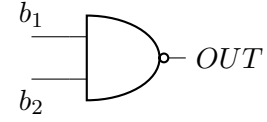
Impostiamo nell'ingresso D un valore booleano D_1 e consideriamo il CLOCK in 1

Ciascuna porta *NAND* presente all'interno del circuito segue il comportamento riportato in tabella IV.

Se è noto solo uno dei due valori in ingresso, ad esempio b_1 , osserviamo che, in caso tale valore sia $b_1 = 1$, l'uscita sarebbe pari a 0 se il secondo ingresso b_2 fosse pari a $b_2 = 1$, mentre sarebbe pari a 1 se $b_2 = 0$. In generale quindi avremo che, noto $b_1 = 1$, $OUT = \bar{b}_2$.

Viceversa se $b_1 = 0$ l'uscita è pari a 1 qualsiasi sia il valore di b_2 .

All'ingresso dei Flip Flop quindi possiamo avere due possibilità a seconda del caso che il segnale che arriva dal CLOCK sia 1 o 0.



Nel caso $CLOCK = 1$ otteniamo in S il negato del segnale in ingresso, \bar{IN} , mentre in R otteniamo IN . Siamo quindi nel caso in cui il Flip Flop traduce in uscita il negato del segnale in ingresso e quindi otterremo, nell'uscita della prima parte del circuito, che è detta *master*, i valori $Q = \bar{IN}$ e $\bar{Q} = IN$.

Se invece $CLOCK = 0$ abbiamo sia in S che in R il valore 1 e quindi il Flip Flop è nella situazione in cui mantiene in "memoria" i valori acquisiti in precedenza.

La seconda parte del circuito, detta *slave*, è uguale a quella appena descritta ma all'interno del circuito complessivo si comporta sempre in modo opposto al *master* in quanto è comandata dal valore del CLOCK negato.

Se, quindi, il master è nella condizione di acquisire il valore del segnale in ingresso, lo slave continua a mantenere il valore che aveva memorizzato precedentemente e viceversa.

Una variazione nel valore in ingresso impiega, quindi, due cicli del CLOCK per ripresentarsi in uscita.

Notiamo inoltre che il segnale viene trasferito solo nel momento in cui il CLOCK passa da 1 a 0. In tutti gli altri casi, invece, il segnale può essere immagazzinato nel master ma non riesce a passare nell'output dello slave. Anche quando il CLOCK rimane costante il segnale viene bloccato prima di riuscire a raggiungere l'output.

Il circuito è, quindi, sensibile solo alle variazioni di stato e non allo stato stesso.

Questo comportamento permette di costruire divisori di frequenza.

Riportiamo di seguito un esempio di propagazione del segnale nel circuito.

